

AD8321
特長

- ゲイン応答 (dB) が 53 dB を超える範囲でリニア
- 低歪み駆動: 75 負荷で 11 dBm を超える信号を駆動
- 42 MHz で - 53 dBc の SFDR
- 非常に低い出力ノイズ・レベル
- 出力インピーダンスを 75 Ω に維持
- パワーアップ状態とパワーダウン状態
- ライン変成器が不要
- 帯域幅: 235 MHz (最小ゲイン)
- 9 V の単電源動作
- パワーダウン機能
- SPI インターフェースをサポート
- 低価格

アプリケーション

- ゲイン設定可能なライン・ドライバ
- HFC 高速データ・モデム
- インタラクティブな CATV セットトップ・ボックス
- CATV 設備の試験装置
- 汎用 IF 可変ゲイン・ブロック

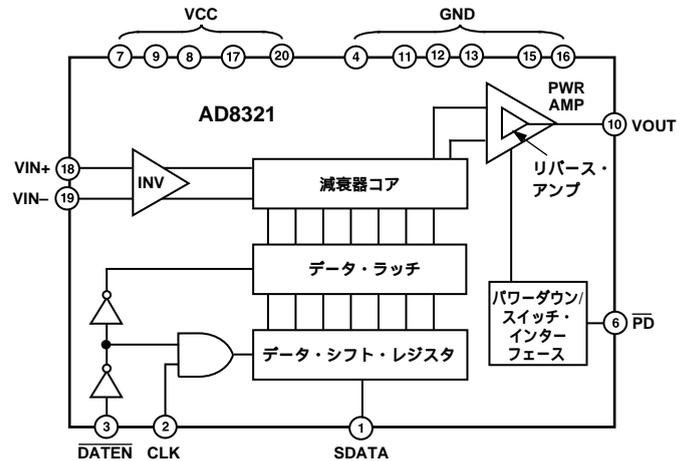
概要

AD8321 は低価格のデジタル制御可変ゲイン・アンプであり、DOCSIS* (アップストリーム) 規格に準拠してデザインされたケーブル・モデムのような同軸ラインを駆動するアプリケーション用に最適化されています。8 ビット・シリアル・ワードを使って 53.4 dB の範囲で出力ゲインを設定することができ、1 LSB 当たり 0.75 dB のゲイン変更が可能です。

AD8321 は、0 dB ~ - 53.4 dB のデジタル的に制御される可変減衰器を内蔵しており、この減衰器の前段には、低ノイズで固定ゲインのバッファと、それに続く低歪み高電力アンプが接続されています。AD8321 には差動信号またはシングル・エンド信号を入力することができます。出力は、同軸ケーブルのような 75 Ω 負荷を駆動する仕様になっていますが、他の負荷も駆動することができます。AD8321 は 9 V 電源使用時、42 MHz の帯域幅で最大 11 dBm 出力レベルで、- 53 dBc の性能を達成しています。

AD8321 の主要性能と経済性は、パワーアップ状態とパワーダウン状態で 75 Ω 出力インピーダンスを一定に維持できる能力に起因しています。この機能により、75 Ω 外部終端を不要にし、標準オペアンプと比較すると 2 倍の実効出力電圧が得られるため変成器が不要になっています。

* Data-Over-Cable Service Interface Specifications

機能ブロック図


AD8321 は低価格 20 ピン SOIC パッケージを採用し、+ 9 V 単電源で動作し、- 40 ~ + 85 °C の動作温度範囲を持っています。

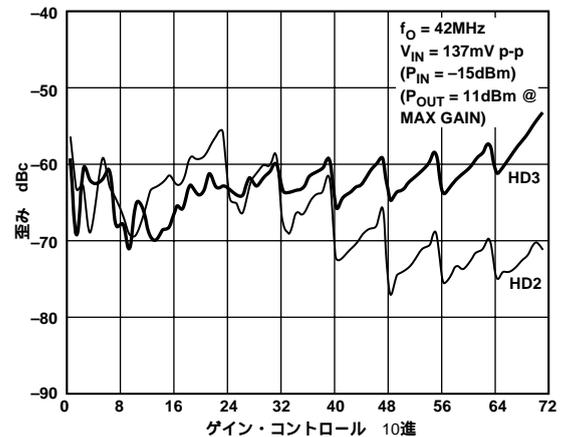


図1. 高調波歪みとゲイン・コントロールの関係

アナログ・デバイセズ社が提供する情報は正確で信頼できるものを期していますが、当社はその情報の利用、また利用したことにより引き起こされる第三者の特許または権利の侵害に関して一切の責任を負いません。さらにアナログ・デバイセズ社の特許または特許の権利の使用を許諾するものでもありません。

AD8321 仕様

(特に指定のない限り、@ $V_{CC} = +9\text{ V}$ 、 $T_A = +25$ 、 $V_{IN} = 0.137\text{ V p-p}$ 、シングル・エンド入力、 $R_L = 75$ 、 $R_{IN} = 75$)

パラメータ	条件	Min	Typ	Max	単位
入力特性					
仕様AC電圧	出力 = 11 dBm、最大ゲイン		0.137		Vp - p
ノイズ係数	最大ゲイン、 $f = 10\text{ MHz}$		15		dB
入力抵抗	シングル・エンド入力		820		
	差動入力		900		
入力容量			2.0		pF
ゲイン・コントロール・インターフェース					
ゲイン範囲		52.4	53.4	54.4	dB
最大ゲイン		25.25	26	26.75	dB
最小ゲイン		- 28.15	- 27.4	- 26.4	dB
ゲイン・スケール・ファクタ			0.7526		dB/LSB
出力特性					
帯域幅 (- 3 dB)	全ゲイン・コード		120		MHz
帯域幅ロールオフ	$f = 65\text{ MHz}$		0.8		dB
帯域幅ピーキング	$f = 65\text{ MHz}$		0		dB
出力オフセット電圧	全ゲイン・コード、全温度範囲		± 30		mV
出力ノイズ・スペクトル密度	最大ゲイン、 $f = 10\text{ MHz}$		60		$\text{nV}/\sqrt{\text{Hz}}$
	最小ゲイン、 $f = 10\text{ MHz}$		20		$\text{nV}/\sqrt{\text{Hz}}$
出力ノイズ温度感度	0 T_A + 70、最小ゲイン		0.02		$\text{nV}/\sqrt{\text{Hz}}$
パワーダウン・スペクトル密度			1		$\text{nV}/\sqrt{\text{Hz}}$
1 dB圧縮ポイント	最大ゲイン、 $f = 10\text{ MHz}$		+ 19.5		dBm
出力インピーダンス	パワーアップおよびパワーダウン	60	75	90	
全体性能					
ワースト・ケース高調波歪み	$f = 42\text{ MHz}$ 、 $P_{OUT} = 11\text{ dBm}$ 、 $V_{CC} = +9\text{ V}$		- 53		dBc
	$f = 65\text{ MHz}$ 、 $P_{OUT} = 11\text{ dBm}$ 、 $V_{CC} = +9\text{ V}$		- 51		dBc
歪み温度感度	- 40 T_A + 85		0.03		dBc/
ゲイン精度	$f = 10\text{ MHz}$ 、全ゲイン・コード		± 0.2		dB
ゲイン温度感度	0 T_A + 70		0.004		dB/
1 mVまでの出力整定					
ゲイン変化@ $T_{DATEN} = 1$	最小~最大ゲイン、 $V_{IN} = 0\text{ V}$		60		ns
入力変化	最大ゲイン、 $V_{IN} = 0.15\text{ V}$ ステップ		30		ns
信号干渉	パワーダウン、65 MHz、最小ゲイン		- 80		dBc
	$V_{IN} = 0.137\text{ V p-p}$				
電源コントロール					
1 mVまでのパワーダウン整定時間	最大ゲイン、 $V_{IN} = 0$		40		ns
1 mVまでのパワーアップ整定時間	最大ゲイン、 $V_{IN} = 0$		300		ns
パワーアップ/ダウン・ペDESTAL・オフセット	最大ゲイン、 $V_{IN} = 0$		± 30		mV
パワーアップ/ダウン・グリッチ	最大ゲイン、 $V_{IN} = 0$		40		mVp - p
電源					
静止電流	パワーアップ、 $V_{CC} = +9\text{ V}$	82	90	97	mA
	パワーダウン、 $V_{CC} = +9\text{ V}$	45	52	60	mA

仕様は予告無く変更されることがあります。

ロジック入力(TTL/CMOSロジック) ($\overline{\text{DATEN}}$ 、CLK、SDATA、 $V_{CC} = +9\text{ V}$; 全温度範囲)

パラメータ	Min	Typ	Max	単位
ロジック“1”電圧	2.1		5.0	V
ロジック“0”電圧	0		0.8	V
ロジック“1”電流($V_{\text{INH}} = 5\text{ V}$) CLK、SDATA、 $\overline{\text{DATEN}}$	0		20	nA
ロジック“0”電流($V_{\text{INL}} = 0\text{ V}$) CLK、SDATA、 $\overline{\text{DATEN}}$	- 600		- 100	nA
ロジック“1”電流($V_{\text{INH}} = 5\text{ V}$) $\overline{\text{PD}}$	50		190	$\mu\text{ A}$
ロジック“0”電流($V_{\text{INL}} = 0\text{ V}$) $\overline{\text{PD}}$	- 250		- 30	$\mu\text{ A}$

タイミング条件(特に指定のない限り、全温度範囲、 $V_{CC} = +9\text{ V}$ 、 $T_R = T_F = 4\text{ ns}$ 、 $f_{\text{CLK}} = 8\text{ MHz}$)

パラメータ	Min	Typ	Max	単位
クロック・パルス幅(T_{WH})	16.0			ns
クロック周期(T_C)	32.0			ns
クロックに対するセットアップ時間SDATA (T_{DS})	5.0			ns
クロックに対するセットアップ時間 $\overline{\text{DATEN}}$ (T_{ES})	15.0			ns
クロックに対するホールド時間SDATA (T_{DH})	5.0			ns
クロックに対するホールド時間 $\overline{\text{DATEN}}$ (T_{EH})	3.0			ns
入力上がり時間と立下がり時間、SDATA、 $\overline{\text{DATEN}}$ 、クロック(T_R 、 T_F)			10	ns

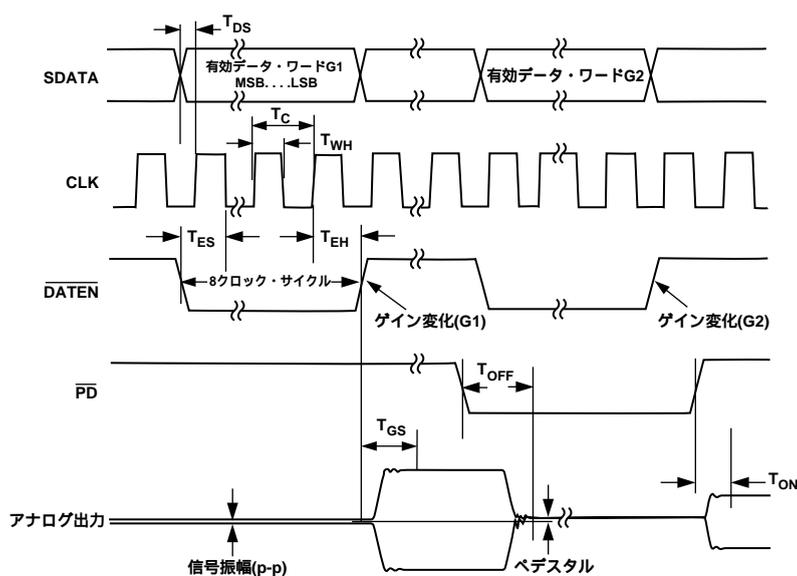


図2. シリアル・インターフェースのタイミング

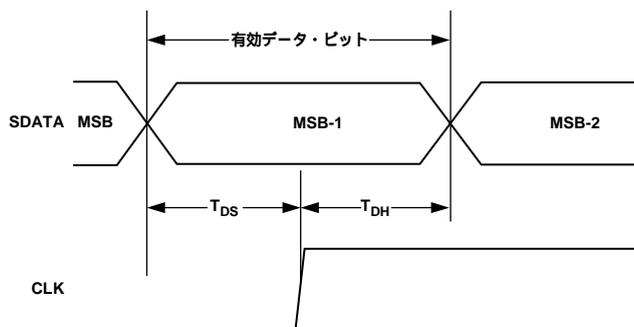


図3. SDATAのタイミング

AD8321

絶対最大定格*

電源電圧 +V_S

ピン7、8、9、17、20 +11 V

入力電圧

ピン18、19 ±0.5 V

ピン1、2、3、6 -0.8 V ~ +5.5 V

内部消費電力

スモール・アウトライン(R) 0.90 W

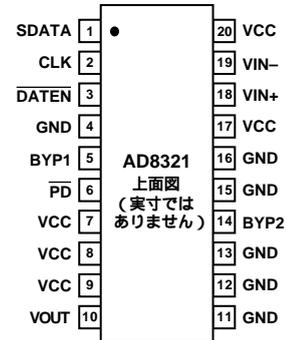
動作温度範囲 -40 ~ +85

保存温度範囲 -65 ~ +150

ピン温度、ハンダ処理60 sec +300

*上記の絶対最大定格を超えるストレスを加えるとデバイスに永久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作セクションに記載する規定値以上のデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

ピン配置



オーダー・ガイド

モデル	温度範囲	パッケージ	JA	パッケージ・オプション
AD8321AR	-40 ~ +85	20ピンSOIC	58 /W*	R-20
AD8321AR-REEL	-40 ~ +85	20ピンSOIC	58 /W*	R-20
AD8321-EVAL		評価ボード		

*温度抵抗はSEMI標準4相ボード上で測定。

注意

ESD(静電放電)の影響を受けやすいデバイスです。4000 Vもの高圧の静電気が人体やテスト装置に容易に帯電し、検知されことなく放電されることもあります。このAD8321には当社独自のESD保護回路が備えられていますが、高エネルギーの静電放電にさらされたデバイスには回復不能な損傷が残ることもあります。したがって、性能低下や機能喪失を避けるために、適切なESD予防措置をとるようお奨めします。



ピン機能説明

ピン	機能	説明
1	SDATA	シリアル・データ入力。このデジタル入力を使うと、8ビット・シリアル(ゲイン)ワードをMSB(最上位ビット)先頭で内部レジスタにロードすることができます。
2	CLK	クロック入力。クロック・ポートは、8ビット・マスター/スレーブ・レジスタに対するシリアル減衰器データの転送レートを制御します。ロジック"0"から"1"の変化でデータ・ビットをラッチし、"1"から"0"の変化でデータ・ビットをスレーブへ転送します。このクロック変化の前に入力シリアル・データ・ワードが有効になっている必要があります。
3	DATEN	データ・イネーブルLow入力。このポートは8ビット・パラレル・データ・ラッチとシフトレジスタを制御します。ロジック"0"から"1"の変化により、ラッチしたデータを減衰器コアに転送し(ゲインを更新)、同時にレジスタに対するシリアル・データ転送を禁止します。"1"から"0"の変化により、データ・ラッチを禁止し(前のゲイン状態を維持)、同時にレジスタへのシリアル・データのロードをイネーブルします。
4、11、12、13、15、16	GND	コモン外部グランド基準
5	BYP1	V _{CC} /2基準電圧ピン。電源電圧(V _{CC})の1/2に等しいIDC出力基準電圧レベル。このポートは外部でAC結合(0.1 μFキャパシタ)する必要があります。この基準電圧を外部で使用するときは、バッファの使用が必要です。
6	PD	パワーダウンLowロジック入力。ロジック0を入力すると、電力アンプがパワーダウン(シャットオフ)され、出力信号がディスエーブルされて、リバース・アンプがイネーブルされます。ロジック1を入力すると、出力電力アンプがイネーブルされ、リバース・アンプがディスエーブルされます。
7、8、9、17、20	VCC	正のコモン外部電源電圧。
10	VOUT	出力信号ポート。約V _{CC} /2にDCバイアス。
14	BYP2	内部バイパス。このピンは外部でAC結合する必要があります(0.1 μFキャパシタ)。
18	VIN+	非反転入力。約V _{CC} /2にDCバイアス。シングル・エンド反転動作の場合は、VIN+とグランドの間に0.1 μFのデカップリング・キャパシタを使用してください。
19	VIN-	反転入力。約V _{CC} /2にDCバイアス。0.1 μFキャパシタによりAC結合する必要があります。

代表的な性能特性 AD8321

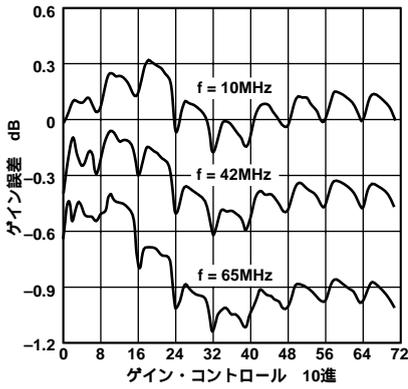


図4. ゲイン誤差とゲイン・コントロールの関係

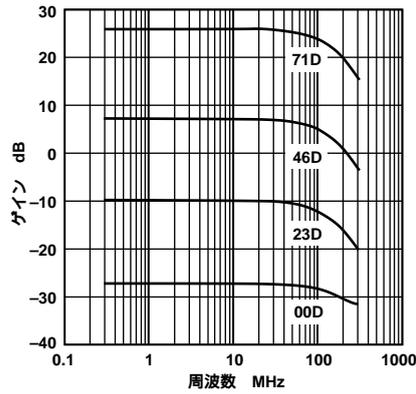


図5. AC応答

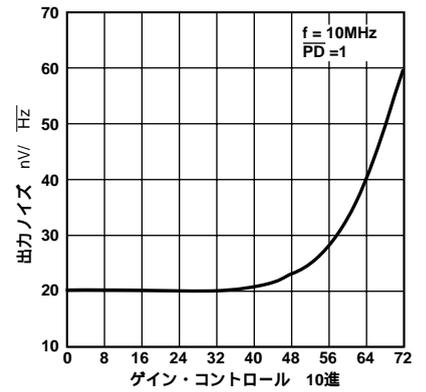


図6. 出力換算ノイズとゲイン・コントロールの関係

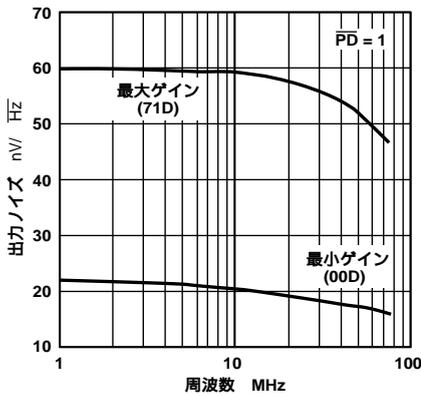


図7. 出力換算ノイズと周波数の関係

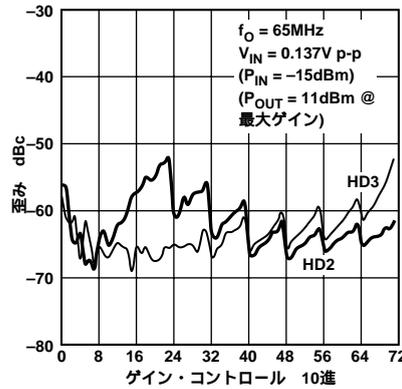


図8. 高調波歪みとゲイン・コントロールの関係

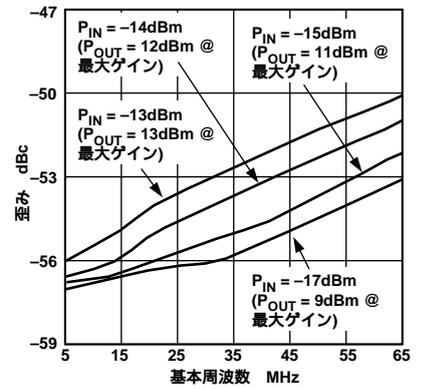


図9. 種々の入力レベルにおける2次高調波歪みと周波数の関係

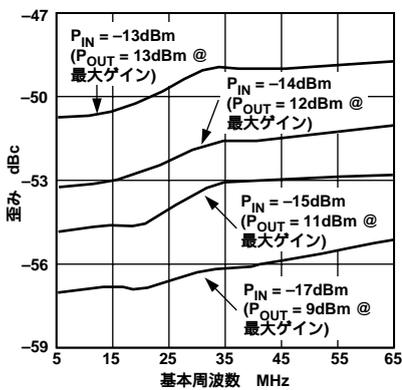


図10. 種々の入力レベルにおける3次高調波歪みと周波数の関係

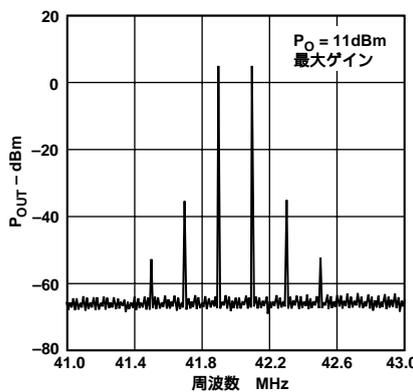


図11. 2周波間の相互変調歪み

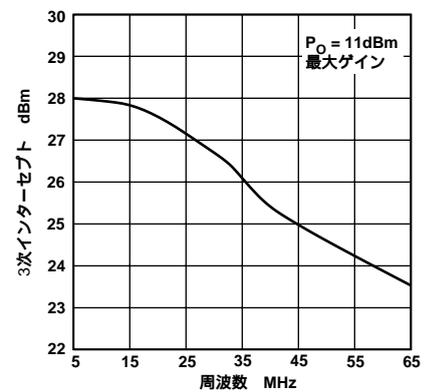


図12. 3次インターセプトと周波数の関係

AD8321

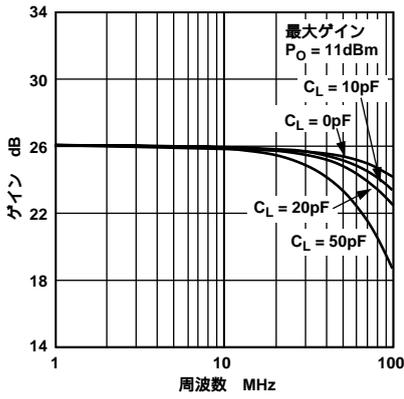


図13. 種々のキャパシタ負荷に対する AC応答

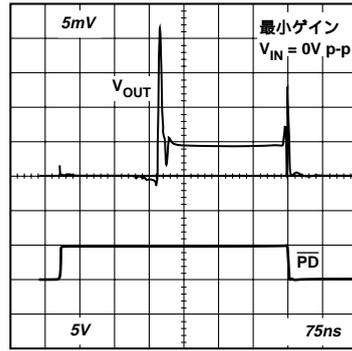


図14. パワーアップ/パワーダウン時のグリッチ

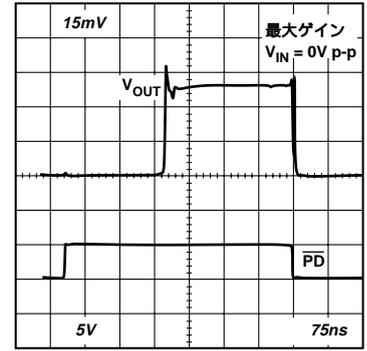


図15. パワーアップ/パワーダウン時のグリッチ

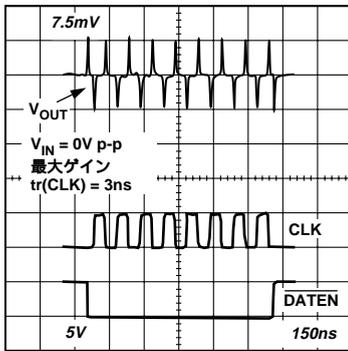


図16. クロック干渉

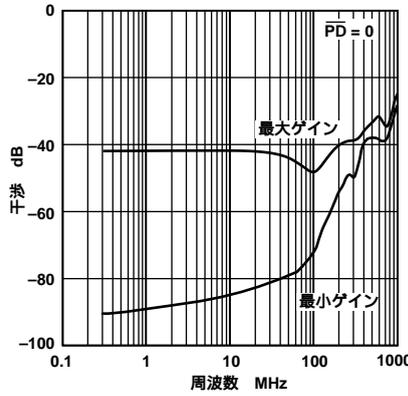


図17. 入力信号干渉と周波数の関係

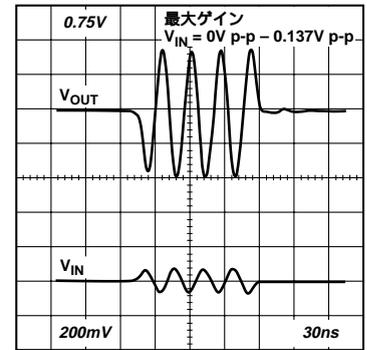


図18. 入力変化に対する出力安定時間

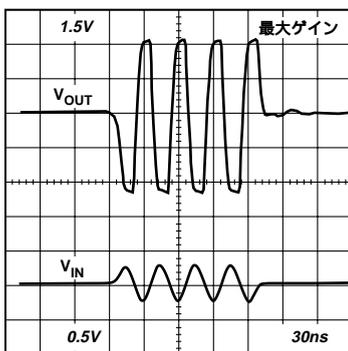


図19. 過負荷回復

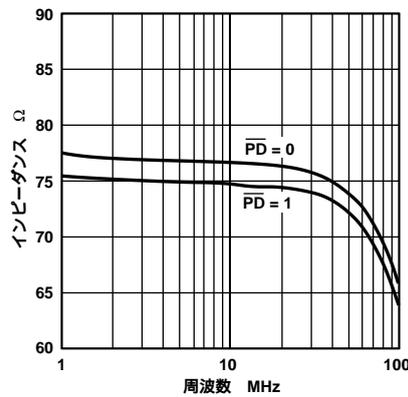


図20. 出力インピーダンスと周波数の関係

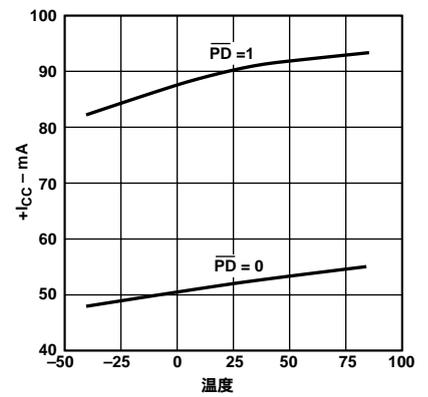


図21. 電源電流と温度の関係

動作説明

AD8321は、75 ケーブル駆動用に最適化されたデジタル的に制御される可変ゲイン電力アンプです。シングル・シリコン・チップ上に集積された多機能バイポーラ・デバイスとして、リバース・パス(アップストリーム)の高速(5 MHz~65 MHz)ケーブル・データ・モデムの要求をサポートするために必要なすべてのアナログ機能を内蔵しています。AD8321は全範囲で約53 dBゲインを持ち、出力信号レベルで12 dBmを超える100 MHz動作の能力を持っています。全体としてのデバイスの広いゲイン範囲、低歪み、広帯域幅、可変負荷駆動機能を考慮すると、このデバイスは多くの可変ゲイン・ブロック・アプリケーションで使用することができます。

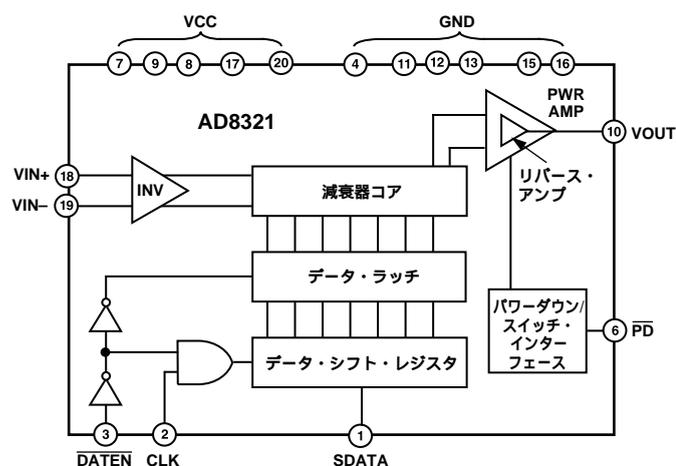


図22. 機能ブロック図

デジタル的に設定可能なゲインは、3線式“SPI”互換の入力により制御されます。これらの入力はSDATA (シリアル・データ入力ポート)、DATEN (データ・イネーブルLow入力ポート)、CLK (クロック入力ポート)と呼ばれます。ピン機能説明と機能ブロック図を参照してください。AD8321は、8ビットの“減衰器”ワードにより設定されます。標準の8ビット・ワードを使用する場合、先頭のデータ・ビットMSBが、CLKの8番目の立上がりエッジで7ビット・シフトレジスタからシフトアウトされます。DATEN入力がHighになると、下位7ビットがAD8321のデジタル・デコード・セクションにロードされます。

AD8321のゲインは、0.7526 dBステップ単位でリニアです。ゲインの伝達関数は -27.43 dB (10進コードで0)から始まり、0.7526 dB/LSBで増加します。ゲインは最大10進コードで71まで増加します。このポイントで、ゲインは最大レベルの26 dBに達します。71~127の10進ワードが入力されると、ゲインは増加せずに26 dBに維持されます。10進コードで128の8ビット・ワードの最上位ビットは“don't care”ビットであるため、AD8321のゲインは最小値に戻ります。図23に示すように、ゲインとゲイン・コントロールの関係は、上位127コードに対して繰り返されます。

ゲイン伝達関数は次のようになります。

CODE 71に対して、 $A_V = 26 \text{ dB} - ((71 - \text{CODE}) \times 0.7526 \text{ dB})$

71 CODE 127に対して、 $A_V = 26 \text{ dB}$

128 CODE 199に対して、 $A_V = 26 \text{ dB} + ((199 - \text{CODE}) \times 0.7526 \text{ dB})$

199 CODE 255に対して、 $A_V = 26 \text{ dB}$

ここで、CODEはAD8321のデータ・ラッチにロードされる8ビット・ワードの等価な10進表現(図23参照)

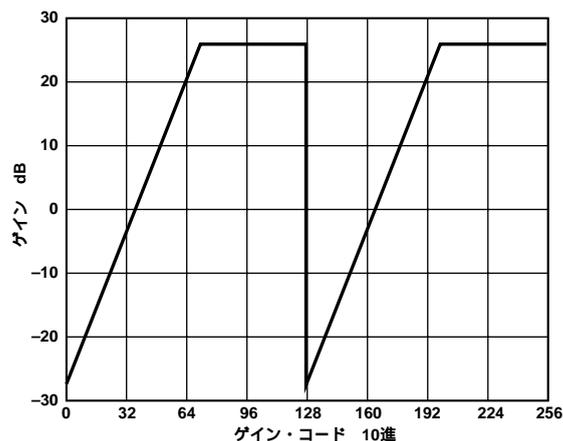


図23. dBゲインとゲイン・コントロールの関係

AD8321は、パワーアップ・モードまたはフォワード・モードにおける4つのアナログ機能で構成されています。入力アンプ(プリアンプ)はシングル・エンドまたは差動として使用でき、最大12 dBの減衰を与えます。入力を差動構成で使用する場合は、2つの入力信号の位相は180度ずれており、振幅は等しい必要があります。これにより、正しいゲイン精度と高調波性能が保証されます。

プリアンプ・ステージは、微細なゲイン調整を可能にするパーニア(副尺)ステージを駆動しています。0.7526 dBステップの分解能がこのステージに組み込まれています。パーニア・ステージの後段には、DACを持つAD8321の減衰器(6ビットすなわち36 dB)があります。プリアンプ・ブロックとパーニア・ゲイン・ブロック内の信号は差動であり、PSRRと直線性を改善しています。シングル・エンド電流はDACから出力ステージに入力されます。この出力ステージは、この電流を75 負荷を駆動する際に必要なレベルまで増幅します。出力ステージでは、負帰還を使用して、75 の出力インピーダンスを実現しています。この構成により、ビデオ(またはビデオ・フィルタ)終端条件として一般に必要とされている外付けの75 整合抵抗を不要にしています。

AD8321

AD8321の減衰設定は、データ・ラッチ内の8ビット・ワードにより決定されます。SDATAのロード・シーケンスは、DATENの立下がりエッジで起動されます。ゲイン・コントロール・データ(SDATA)は、クロックの各立上がりエッジで、シリアルに7ビット・シフトレジスタにロード(MSB先頭)されます(図24参照)。DATENがLowの間、データ・ラッチは前のデータ・ワードを保持して、減衰レベルを一定に維持します。クロックの8サイクル後に、新しいデータ・ワードがロードされ、DATENがHighになります。これにより、データ・ラッチがイネーブルされて、ロードされたレジスタ・データが減衰器に渡されてゲイン値が更新されます。このDATEN変化では、内部クロックもディスエーブルされて、新しいシリアル・データの入力も禁止されます。

電力アンプには、フォワード・モード(すなわち、パワーアップ・モード)とリバース・モード(すなわち、パワーダウン・モード)の2つの基本動作モードがあります。パワーアップ・モード(PD = 1)では、電力アンプ・ステージがイネーブルされて、AD8321は最大ゲイン20 V/Vすなわち26 dB (75 駆動)になります。DAC、バーニア、プリアンプでの合計減衰量53.43により、AD8321の合計ゲイン範囲は26 dB ~ -27.43 dBになります。フォワード・モードとリバース・モードで、シングル・エンド出力信号は、 $V_{CC}/2$ のDCレベルを維持します。このDC出力レベルは、大きな信号に対して直線性を最適に維持します。

パワーダウン・モード(PD = 0)では、電力アンプがターンオフされ、"リバース"アンプ(図22の内側の三角形で表示)がイネーブルされます。この"1"から"0"の変化で、出力電力アンプはディスエーブルされます。これにより、S11とS22が確実に約ゼロに維持され、ラインの反射を最小に抑えます。時間領域で、PDが状態を変えると、変化時にグリッチとベデスタル・オフセットが発生します(図14と図15参照)。これらの不具合は、温度補償済み内部回路とレーザー・トリムにより最小に抑えられています。パワーダウンされた電源電流は、パワーアップ・モードの90 mAから52 mAに減少します。

アプリケーション

一般的なアプリケーション

AD8321は、基本的には、ケーブル・モデム・アプリケーションでのリターン・パス(アップストリーム・パスとも呼ばれます)電力アンプ(PA)またはライン・ドライバとしての使用を目的としています。アップストリーム・データは、QPSKフォーマットまたはQAMフォーマットで変調されています。この変調は、DSPまたはAD9853やその他のモデム/変調器チップのような専用QPSK/QAM変調器を使って行われます。アンプは、専用QPSK/QAM変調器またはDACから入力信号を受信します。両ケースとも、信号はライン駆動アンプに入力する前にローパス・フィルタを通しておく必要があります。局までの距離はケーブル・モデムの加入者毎に異なるためにライン損失が異なり、様々な加入者からの信号が減衰を必要とする一方で、増幅が必要となることもあります。そのため、AD8321ライン・ドライバでは必要に応じて出力を減衰または増幅して、局に到着する全信号の振幅を一致させる必要があります。

DOCSIS (Data Over Cable Service Interface Specifications)では、最小8 dBmV ~ 最大58 dBmVのケーブル・モデム出力信号を規定しています。DOCSISへの準拠が望まれるケーブル・モデム・アプリケーションでは、AD8321アンプをAD8321出力とダイプレクサのローパス入力ポートの間に接続された75 整合減衰器と組み合わせる必要があります。図28の回路図を参照してください。整合減衰器は、AD8321の出力電力範囲の下限におけるDOCSIS適合ノイズ・レベルを満たすために使用されます。ダイプレクサの挿入損失は、通常1 dBより小さいため、これら損失の組合せにより、PAライン・ドライバは75 負荷に十分な電力を供給して、モデム出力での歪み性能を維持する必要があります(詳細については、"DOCSIS"について記載してある節を参照してください。DOCSISに関するすべての引用は、SP-RFI-I04-980724の無線周波数インターフェース仕様に従います)。

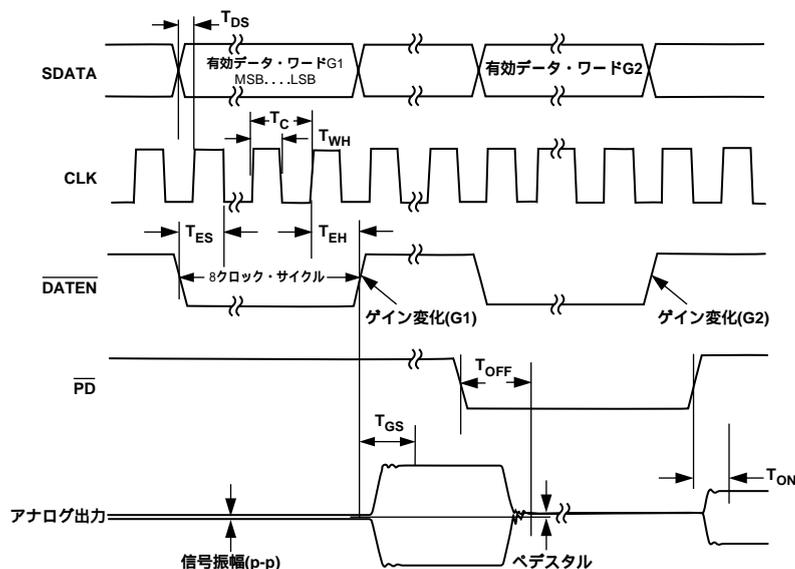


図24. シリアル・インターフェースのタイミング

基本接続

図25に、シングル・エンド反転モードで動作するAD8321の基本回路図を示します。反転モードで動作させるときは、入力信号をAC結合キャパシタを介してVIN - に接続し、VIN + は0.1 μ Fのキャパシタを使ってグラウンドにデカップリングします。アンプは単電源で動作し、差動入力ピンは約 $V_{CC}/2$ にバイアスされるため、差動入力には0.1 μ Fのキャパシタを使ってAC結合する必要があります。非反転モードでの動作に対しては、VINピンは0.1 μ Fのキャパシタを使ってグラウンドにデカップリングし、入力信号はVIN + ピン(AC結合)を使ってAD8321に入力する必要があります。AD8321をAD8320(AD8321の前の製品)の置き換え品として使う場合には、反転モードを選択する必要があります。AD8321に対する平衡差動入力も、シングル・エンド入力振幅仕様の1/2の振幅で入力することができます。この動作モードの詳細については、差動入力の節を参照してください。

電源およびデカップリング

AD8321は、高品質(すなわち、低ノイズ)の9 V単電源で使用する必要があります。AD8321回路は9 Vより低い電圧でも動作しますが、低い電圧では最適性能は得られません。電源ピンのデカップリングは注意深く行う必要があります。AD8321の近傍に10 μ Fのキャパシタを接続して、低周波数信号の優れたデカップリングを行う必要があります。さらに、より重要なことは、5個の0.1 μ Fデカップリング・キャパシタを各5本の電源ピン(7、8、9、17、20)の近くに接続する必要があります。また、0.1 μ FのキャパシタをピンBYP1とピンBYP2(ピン5とピン14)に接続して、デバイス内部のノードをデカップリングする必要があります。6本の全グラウンド・ピンを共通の低インピーダンス・グラウンド・プレーンに接続する必要があります。

入力バイアス、インピーダンス、および終端

入力側では、VIN + とVIN - は $(V_{CC}/2) - 0.2$ Vに等しいDCバイアス・レベルを持っています。したがって、入力信号は、AC結合した後にいずれかの入力ピンに接続する必要があります。シングル・エンド・モードで動作させる場合、入力インピーダンスは約820 (Ω 、差動モードで900 Ω)になります。82.5 Ω の外部シャント抵抗(R_1)をグラウンドに接続して、75 Ω に近いシングル・エンド入力インピーダンスにする必要があります。シングル・エンドの50 Ω 終端が必要な場合は、53.6 Ω のシャント抵抗を使うことができます。差動入力動作は、グラウンドと各入力の間41 Ω のシャント抵抗を接続することにより可能になります。あるいは、2つの入力間に82.6 Ω を接続すると、約75 Ω の差動入力インピーダンスを実現することができます。注: VIN + ピンまたはVIN - ピンでのDC負荷を回避するため、入力ピンとシャント抵抗の間にAC結合キャパシタを接続する必要があります。この動作モードの詳細については、差動入力の節を参照してください。

出力バイアス、インピーダンスおよび終端

出力側では、VOUTピンも $V_{CC}/2$ または電源電圧とグラウンドの中間レベルにDCバイアスされています。したがって、出力信号はAC結合した後に負荷に接続する必要があります。DCバイアス電圧はBYP1ピンとBYP2ピン(それぞれピン5と14)に出力されており、DCバイアスにこれらを使うことができます。これらのノードは、0.1 μ Fのキャパシタを使ってグラウンドにデカップリングする必要があります(図25)。BYP1電圧および/またはBYP2電圧を外部で使用する場合は、バッファが必要です。AD8321を使う場合は、外部バック終端抵抗は不要です。AD8321の出力インピーダンスは75 Ω であり、この値は動的に維持されます。この内蔵バック終端は、アンプのフォワード送信モードまたはリバース・パワーダウン・モードに無関係に一定に維持されます。出力信号をスペクトル・アナライザのような50 Ω テスト装置を使って評価する場合は、75 Ω 対50 Ω アダプタ(一般に最小損失パッドと呼ばれています)を使って、回路の整合を維持する必要があります。

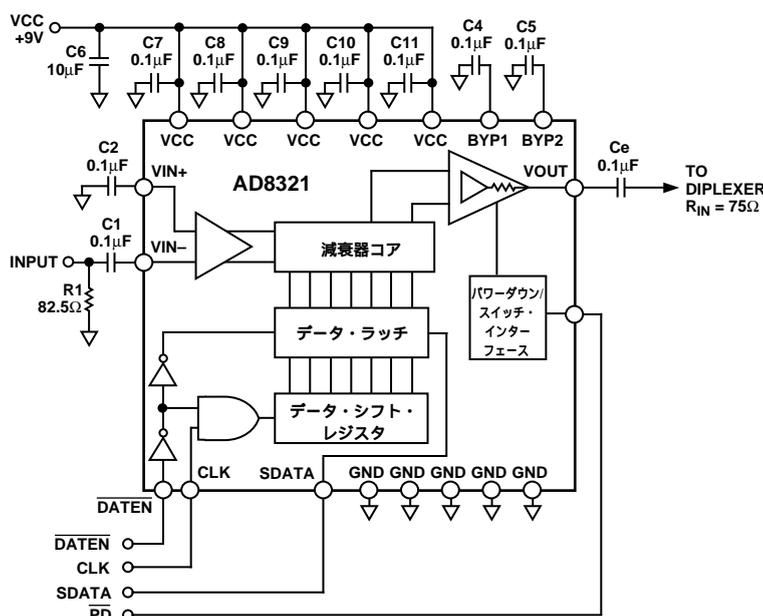


図25. シングルエンド反転動作の基本接続

AD8321

ゲインの変更とSPIプログラミング

AD8321のゲインは約 - 27 dB ~ + 26 dBの53 dBの範囲で変更することができます。1LSB当たり約0.7526 dBステップで設定することができます。AD8321のゲイン設定は、シリアル・ペリフェラル・インターフェース(SPI)プロトコルを使って行います。3本のデジタル・ラインDATEN、CLK、SDATAを使って、8ビットのデータをAD8321のシリアル・シフトレジスタに転送します。DATENポートがロジック"1"から"0"へ状態を変えると、CLKラインがアクティブになりローディング・シーケンスが開始されます。この変化の間には、出力信号は変化しません。SDATAに入力されたデータは、MSB先頭でCLKパルスの各立上がりエッジでシリアル・シフトレジスタに入力されます。AD8321は10進コード71で最大ゲイン(+ 26 dB)を与えるように設定することができます。そのため、8ビットSPIワードの下位7ビットだけがゲインの設定に使われます。図22のゲイン応答を参照してください。0~71のSPIコードがMSBを除くデジタル・コード128~199に対応するため、AD8321では256の使用可能なコード内でゲインと10進コードは2回対応します(ゲイン式に関する動作説明と図23のゲイン応答を参照してください)。SPIワードのMSBは無視されます(先頭データ・ビットは、DATENのロジック"1"から"0"への変化の後の、かつクロック・パルスの先頭立上がりエッジの前に、SDATAライン上に出力されます)。データは、後続の7個のCLKパルスの立上がりエッジでSDATAポートからシリアル・シフトレジスタに入力されます。DATENラインをロジック"1"に戻すと、シフトレジスタの内容が減衰器コアにラッチされて、良く制御された出力信号のレベル変化が発生します。AD8321のシリアル・インターフェース・タイミング図を図24に示します。

ゲインの負荷インピーダンスに対する依存性

AD8321は75 のダイナミックな出力インピーダンスを持っています。このダイナミック出力インピーダンスは、75 の負荷で+ 26 dBの最大ゲインが得られるように調整されています。75 以外の負荷インピーダンスでAD8321を動作させると、AD8321のゲインのみが変化し、仕様の53 dBゲイン範囲は変化しません。負荷インピーダンスを変えていくと、無限大のRLOADでゲインが6 dB増えます。RLOADとゲインの関係を図26に示します。この関係は次式で表されます。

$$\text{ゲイン(dB)} = [20 \log ((2 \times R_{\text{LOAD}}) / (R_{\text{LOAD}} + 75))] + (26 - (0.7526 (71 - \text{Code})))$$

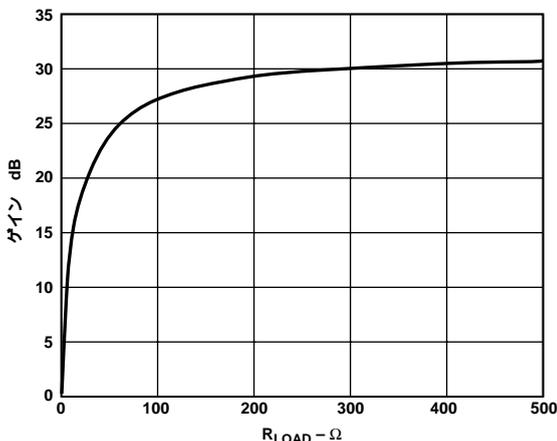


図26. 最大ゲインとR_{LOAD}の関係

バーストON/オフ過渡電圧、非同期パワーダウン、DOCSISの関係ロジック"0"をPDピン6に入力してオンチップ"リバース・アンプ"をアクティブにすると、非同期的に消費電力を42%削減することができます。電源電流は約52 mAに減少し、モデムはアップストリーム方向に送信できなくなります。オンチップのリバース・アンプは、"バースト間ノイズ"を削減し、モデムのダイプレクサローパスポートに対して75 ソース・インピーダンスを維持すると同時に消費電力を最小にするようにデザインされています。PDピンに入力するロジック・レベルを変えると、AD8321の出力にバーストON/OFF過渡電圧が発生します。この過渡電圧は、フォワード送信アンプとパワーダウン(リバース)アンプとの間のスイッチングから発生するものです。この過渡電圧は最大ゲインでDOCSIS過渡振幅条件を満たしていますが、これはAD8321が最大7 mVを超える低いゲイン範囲(8 dBmV ~ 31 dBmV)です。ダイプレクサでは、グリッチ振幅がさらに削減されます。2ワットの直線性の優れたGaAs SPDT RFスイッチであるAlpha Industries社のAS128-73のような外付けRFスイッチを使用すると、スプリアス放射をさらに削減して、ダイプレクサのLPポートの正しいライン終端を維持するために必要な75 バック終端でのアップストリーム・ライン・ドライバおよびスイッチとケーブル設備との間の絶縁を改善することができます(図28参照)。

ノイズおよびDOCSIS

DOCSIS準拠モデムのデザインで直面する困難な問題の1つは、アップストリームで情報が送信されていないときにパワーアンプ出力を無ノイズに維持することです。さらに、適切な信号対ノイズ比を提供して、送信データの品質を維持することです。これは、モデム出力信号がDOCSIS仕様の最小出力レベルすなわち8 dBmVに設定されている場合は、極めて重要になります。最小ゲイン(8 dBmV)におけるAD8321出力ノイズ・スペクトル密度は10 MHzで20 nV/√Hzです。DOCSISでの表4-8に示す"5 MHz ~ 42 MHzでのスプリアス放射を考慮すると"、160 K sym/secに対するノイズ電力(dBmV)は次のように計算されます。

$$\left(20 \log \left(\frac{(20 \text{ nV} / \sqrt{\text{Hz}})^2 \times 160 \text{ E} + 3}{\text{Hz}} \right) \right) + 60 \text{ or } - 41.5 \text{ dBmV}$$

ノイズ電力の計算値と8 dBmVでの信号を比較すると、DOCSISの表4-8に示す規格値 - 53 dBcより3.5 dB大きい - 49.5 dBcになることが分かります。AD8321の75 ソースを75 負荷に整合させるためにデザインした減衰器が必要になります。図28の回路図と図31に示す評価ボードのシルク・スクリーンでは、整合減衰器は、Rc、Rd、Reの3本の抵抗で構成されています。表Iから減衰レベルを選択して、ノイズ・フロアがDOCSISで規定されたレベルまで下がるようにします。

表I.

Rc ()	Rd ()	Re ()	減衰量 (dB)
1304	8.65	1304	- 1
654.3	17.42	654.3	- 2
432	26.1	432	- 3
331.5	35.75	331.5	- 4

歪みおよびDOCSIS

表Iから規定の減衰レベルを選択するときは注意が必要です。これは、AD8321からの出力信号により、減衰量の追加やダイプレクサに関係した挿入損失に起因する損失を補償する必要があるためです。入力信号の増加はゲイン範囲の上限で明確になり、モデム出力で58 dBmVを得ることが必要になります。ダイプレクサの品質および動作周波数がローパス・フィルタのカットオフ周波数付近にあるか否かに応じて、ダイプレクサの挿入損失は変化します。図9と図10に、種々の入力電力レベルにおける2次および3次歪み性能の計算値と基本周波数の関係を示します。これらのグラフは、AD8321の全出力範囲(-27 dB ~ +26 dB)でのワースト・ケースの高調波レベルを表します。図9と図10は、帯域内の高調波レベル(5 MHz ~ 42 MHzまたは5 MHz ~ 65 MHz)を決定する際に役立ちます。ダイプレクサ・ローパス・フィルタのカットオフ周波数に比べて高い周波数の高調波は、ダイプレクサのLPフィルタの阻止帯域減衰レベルによりさらに減衰されます。デザインでは、減衰量を大きくしてノイズ性能を改善すると、信号振幅を大きくすることが必要になってしまうことと、DOCSISの歪み性能規格を維持することの間のバランスを考慮することが必要になります。

評価ボードの機能と動作

アナログ・デバイセズ社は、AD8321評価ボード(p/n AD8321-EVAL)とMicrosoft Visual Basicで書かれた添付ソフトウェア・プログラムを提供しており、これらの製品はPCの平行・ポートを使用したAD8321可変ゲイン・アップストリーム電力アンプの制御に使うことができます。この評価パッケージは、外付けロジックの追加なしで、AD8321のゲイン/減衰量を設定する便利な方法を提供します。AD8321-EVALは、DOCSIS準拠のアプリケーション内でAD8321を使用することを目的として開発されています。低価格の直線性の優れた2ワットのGaAs SPDT RFスイッチ(SWbとも呼ばれます)であるAlpha Industries社製AS128-73が、評価ボードに内蔵されています(図28参照)。ユーザー設定が可能な75 整合減衰器(-1 dB ~ -4 dBの減衰器の抵抗値については表Iを参照)も内蔵されています。AD8321のDATEN、CLK、SDATAの各デジタル・ラインは、ゲイン設定と動作モードに従って設定されています。このゲイン設定と動作モードは、制御ソフトウェアのWindows(R)インターフェースを使用して選択することができます(図30参照)。AD8321のシリアル・インターフェースは、4ビット以上(およびグランド)を使用するPCの平行・ポートを使ってアドレス指定されます。平行・ポートの別の2ビットを使って、RFスイッチを制御します。このソフトウェアは、AD8321ゲインまたは減衰量を設定します。また、パワーダウン機能(ピン6のPD)の非同期制御やAlpha Industries社製RFスイッチAS128-73*の非同期制御も行います。標準のプリンタ・ケーブルを使って必要なデータをAD8321-EVALボードに転送することができます。これらの機能を使うと、PAの入力から開始されるアップストリーム信号パスの開発と評価をすべて行うことができます。

PCプリンタ・ポートでのオーバーシュート

PC平行・プリンタ・ポートによってはデータ・ライン上で大きなオーバーシュートを発生するものがあります。CLKピン(評価ボードのTP7)上のオーバーシュートは、通信に問題を引き起こ

ることがあります。評価ボード・レイアウトは、CLKデータのフィルタまたはコンデショニングが必要な場合のためにシリーズ抵抗とシャント・キャパシタ(R6とC12)を使用できるようにデザインされています。

バースト間過渡電圧の削減

フォワード送信モードからリバース・パワーダウン・モードへの切り替え時の、AD8321の出力における"バーストON/OFF過渡電圧"グリッチの振幅を削減するために、図28に示すSWbスイッチをポジション"a"に切り替えた後に、AD8321のPDピン6に入力するロジック・レベルをロジック"1"から"0"へ切り替えてください("0"から"1"への切り替えも同じ)。評価ボード制御ソフトウェア(図31参照)の"イネーブル出力スイッチ"機能を使って、AS128-73スイッチの該当するポジションを選択してください。このボックスをチェックすると、アップストリーム・データを評価ボード出力に渡すスイッチがイネーブルされます。AS128-73は、AD8321ゲイン設定に無関係に約5 mV p-pのグリッチを発生します。AD8321-EVALボードは、RFスイッチ(R8、R9、C16、C17)を制御するロジック・ライン上に抵抗とキャパシタが実装されて出荷されています。これらの値は、DOCSIS許容レベルにグリッチ振幅を減少させる値が選択されており、必要に応じて変更することができます。AS128-73 RFスイッチのSPDT機能は、ダイプレクサがAD8321の出力から切り離されたときに正しい終端を維持する必要性をサポートしています。AD8321-EVALボードは、必要なバック終端をサポートしています(評価回路のCbとRbを参照してください)。

差動入力

差動入力モードでAD8321を評価するには、終端抵抗とAD8321の入力インピーダンスの合成抵抗が信号ソース・インピーダンスとAD8321の入力インピーダンスとの間で整合するように終端抵抗を選んで設定する必要があります。評価ボードは、シングル・エンド(グランド基準)入力信号を差動入力に変換するためのMini-Circuits製T1-6T-KK81 1:1変成器を使用できるようにデザインされています。以下の節では、差動入力信号をAD8321評価ボードに入力するための3つのオプションについて説明します。オプション1では、変成器を使って真の差動入力信号を発生しています。差動信号ソースが使用できる場合には、オプション1とオプション2で規定されている終端抵抗は変成器なしでも使用できます。オプション2では、変成器を使用して、位相が180度ずれたグランド基準の入力信号を発生します。オプション3では、ユーザーの提供する差動信号を使用し、シングルエンドから差動への変換に変成器を使用しません。

差動入力オプション1

Mini-Circuits製のT1-6T-KK81 1:1変成器を評価ボードのT1の場所を実装してください。ジャンパーJ1、J2、J3を使って変成器の向きを指定します。82.5 の差動入力終端抵抗をR3位置に使用することができます。この値は、シングル・エンド入力信号が75 のソース・インピーダンスを持つ場合に使用します。この設定では、入力信号を評価ボードのVIN+ / 差動入力ポートに接続する必要があります。R1、R2、J4の位置はオープンのままにして、AD8321に対する75 差動入力終端を設定します。50 のシングル・エンド入力ソースをVIN+ / 差動入力ポートに接続するときは、R3の値を53.6 に変更します。

Windowsは、マイクロソフト社の登録商標です。

*Alpha Industries @ www.alphaind.com

AD8321

差動入力オプション2

Mini-Circuits製のT1-6T-KK81 1:1変成器を評価ボードのT1の場所
に実装してください。ジャンパーJ1、J2、J3を使って変成器の向き
を指定します。R3の位置はオープンのままにし、J4は2次側のセン
ター・タップをグランドに接続するように設定します。41 の抵抗
を各入力とグランドの間(R1とR2)に接続します。このオプ
ションにより、AD8321に対する75 差動入力終端も実現されます。
50 のシングル・エンド入力ソースをVIN + / 差動入力ポートに接
続する場合は、R1とR2の値を26.7 に変更します。

差動入力オプション3

評価ボードのVIN - 入力とVIN + 入力に差動入力を接続するこ
とができます。この例では、変成器は使用しません。ジャンパーJ1、
J2、J3には入力信号を通過させる線を接続します。オプション1ま
たはオプション2の差動入力終端設定を選択します。真の差動入力
が発生するときは、R3にオプション1の抵抗値を、または180度位相
がずれたグランド基準の2本の入力を発生するときは、R1とR2にオ
プション2の値を、それぞれ使用します。75 または50 以外の差
動入力信号ソース・インピーダンスを使用する場合は、次式を使っ
て該当する値を計算します。

オプション1構成の場合:

$$\text{所要入力インピーダンス} = R3 \quad 900$$

オプション2とオプション3構成の場合(R1 = R2 = R)

$$\text{所要入力インピーダンス} = 2 \times (R \quad 450)$$

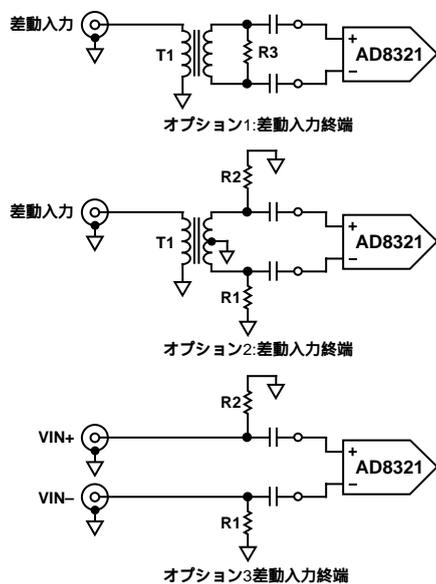


図27. 差動入力の終端オプション

PCからの評価ボードの制御

AD8321-EVALパッケージは図28に示す回路で出荷され、- 2 dB
減衰器(R_c, R_d, R_e)と制御ソフトウェアが添付されており、標準
のプリンタ・ケーブルをPCの平行・ポートに接続してAD8321
のゲイン/減衰量をユーザーが設定できるようになっています。

ソフトウェアのインストール

AD8321- EVAL評価回路を制御する"CABDRIVE"ソフトウェアを
インストールするときは、すべてのWindowsアプリケーションを閉
じて、AD8321- EVALソフトウェアのDisk 1上にある"SETUP"ファ
イルを選択します。スクリーンに表示される指示に(図29参照)
従って、要求されたときにDisk 2を挿入してください。制御ソフト
ウェアをインストールするディレクトリのパスを入力します。左
上隅にあるボタンを選択して、" CABDRIVE "ソフトウェアの指定
した場所へのインストールを開始してください。

ソフトウェアの実行

制御ソフトウェアを起動するときは、インストールされたソフト
ウェアがあるディレクトリから"Ad8321"アイコンを選択します。
制御ソフトウェアを起動した後、図30に示す表示から該当するプリ
ンタ・ポートを選択します。

AD8321のゲイン/減衰量の制御

AD8321コントロール・パネルには4つの異なる機能があります。
スライド・バーはAD8321のゲイン/減衰量を制御します。スライ
ダをdB単位で表示されたゲイン/減衰量に合わせます。Volts (出
力) / Volts(入力)の単位選択と、対応する制御コードが10進、2進、
16進で表示されます(図31参照)。

" POWER UP " と " POWER DOWN "

" POWER UP " と " POWER DOWN " と表示されたボタンは、
AD8321の動作モードを選択します。" POWER UP " ボタンを選択
すると、AD8321がコンデショニング済み信号を評価ボード上の
VOUTポートに入力するフォワード送信モードに設定されます。
逆に、" POWER DOWN " ボタンを選択すると、リバース・モード
に設定され、フォワード信号送信機能がディスエーブルされて、低
ノイズのリバース・アンプが75 バック終端をアクティブに維持
します。これらの機能は、非同期的(何時でも)に選択できます(詳
細については、バースト間過渡電圧の削減の節を参照してくださ
い)。

出力スイッチのイネーブル

2ワットの直線性の優れたGaAsスイッチであるAlpha Industries
社のAS128-73が標準のAD8321-EVAL回路に実装されており、図31
に示すコントロール・パネルのチェック・ボックスを使って制御
することができます。この機能は、上に説明した"POWER UP"機能
と"POWER DOWN"機能を使う前に、AD8321の出力をVOUTポ
ートから切り離すために用意されています。このアプリケーション
回路を使うと、バースト間に発生する過渡電圧をDOCSIS準拠レ
ベルまで減少させることができます(詳細については、バースト間過
渡電圧の削減の節を参照してください)。

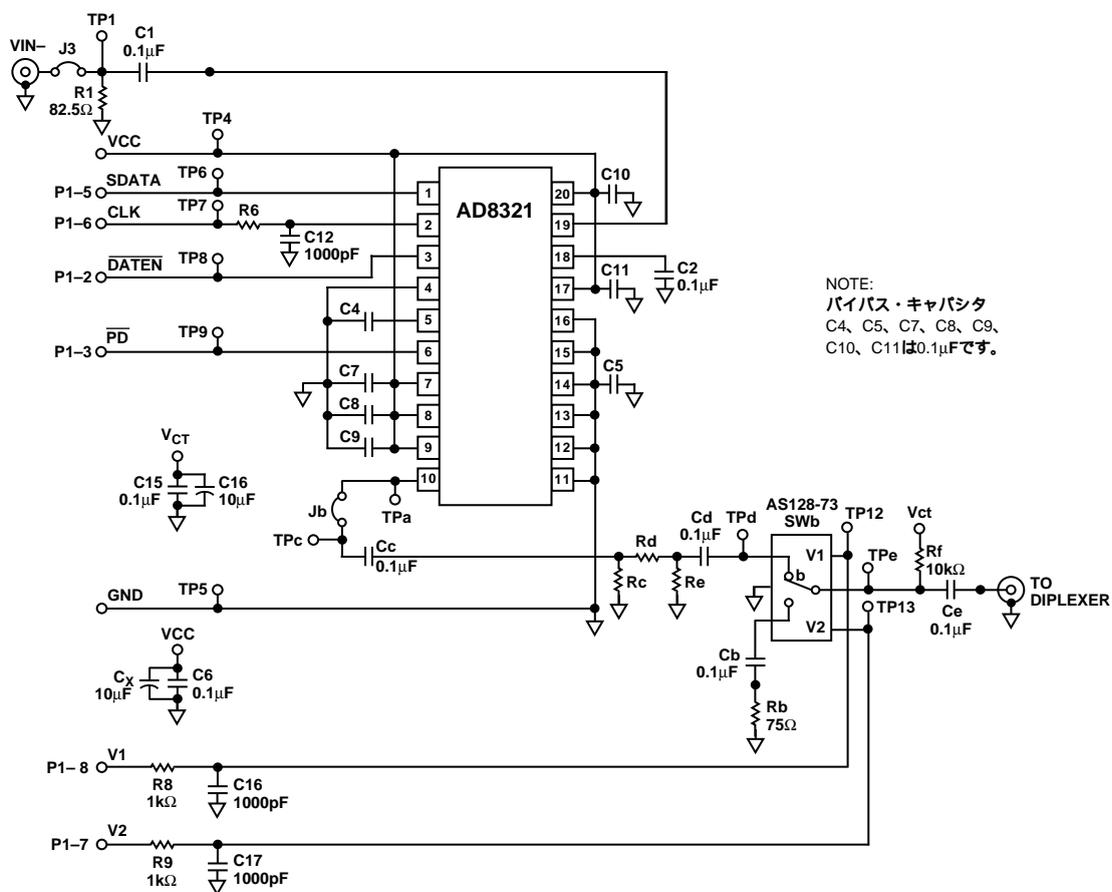


図28. シングルエンド反転入力AD8321-EVAL回路図 AD8321を使用するアップストリームPAドライバ・ソリューション
 (整合減衰器とAlpha Industries製AS128-73 RFスイッチを使用)

AD8321

評価ボードの機能と動作

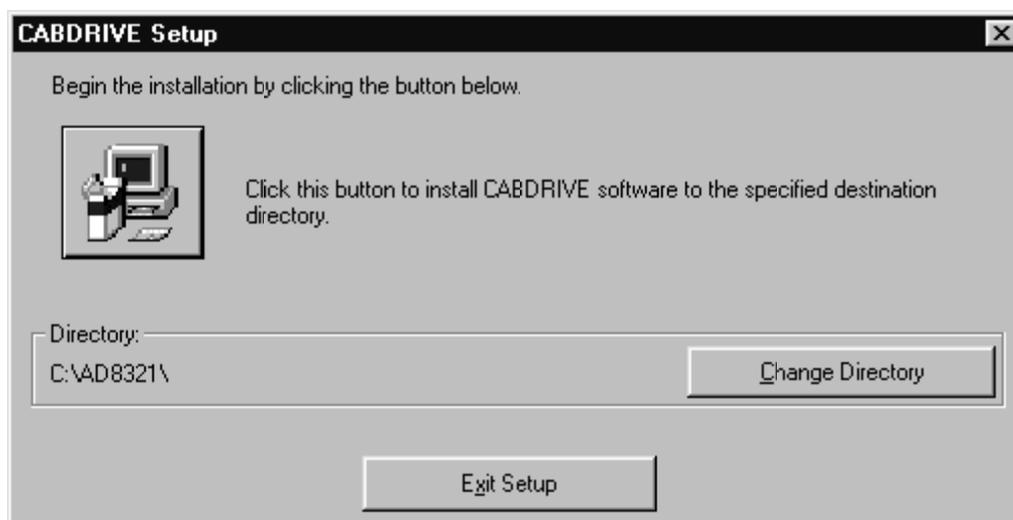


図29. 評価ボード・ソフトウェアのインストール

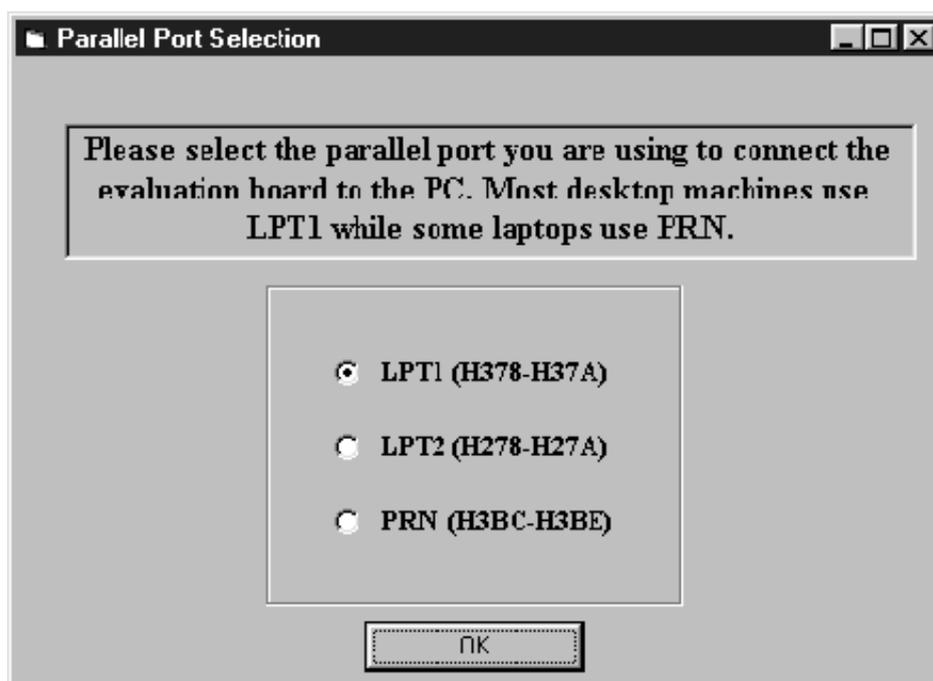


図30. 評価ボードの制御ソフトウェア

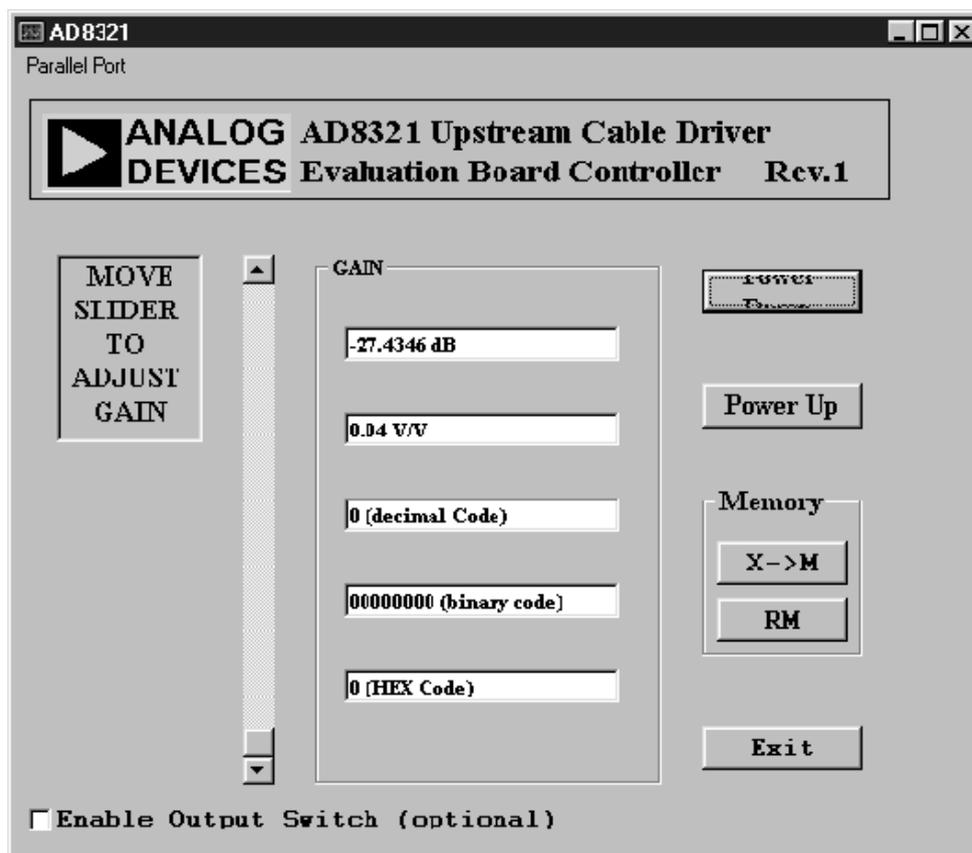


図31. Windowsベース制御ソフトウェアのスクリーン表示

AD8321

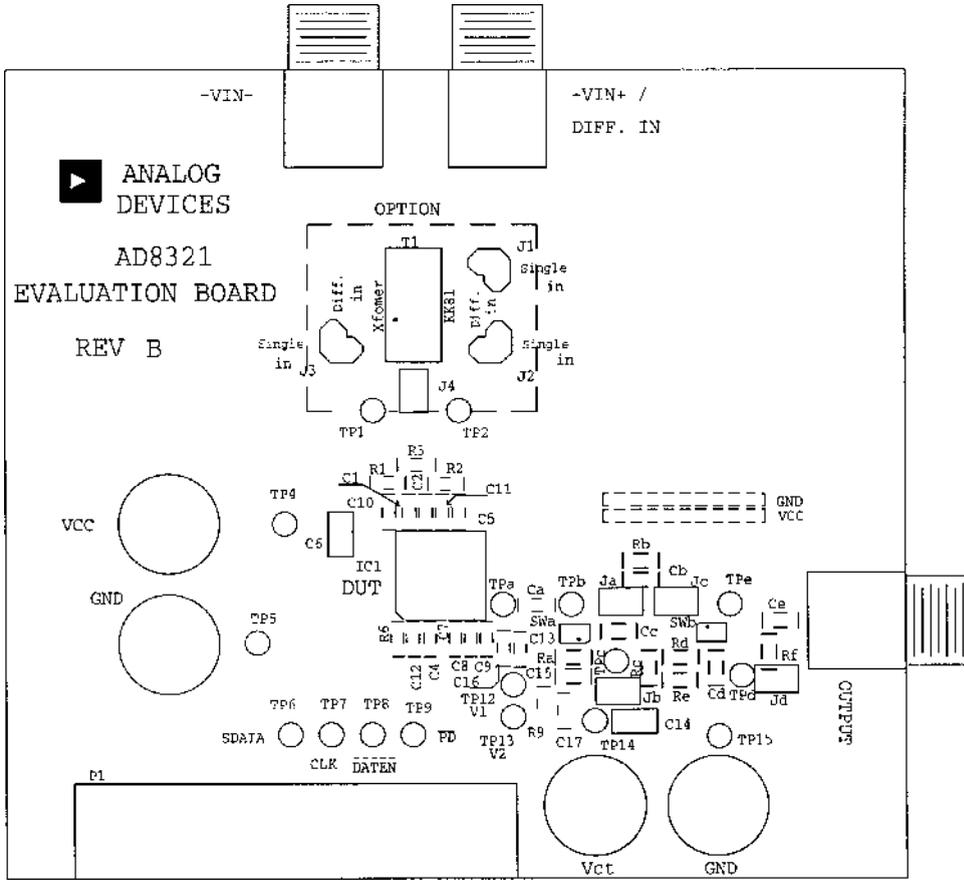


図32. 評価ボード・シルクスクリーン(部品面)

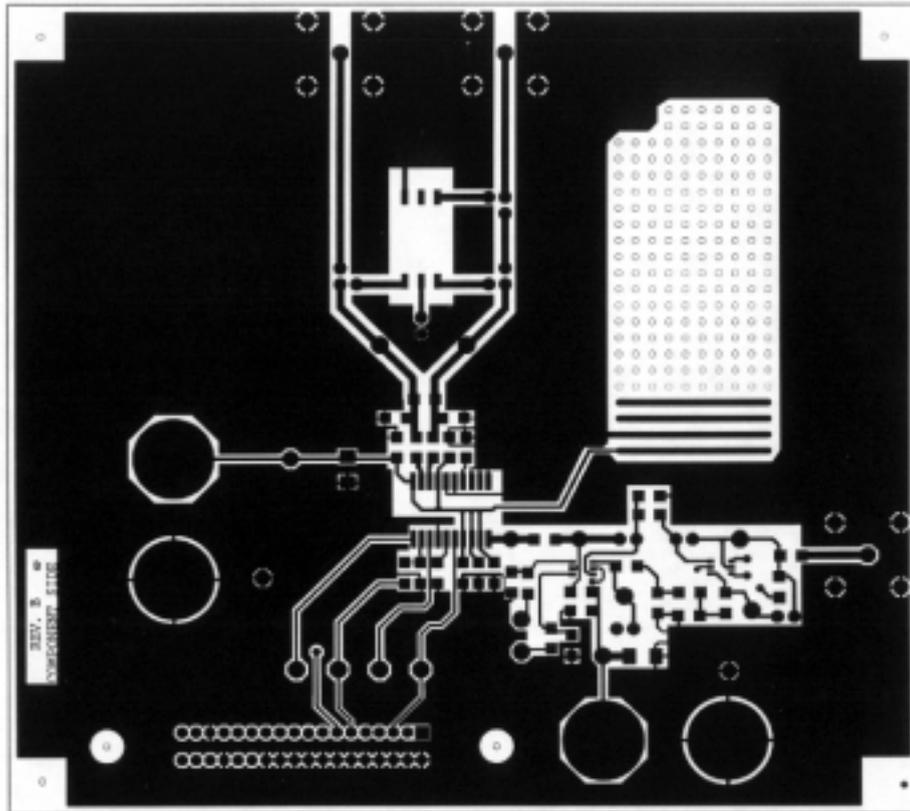


図33. 評価ボードのレイアウト(部品面)

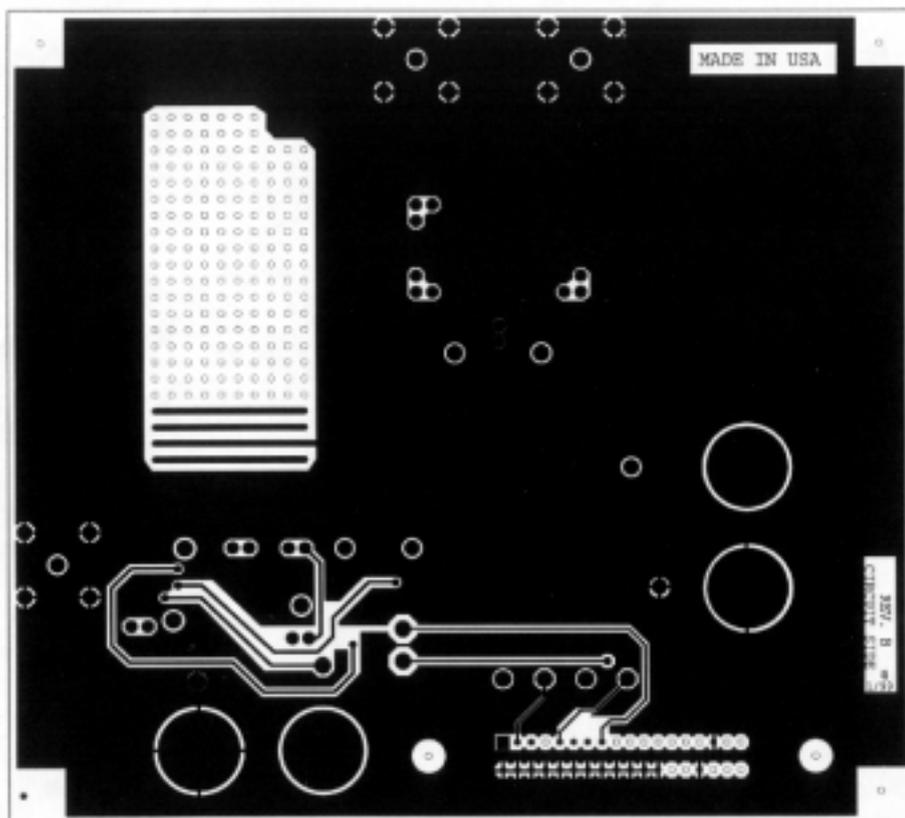


図34. 評価ボードのレイアウト(ハンダ面)

AD8321

評価ボードの部品表

AD8321評価ボードRev. Bシングルエンド反転入力 1999年3月17日

数量	説明	ベンダー	部品番号
2	10 μ F 16 V。1350サイズ・タンタル・チップ・キャパシタ	ADS# 4-7-6	C6 & C14
14	0.1 μ F 50 V。1206サイズ・セラミック・チップ・キャパシタ	ADS# 4-5-18	C1-C5、C7-C11、Cb-e
3	1,000 pF 50 V。1206サイズ・セラミック・チップ・キャパシタ	ADS# 4-5-20	C12、C16 & C17
1	82.5 1% 1/8 W。1206サイズ・チップ抵抗	D-K # P 82.5 FCT-ND	R1
3	0 5% 1/8 W。1206サイズ・チップ抵抗	ADS# 3-18-88	R2 & R6、Ca
2	1.00 kW 1% 1/8 W。1206サイズ・チップ抵抗	ADS# 3-18-11	R8 & 9
1	75.0 1% 1/8 W。1206サイズ・チップ抵抗	ADS# 3-18-145	Rb
2	649 1% 1/8 W。1206サイズ・チップ抵抗	D-K # P 649 FCT-ND	Rc & Re
1	10.0 kW 1% 1/8 W。1206サイズ・チップ抵抗	ADS# 3-18-119	Rf
1	17.4 1% 1/8 W。1206サイズ・チップ抵抗	D-K # P17.4 FCT-ND	Rd
1	Alpha # AS 128-73 GaAs Hi直線性スイッチ	Alpha # AS 128-73	SWb
2	ピンク・テスト・ポイント	ADS# 12-18-63	TPc & TPd
1	青テスト・ポイント[Vct]	ADS# 12-18-62	TP14
6	灰色テスト・ポイント[バス・ライン]	ADS# 12-18-64	TP6-TP9、TP12 & TP13
2	黄色テスト・ポイント[入力]	ADS# 12-18-32	TP1 & TP2
3	オレンジ色テスト・ポイント[出力]	ADS# 12-18-60	TPa、TPb & TPe
1	赤テスト・ポイント[DUT VCC]	ADS# 12-18-43	TP4
2	黒テスト・ポイント[GND]	ADS# 12-18-44	TP5 & TP15
2	2ピン。1インチ・センター・シャントBerg # 65474 001	ADS# 11-2-38	J3 & Jb
5	2ピン。1インチ・センター雄ヘッダーBerg # 69157 102	ADS# 11-2-37	J3、Ja、Jb、Jc、Jd
2	75 右向きBNC Telegartner # J01003A1949	Comp. Mktg. Services	INPUTS、OUTPUT
1	コモン36ピンセントロニクス右向き	ADS# 12-3-50	P1
4	5ウエイ・メタル・バインディング支柱	ADS# 12-7-7	DUT VCC、GND、Vct
1	AD8321 AR	ADS# AD8321AR	D.U.T.
1	AD8321 REV. B評価PCボード	E.M.C.	評価PCボード
4	#4 40 x 1/4インチ _{ss} なべ頭ネジ	ADS# 30-1-1	
4	#4 40 x 3/4インチ長アルミニウム丸形スタンドオフ	ADS# 30-16-3	
2	#2 56 x 3/8インチ _{ss} なべ頭ネジ	ADS# 30-1-17	(p1ハードウェア)
2	#2スチール・ワッシャ	ADS# 30-6-6	(p1ハードウェア)
2	#2スチール内部歯形ロックワッシャ	ADS# 30-5-2	(p1ハードウェア)
2	#2 ss 6角ナット	ADS# 30-7-6	(p1ハードウェア)

オプション部品: J1、J2、J4、R3、Ra、SWa、T1、+VIN +

AD8321

D6113-2.7-8/99,1A

PRINTED IN JAPAN

