

### 特長

- 小型パッケージ：10ピンMSOP
- ゲイン設定可能：1、2、5、10
- ゲインをデジタルまたはピンにより設定
- 広い電源電圧範囲： $\pm 5 \sim \pm 15$ V
- 優れたDC性能
  - 高CMRR：最小98dB、G=10
  - 低ゲイン・ドリフト：最大10ppm/ $^{\circ}$ C
  - 低オフセット・ドリフト：最大1.7 $\mu$ V/ $^{\circ}$ C、G=10
- 優れたAC性能
  - 高速セトリング時間：0.001%まで最大615ns
  - 高スルーレート：最小20V/ $\mu$ s
  - 低歪み：1kHzでTHD=-110dB
  - 周波数全域で高CMRR：50kHzまで最小80dB
  - 低ノイズ：最大18nV/ $\sqrt{\text{Hz}}$ 、G=10
  - 低消費電力：4mA

### アプリケーション

- データ・アキュイジション
- バイオメディカル分析
- テストおよび計測

### 概要

AD8250は、G $\Omega$ 入力インピーダンス、低出力ノイズ、低歪みの特性を持つデジタル・プログラマブル・ゲイン計装アンプ (PGIA) であるため、センサとのインターフェースや高速サンプリング・レートのA/Dコンバータ (ADC) の駆動に最適です。このデバイスは、10MHzの広帯域幅、-110dBの低THD、615nsの高速セトリング時間 (0.001%) を持っています。オフセット・ドリフトおよびゲイン・ドリフトは、G=10でそれぞれ1.7 $\mu$ V/ $^{\circ}$ Cおよび10ppm/ $^{\circ}$ Cです。本製品は広い入力同相電圧範囲だけでなく、DCから50kHzまで80dB (G=1) という優れたCMRR (同相ノイズ除去) 性能も持っています。高精度のDC性能と高速機能の組み合わせにより、データ・アキュイジション向けの最適な選択肢になっています。また、このモノリシック・ソリューションは、設計および製造を簡素化し、内部抵抗と内部アンプとの高い整合性を維持することにより計測性能を向上させます。

AD8250のユーザ・インターフェースはパラレル・ポートから構成されており、ユーザは2種類の方法でゲインを設定することができます (図1の機能ブロック図を参照)。バスを介して送信される2ビット・ワードは、 $\overline{\text{WR}}$ 入力を使ってラッチできます。また、トランスベアレント・ゲイン・モードを使用して、ゲイン・ポートのロジック・レベルの状態でゲインを決めることもできます。

機能ブロック図

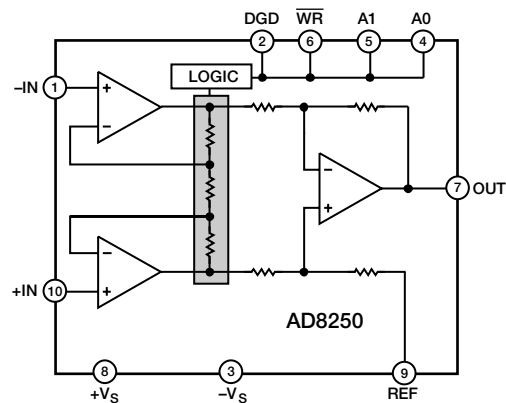


図1

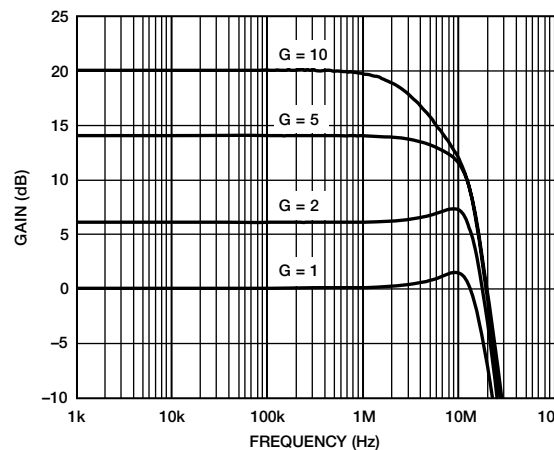


図2. ゲインの周波数特性

表1. 計装/差動アンプの分類

High Performance	Low Cost	High Voltage	Mil Grade	Low Power	Digital Gain
AD8220 <sup>1</sup>	AD623 <sup>1</sup>	AD628	AD620	AD627 <sup>1</sup>	AD8231 <sup>1</sup>
AD8221	AD8553 <sup>1</sup>	AD629	AD621		AD8251
AD8222			AD524		AD8555 <sup>1</sup>
AD8224 <sup>1</sup>			AD526		AD8556 <sup>1</sup>
			AD624		AD8557 <sup>1</sup>

<sup>1</sup> レールtoレール出力

AD8250は10ピンMSOPパッケージを採用しており、-40~+85 $^{\circ}$ Cの温度範囲で仕様が規定されています。本製品は、サイズや集積度が重視されるアプリケーションの優れたソリューションとなります。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。  
※日本語データシートはREVISIONが古い場合があります。最新の内容については、英語版をご参照ください。  
© 2007 Analog Devices, Inc. All rights reserved.

# AD8250

## 目次

特長 .....	1	入力バイアス電流のリターン・パス .....	17
アプリケーション .....	1	入力保護 .....	17
概要 .....	1	リファレンス・ピン .....	18
機能ブロック図 .....	1	同相入力電圧範囲 .....	18
改訂履歴 .....	2	レイアウト .....	18
仕様 .....	3	RF干渉 .....	18
タイミング図 .....	5	A/Dコンバータの駆動 .....	19
絶対最大定格 .....	6	アプリケーション .....	20
最大消費電力 .....	6	差動出力 .....	20
ESDに関する注意 .....	6	マイクロコントローラによるゲインの設定 .....	20
ピン配置とピン機能の説明 .....	7	データ・アクイジション .....	21
代表的な性能特性 .....	8	外形寸法 .....	22
動作原理 .....	15	オーダー・ガイド .....	22
ゲインの選択 .....	15		
電源レギュレーションとバイパス .....	17		

## 改訂履歴

1/07—Revision 0: Initial Version

## 仕様

特に指定のない限り、 $+V_S = +15V$ 、 $-V_S = -15V$ 、 $V_{REF} = 0V @ T_A = 25^\circ C$ 、 $G = 1$ 、 $R_L = 2k\Omega$ 。

表2

Parameter	Conditions	Min	Typ	Max	Unit							
<b>COMMON-MODE REJECTION RATIO (CMRR)</b>												
CMRR to 60 Hz with 1 k $\Omega$ Source Imbalance	+IN = -IN = -10 V to +10 V	80	94		dB							
G = 1												
G = 2												
G = 5												
G = 10												
CMRR to 50 kHz	+IN = -IN = -10 V to +10 V	80			dB							
G = 1												
G = 2												
G = 5												
G = 10												
<b>NOISE</b>												
Voltage Noise, 1 kHz, RTI												
G = 1						40	nV/ $\sqrt{Hz}$					
G = 2						27	nV/ $\sqrt{Hz}$					
G = 5						21	nV/ $\sqrt{Hz}$					
G = 10						18	nV/ $\sqrt{Hz}$					
0.1 Hz to 10 Hz, RTI												
G = 1											2.5	$\mu V$ p-p
G = 2											2.5	$\mu V$ p-p
G = 5											1.5	$\mu V$ p-p
G = 10						1.0	$\mu V$ p-p					
Current Noise, 1 kHz							5			pA/ $\sqrt{Hz}$		
Current Noise, 0.1 Hz to 10 Hz							60			pA p-p		
<b>VOLTAGE OFFSET</b>												
Offset RTI $V_{OS}$	G = 1, 2, 5, 10			$\pm 200 + 600/G$	$\mu V$							
Over Temperature	T = -40 $^\circ C$ to +85 $^\circ C$			$\pm 260 + 900/G$	$\mu V$							
Average TC	T = -40 $^\circ C$ to +85 $^\circ C$			$\pm 1.2 + 5/G$	$\mu V/^\circ C$							
Offset Referred to the Input vs. Supply (PSR)	$V_S = \pm 5V$ to $\pm 15V$			$\pm 6 + 20/G$	$\mu V/V$							
<b>INPUT CURRENT</b>												
Input Bias Current	T = -40 $^\circ C$ to +85 $^\circ C$		5	30	nA							
Over Temperature												
Average TC						400	pA/ $^\circ C$					
Input Offset Current	T = -40 $^\circ C$ to +85 $^\circ C$		5	30	nA							
Over Temperature												
Average TC						160	pA/ $^\circ C$					
<b>DYNAMIC RESPONSE</b>												
Small Signal -3 dB Bandwidth	$\Delta OUT = 10V$ step											
G = 1						10	MHz					
G = 2						10	MHz					
G = 5						10	MHz					
G = 10						3	MHz					
Settling Time 0.01%												
G = 1						585	ns					
G = 2						605	ns					
G = 5						605	ns					
G = 10	648	ns										

# AD8250

Parameter	Conditions	Min	Typ	Max	Unit
Settling Time 0.001%	$\Delta\text{OUT} = 10\text{ V step}$				
G = 1				615	ns
G = 2				635	ns
G = 5				635	ns
G = 10				685	ns
Slew Rate					
G = 1		20			V/ $\mu\text{s}$
G = 2		25			V/ $\mu\text{s}$
G = 5		25			V/ $\mu\text{s}$
G = 10		25			V/ $\mu\text{s}$
Total Harmonic Distortion	$f = 1\text{ kHz}, R_L = 10\text{ k}\Omega, G = 1$		-110		dB
<b>GAIN</b>					
Gain Range	G = 1, 2, 5, 10	1		10	V/V
Gain Error	OUT = $\pm 10\text{ V}$				
G = 1				0.03	%
G = 2, 5, 10				0.04	%
Gain Nonlinearity	OUT = $-10\text{ V to }+10\text{ V}$				
G = 1	$R_L = 10\text{ k}\Omega, 2\text{ k}\Omega, 600\ \Omega$			6	ppm
G = 2	$R_L = 10\text{ k}\Omega, 2\text{ k}\Omega, 600\ \Omega$			8	ppm
G = 5	$R_L = 10\text{ k}\Omega, 2\text{ k}\Omega, 600\ \Omega$			8	ppm
G = 10	$R_L = 10\text{ k}\Omega, 2\text{ k}\Omega, 600\ \Omega$			10	ppm
Gain vs. Temperature	All gains			10	ppm/ $^{\circ}\text{C}$
<b>INPUT</b>					
Input Impedance					
Differential		1			$\text{G}\Omega\parallel\text{pF}$
Common Mode		1			$\text{G}\Omega\parallel\text{pF}$
Input Operating Voltage Range	$V_S = \pm 5\text{ V to } \pm 15\text{ V}$	$-V_S + 1.0$		$+V_S - 1.1$	V
Over Temperature	$T = -40^{\circ}\text{C to }+85^{\circ}\text{C}$	$-V_S + 1.1$		$+V_S - 1.4$	V
<b>OUTPUT</b>					
Output Swing		-13.5		+13.5	V
Over Temperature	$T = -40^{\circ}\text{C to }+85^{\circ}\text{C}$	-13.5		+13.5	V
Short-Circuit Current			37		mA
<b>REFERENCE INPUT</b>					
$R_{\text{IN}}$			20		k $\Omega$
$I_{\text{IN}}$	+IN, -IN, REF = 0			1	$\mu\text{A}$
Voltage Range		$-V_S$		$+V_S$	V
Gain to Output			$1 \pm 0.0001$		V/V
<b>DIGITAL LOGIC</b>					
Digital Ground Voltage, DGND	Referred to GND	$-V_S + 4.25$	0	$+V_S - 2.7$	V
Digital Input Voltage Low	Referred to GND	DGND		2.1	V
Digital Input Voltage High	Referred to GND	2.8		$+V_S$	V
Digital Input Current			1		$\mu\text{A}$
Gain Switching Time <sup>1</sup>				325	ns
$t_{\text{SU}}$	See Figure 3 timing diagram	20			ns
$t_{\text{HD}}$		10			ns
$t_{\text{WR-LOW}}$		20			ns
$t_{\text{WR-HIGH}}$		40			ns

Parameter	Conditions	Min	Typ	Max	Unit
<b>POWER SUPPLY</b>					
Operating Range		$\pm 5$		$\pm 15$	V
Quiescent Current, $+I_S$			4.1	4.5	mA
Quiescent Current, $-I_S$			3.7	4.5	mA
Over Temperature	$T = -40^\circ\text{C}$ to $+85^\circ\text{C}$			4.5	mA
<b>TEMPERATURE RANGE</b>					
Specified Performance		-40		+85	$^\circ\text{C}$

<sup>1</sup> ゲイン変化の全時間は、出力が変化する時間とセトリングする時間を加算したものです。

### タイミング図

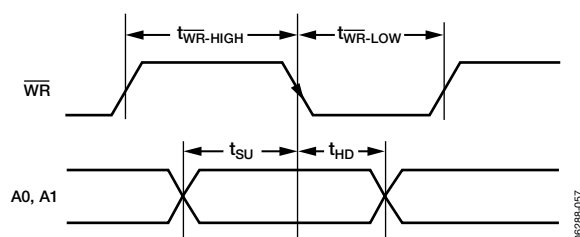


図3. ラッチ・ゲイン・モードのタイミング図（「ラッチ・ゲイン・モードのタイミング」を参照）

## 絶対最大定格

表3

Parameter	Rating
Supply Voltage	±17 V
Power Dissipation	See Figure 2
Output Short-Circuit Current	Indefinite <sup>1</sup>
Common-Mode Input Voltage	±V <sub>S</sub>
Differential Input Voltage	±V <sub>S</sub>
Digital Logic Inputs	±V <sub>S</sub>
Storage Temperature Range	-65°C to +125°C
Operating Temperature Range <sup>2</sup>	-40°C to +85°C
Lead Temperature (Soldering 10 sec)	300°C
Junction Temperature	140°C
θ <sub>JA</sub> (4-Layer JEDEC Standard Board)	112°C/W
Package Glass Transition Temperature	140°C

<sup>1</sup> 負荷は電源中央値を基準とします。

<sup>2</sup> 規定の性能は-40~+85°Cの温度範囲の場合です。+125°Cまでの性能については、「代表的な性能特性」を参照してください。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作セクションに記載する規定値以上のデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

## 最大消費電力

AD8250パッケージでの安全な最大消費電力は、チップのジャンクション温度 (T<sub>J</sub>) の上昇によって制限されます。チップをプラスチック封止すると、局所的にジャンクション温度に到達します。約140°Cのガラス転移温度で、プラスチックの属性が変わります。この温度規定値を一時的にせよ超えた場合は、パッケージからチップに加えられる応力が変化する、AD8250のパラメータ性能が永久的に変化することがあります。140°Cのジャンクション温度を長時間超えると、シリコン・デバイス内に変化が発生し、故障の原因になることがあります。

パッケージとPCボードの自然空冷時の熱特性 (θ<sub>JA</sub>)、周辺温度 (T<sub>A</sub>)、パッケージ内の合計消費電力 (P<sub>D</sub>) によって、チップのジャンクション温度が決定されます。ジャンクション温度は次式で計算されます。

$$T_J = T_A + (P_D \times \theta_{JA})$$

パッケージ内の消費電力 (P<sub>D</sub>) は、静止消費電力と、全出力での負荷駆動により発生するパッケージ内の消費電力との和になります。静止電力は、電源ピン間の電圧 (V<sub>S</sub>) に静止電流 (I<sub>S</sub>) を乗算して計算されます。負荷 (R<sub>L</sub>) は電源中央値を基準にすると、合計駆動電力はV<sub>S</sub>/2 × I<sub>OUT</sub>になり、この電力がパッケージ内と負荷 (V<sub>OUT</sub> × I<sub>OUT</sub>) とで消費されます。

合計駆動電力と負荷電力の差が、パッケージ内で消費される駆動電力です。

$$P_D = \text{Quiescent Power} + (\text{Total Drive Power} - \text{Load Power})$$

$$P_D = (V_S \times I_S) + \left( \frac{V_S}{2} \times \frac{V_{OUT}}{R_L} \right) - \frac{V_{OUT}^2}{R_L}$$

R<sub>L</sub>が-V<sub>S</sub>を基準とする単電源動作の場合、最悪時はV<sub>OUT</sub>=V<sub>S</sub>/2となります。

空気が流れると放熱効果が良くなりθ<sub>JA</sub>が小さくなります。また、メタル・パターン、スルー・ホール、グラウンド・プレーン、電源プレーンからパッケージ・ピンへ直接接続されるメタルが増えた場合にも、θ<sub>JA</sub>が小さくなります。

図4は、JEDEC規格4層ボードにおける、パッケージ内での安全な最大消費電力と周辺温度の関係です。

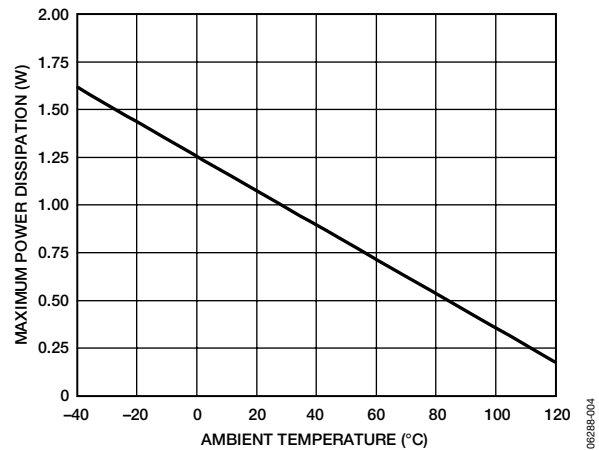


図4. 周辺温度 対 最大消費電力

## ESDに関する注意



ESD (静電放電) の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術であるESD保護回路を内蔵してはいますが、デバイスで高エネルギーの静電放電が発生した場合、損傷を生じる可能性があります。性能劣化や機能低下を防止するため、ESDに対して適切な予防措置をとることが推奨されます。

## ピン配置とピン機能の説明

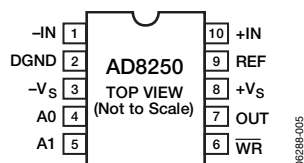


図5. 10ピンMSOP (RM-10) のピン配置

表4. ピン機能の説明

ピン番号	記号	説明
1	-IN	反転入力端子。真の差動入力
2	DGND	デジタル・グラウンド
3	-V <sub>s</sub>	負電源端子
4	A0	ゲイン設定ピン (LSB)
5	A1	ゲイン設定ピン (MSB)
6	$\overline{\text{WR}}$	書込みイネーブル
7	OUT	出力端子
8	+V <sub>s</sub>	正電源端子
9	REF	リファレンス電圧端子
10	+IN	非反転入力端子。真の差動入力

## 代表的な性能特性

特に指定のない限り、 $T_A@25^\circ\text{C}$ 、 $+V_S=+15\text{V}$ 、 $-V_S=-15\text{V}$ 、 $R_L=10\text{k}\Omega$ 。

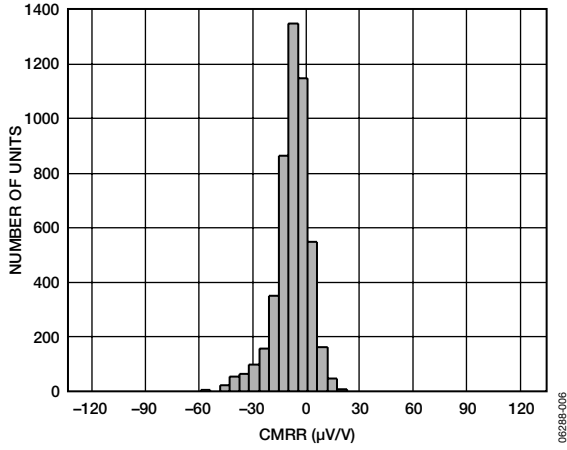


図6. 代表的なCMRR分布 (G=1)

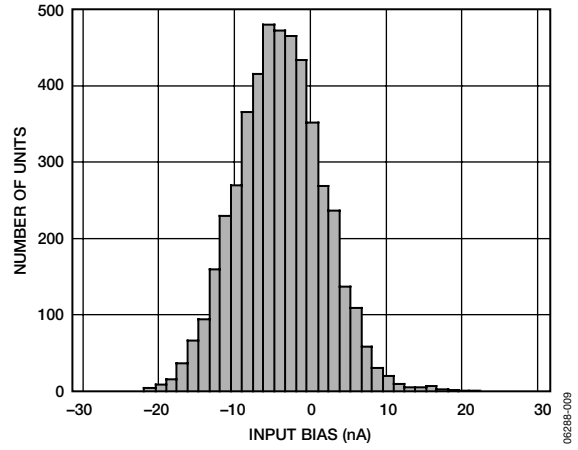


図9. 代表的な入力オフセット電流分布

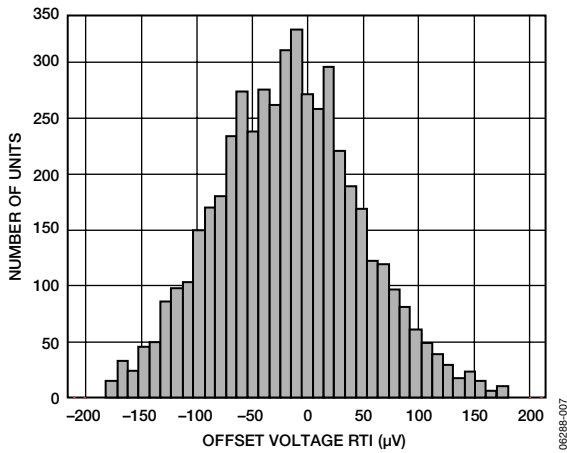


図7. 代表的なオフセット電圧分布 ( $V_{OSI}$ )

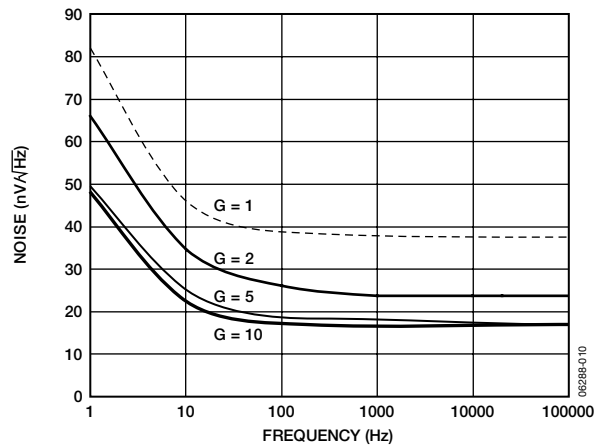


図10. 電圧スペクトル密度の周波数特性

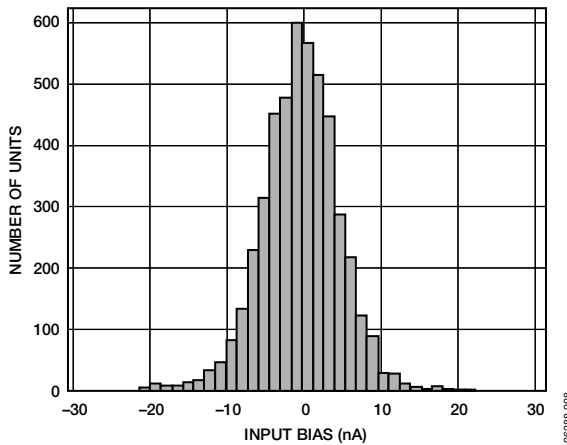


図8. 代表的な入力バイアス電流分布

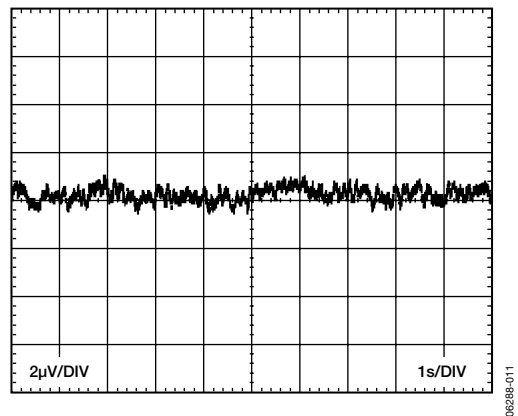


図11. 0.1~10Hz時の入力換算電圧ノイズ (G=1)



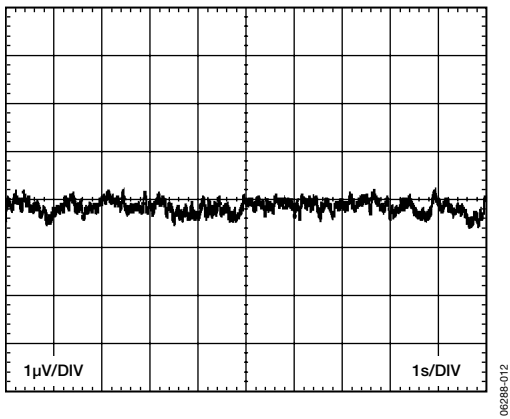


図12. 0.1~10Hz時の入力換算電圧ノイズ (G=10)

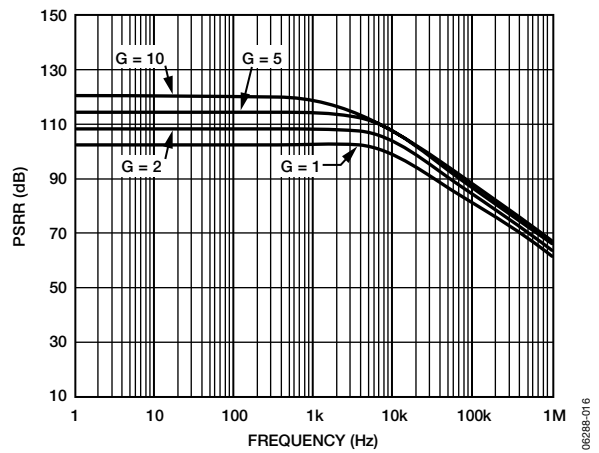


図15. 正電源PSRRの周波数特性 (RTI)

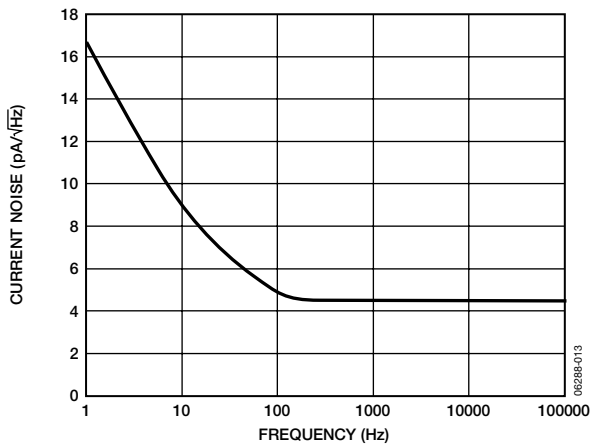


図13. 電流ノイズ・スペクトル密度の周波数特性

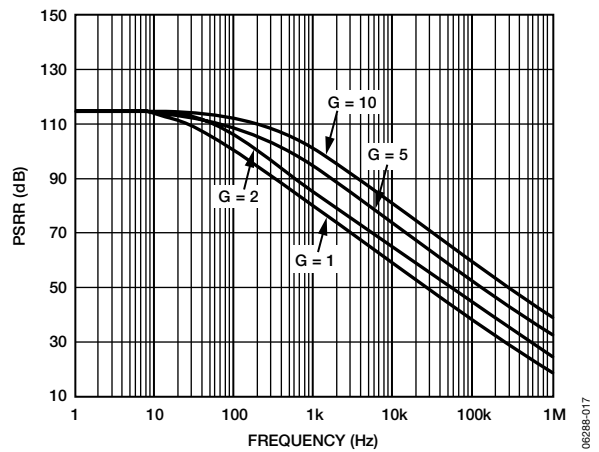


図16. 負電源PSRRの周波数特性 (RTI)

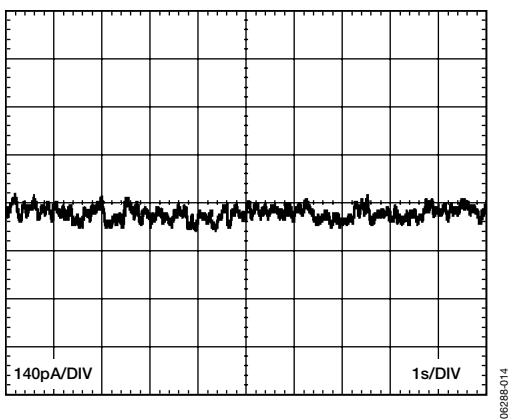


図14. 0.1~10Hz時の電流ノイズ

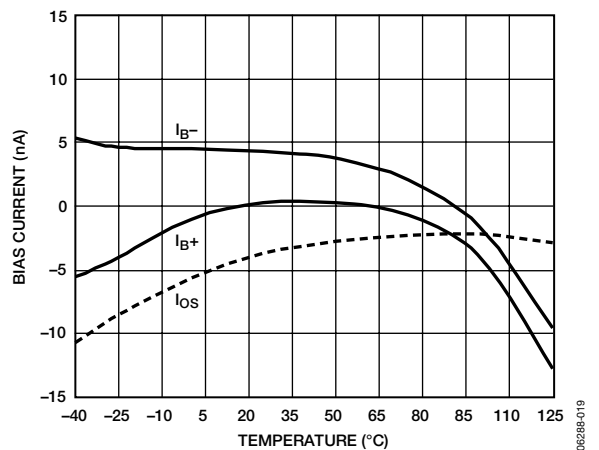


図17. 入力バイアス電流とオフセット電流の温度特性

# AD8250

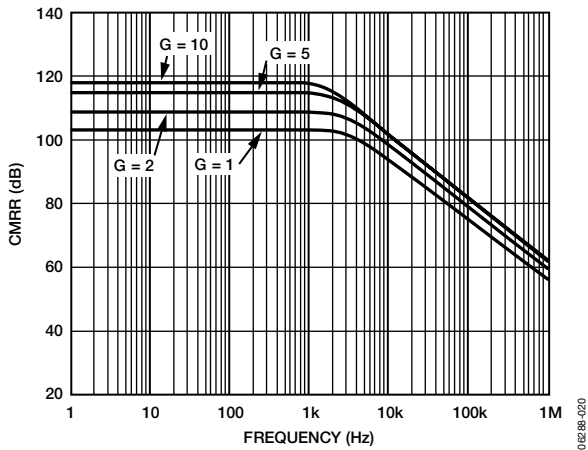


図18. CMRRの周波数特性

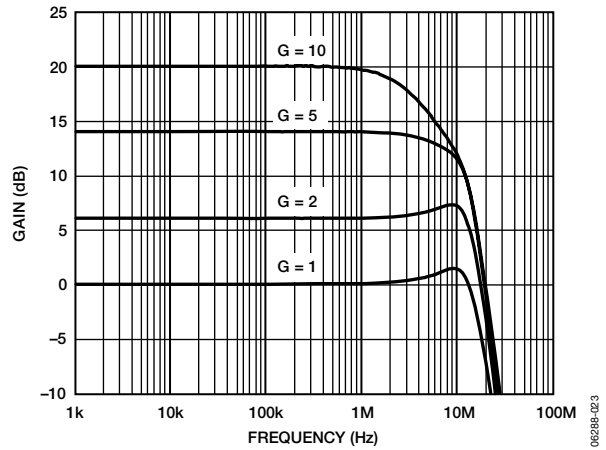


図21. ゲインの周波数特性

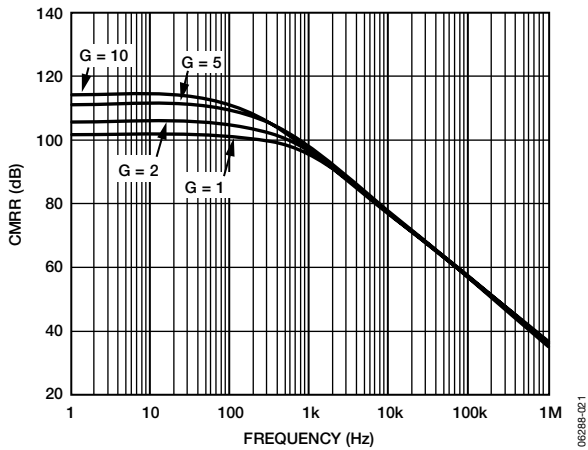


図19. CMRRの周波数特性 (1kΩ信号源不平衡)

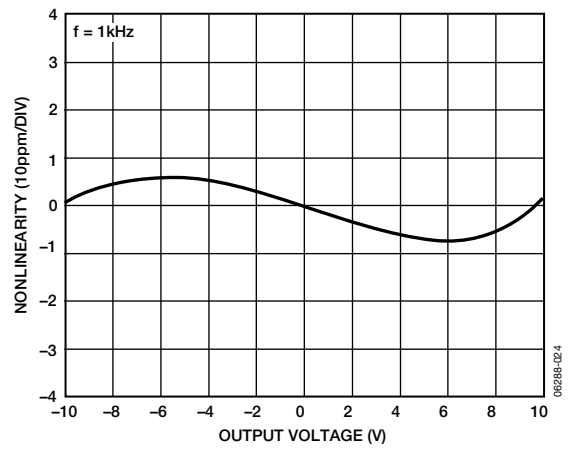


図22. ゲイン非直線性 ( $G=1$ ,  $R_L=10k\Omega$ ,  $2k\Omega$ ,  $600\Omega$ )

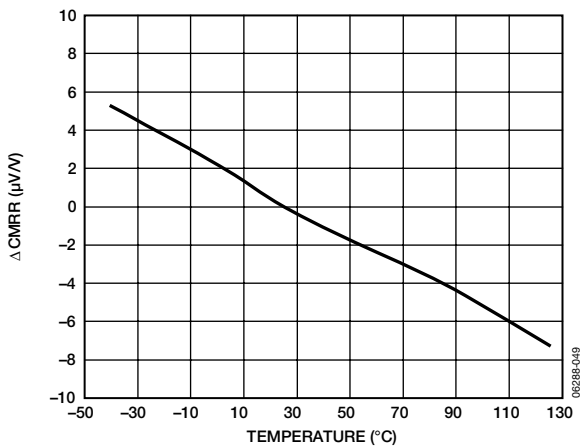


図20. CMRRの温度特性 ( $G=1$ )

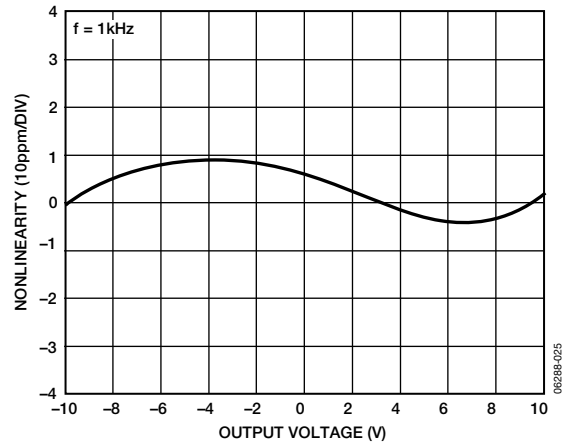


図23. ゲイン非直線性 ( $G=2$ ,  $R_L=10k\Omega$ ,  $2k\Omega$ ,  $600\Omega$ )

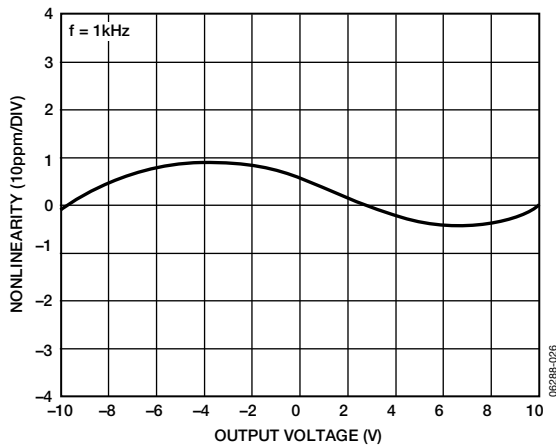


図24. ゲイン非直線性 ( $G=5$ ,  $R_L=10k\Omega$ ,  $2k\Omega$ ,  $600\Omega$ )

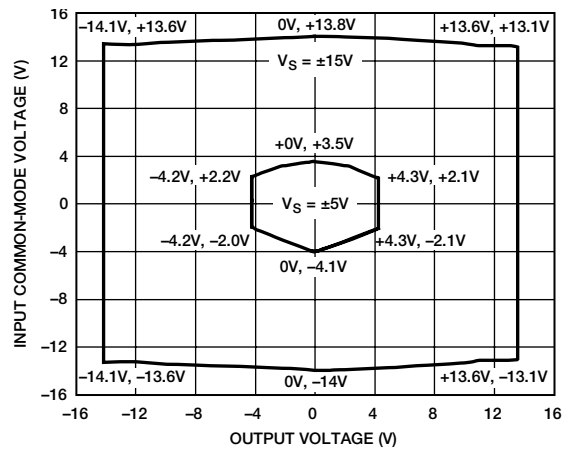


図27. 出力電圧 対 入力同相電圧範囲 ( $G=10$ )

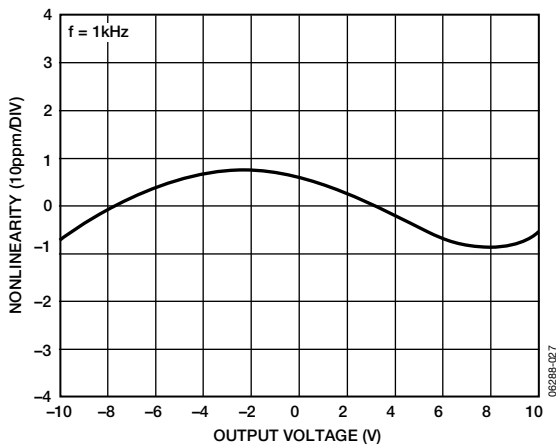


図25. ゲイン非直線性 ( $G=1$ ,  $R_L=10k\Omega$ ,  $2k\Omega$ ,  $600\Omega$ )

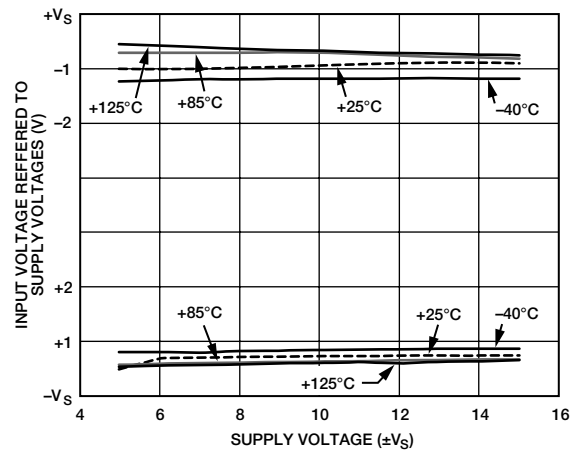


図28. 電源電圧 対 入力電圧限界値 ( $G=1$ ,  $V_{REF}=0V$ ,  $R_L=10k\Omega$ )

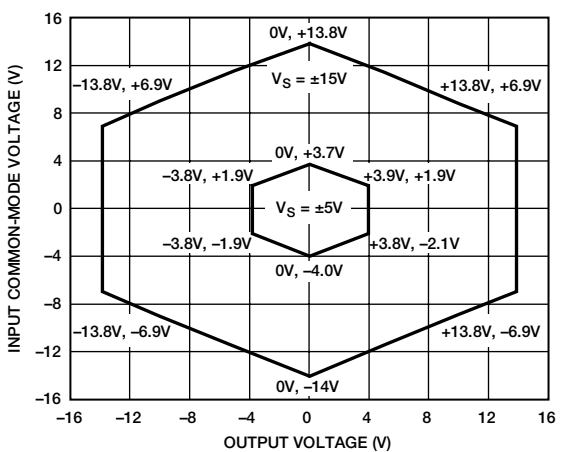


図26. 出力電圧 対 入力同相電圧範囲 ( $G=1$ )

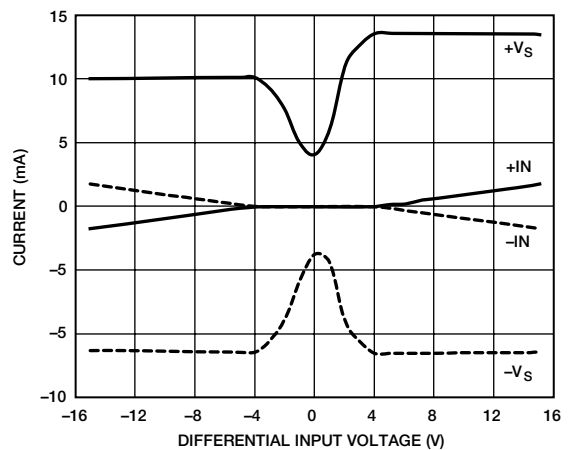


図29. 入力電圧 対 故障電流 ( $G=10$ ,  $R_L=10k\Omega$ )

# AD8250

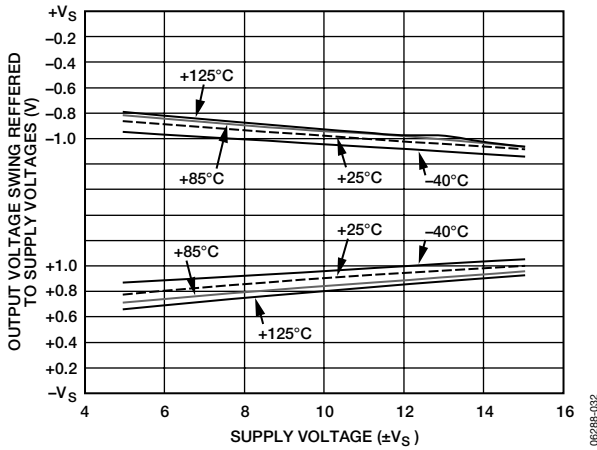


図30. 電源電圧 対 出力電圧振幅 ( $G=10$ 、 $R_L=2k\Omega$ )

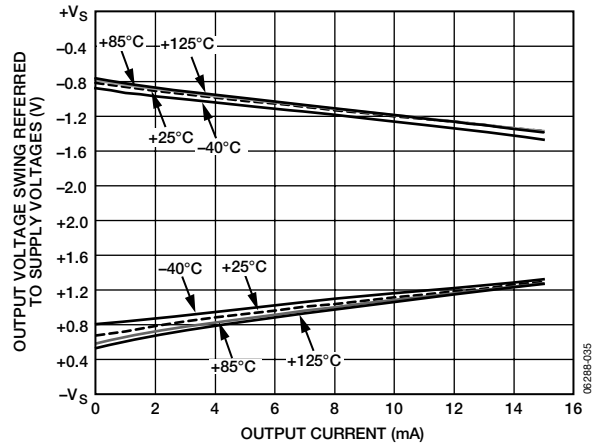


図33. 出力電流 対 出力電圧振幅

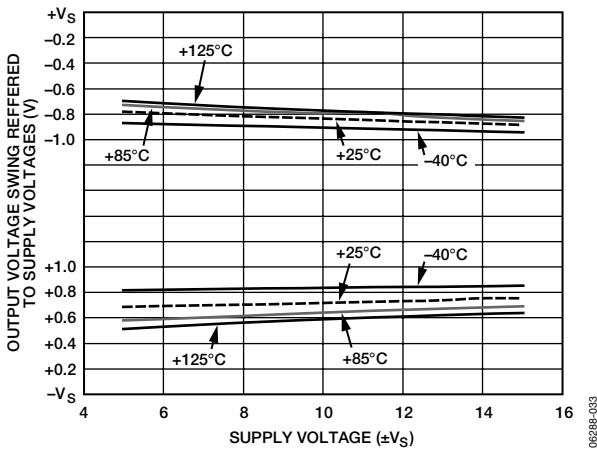


図31. 電源電圧 対 出力電圧振幅 ( $G=10$ 、 $R_L=10k\Omega$ )

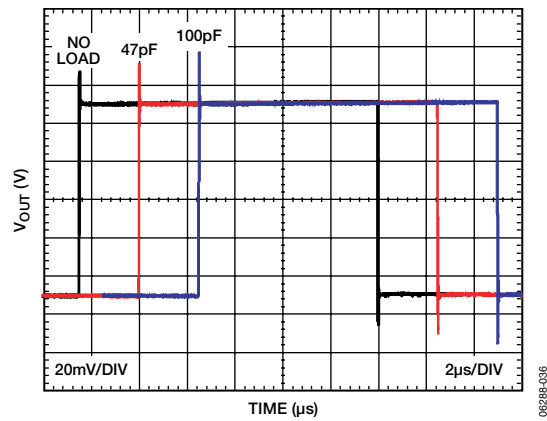


図34. 各種容量負荷の小信号パルス応答

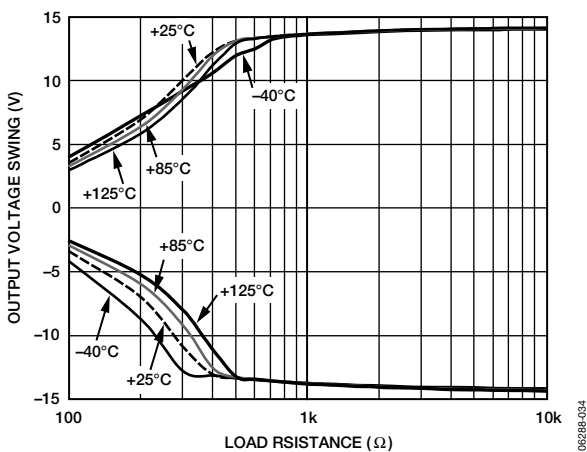


図32. 負荷抵抗 対 出力電圧振幅

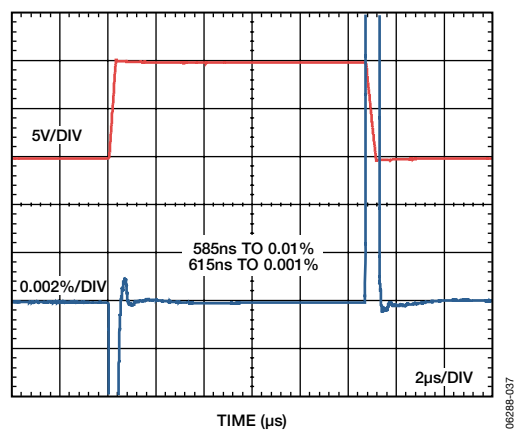


図35. 大信号パルス応答とセトリング時間 ( $G=1$ 、 $R_L=10k\Omega$ )

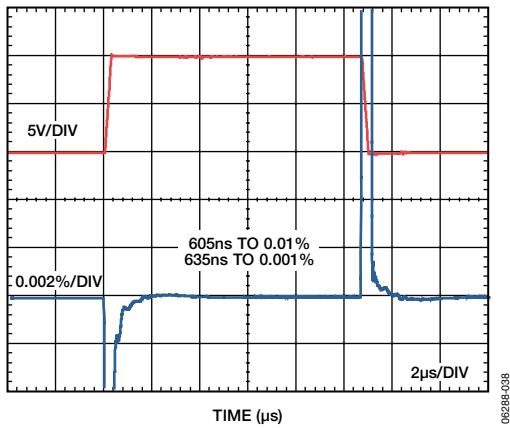


図36. 大信号パルス応答とセトリング時間  
( $G=2$ ,  $R_L=10k\Omega$ )

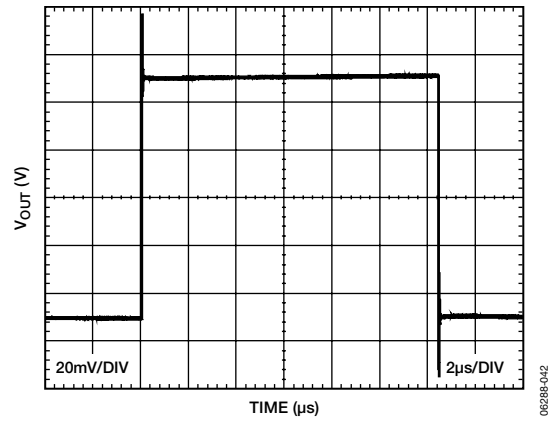


図39. 小信号応答 ( $G=1$ ,  $R_L=2k\Omega$ ,  $C_L=100pF$ )

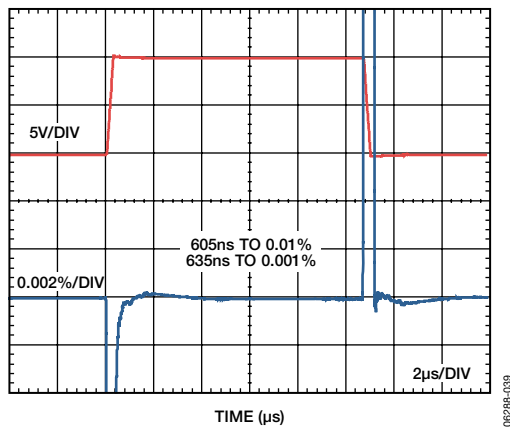


図37. 大信号パルス応答とセトリング時間  
( $G=5$ ,  $R_L=10k\Omega$ )

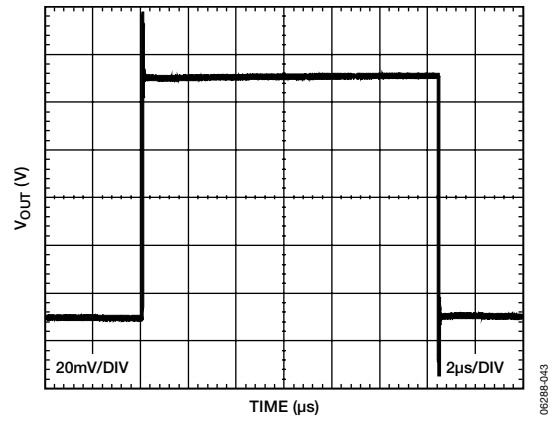


図40. 小信号応答 ( $G=2$ ,  $R_L=2k\Omega$ ,  $C_L=100pF$ )

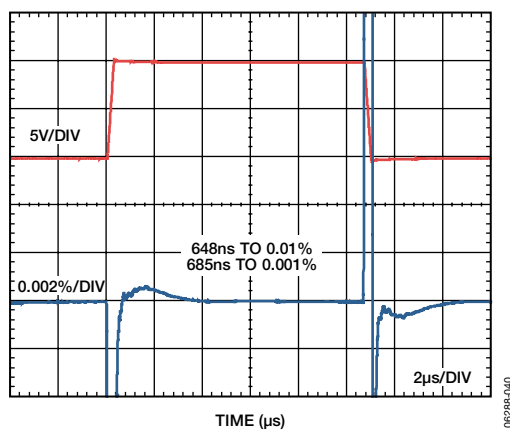


図38. 大信号パルス応答とセトリング時間  
( $G=10$ ,  $R_L=10k\Omega$ )

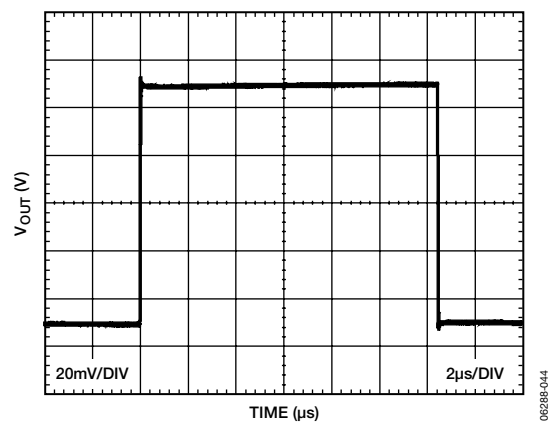


図41. 小信号応答 ( $G=5$ ,  $R_L=2k\Omega$ ,  $C_L=100pF$ )

# AD8250

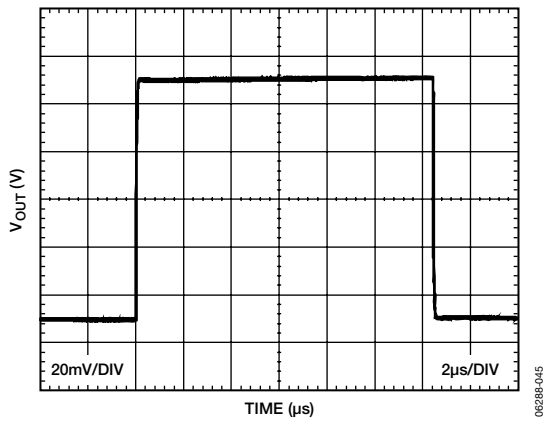


図42. 小信号応答 ( $G=10$ 、 $R_L=2k\Omega$ 、 $C_L=100pF$ )

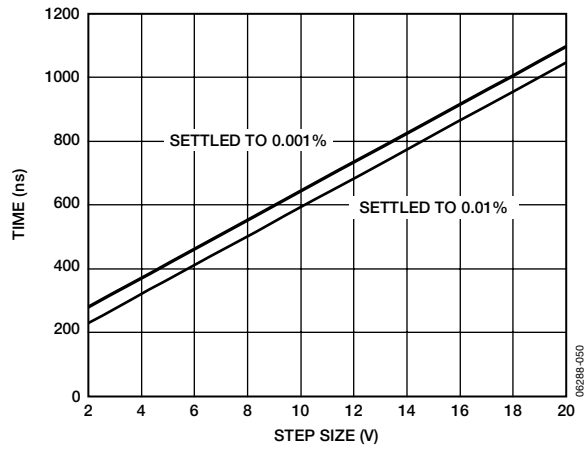


図45. ステップ・サイズ対セトリング時間 ( $G=5$ 、 $R_L=10k\Omega$ )

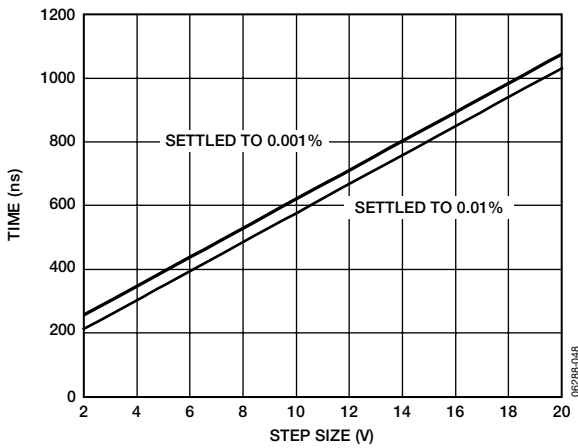


図43. ステップ・サイズ対セトリング時間 ( $G=1$ 、 $R_L=10k\Omega$ )

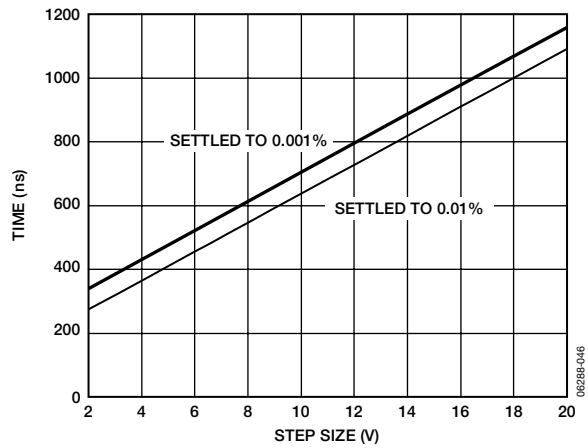


図46. ステップ・サイズ対セトリング時間 ( $G=10$ 、 $R_L=10k\Omega$ )

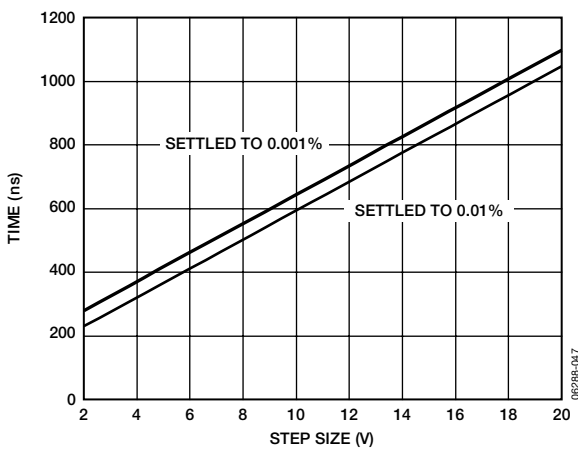


図44. ステップ・サイズ対セトリング時間 ( $G=2$ 、 $R_L=10k\Omega$ )

## 動作原理

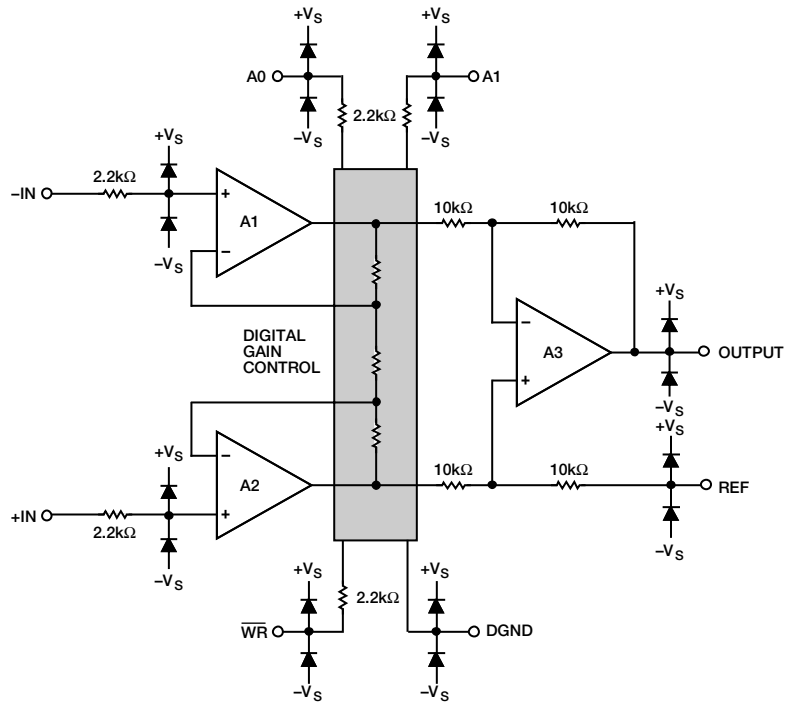


図47. 簡略回路図

AD8250は従来型の3オペアンプ構成を採用したモノリシック計装アンプです(図47)。本製品は、高精度、直線性性能、堅牢なデジタル・インターフェースを可能とするアナログ・デバイス独自のiCMOSプロセスで製造されています。パラレル・インターフェースにより、1、2、5、10倍のゲイン設定を行うことができます。ゲインは、内部の高精度抵抗アレイ内の抵抗を切り替えて制御します(図47)。AD8250は電圧帰還回路を備えていますが、ゲイン帯域幅積はゲイン1、2、5に対して増加します。これは、各ゲインでそれぞれ別々の周波数補償が行われるためです。これにより、高いゲインで、帯域幅を最大にしています。

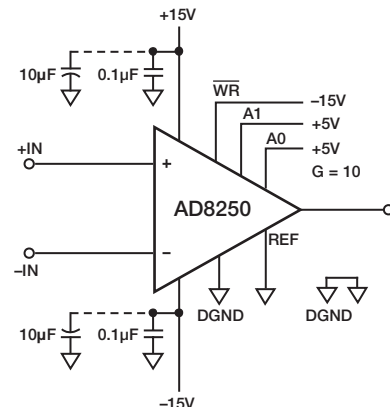
すべての内部アンプは、歪みキャンセル回路を使って高直線性と超低THDを達成しています。レーザートリムされた薄膜抵抗により、 $G=1$ で0.03%未満の最大ゲイン誤差、 $G=10$ で98dBの最小CMRRを実現しています。ピン配置は全周波数範囲で高CMRRを可能にするよう最適化されているため、50kHzで最小80dB( $G=1$ )のCMRRを可能にしています。バランスのとれた入力により、これまでCMRR性能に悪影響を与えていた寄生を減少させています。

## ゲインの選択

ここでは、AD8250の基本動作の設定方法について説明します。ロジック・ローとロジック・ハイの電圧規定値は「仕様」に記載します。ロジック・ローの代表値は0V、ロジック・ハイは5Vであり、両電圧ともDGNDを基準に測定されます。DGNDの許容電圧範囲については、表2の仕様を参照してください。AD8250のゲインは、次の2つの方法で設定できます。

## トランスペアレント・ゲイン・モード

ゲインを設定する最も簡単な方法は、A0およびA1に入力されるロジック・ハイ電圧またはロジック・ロー電圧によって直接ゲインを設定する方法です。図48は、トランスペアレント・ゲイン・モード(このデータシートではすべてのこの名前で統一)によるゲイン設定方法の1例です。 $\overline{WR}$ を負電源に接続するとトランスペアレント・ゲイン・モードになります。このモードでは、A0およびA1に入力する電圧をロジック・ローからロジック・ハイ(またはその逆)に変化させると、ゲインが直ちに変わります。表5にこのモードの真理値表を、図48にこのモードに設定されたAD8250を、それぞれ示します。



NOTE:  
1. IN TRANSPARENT GAIN MODE,  $\overline{WR}$  IS TIED TO  $-V_S$ . THE VOLTAGE LEVELS ON A0 AND A1 DETERMINE THE GAIN. IN THIS EXAMPLE, BOTH A0 AND A1 ARE SET TO LOGIC HIGH, RESULTING IN A GAIN OF 10.

図48. トランスペアレント・ゲイン・モード (A0およびA1=ハイレベル、 $G=10$ )

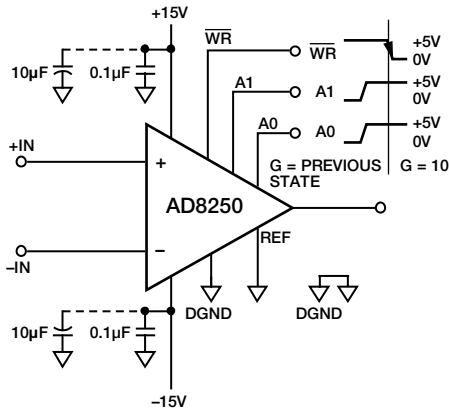
# AD8250

表5. ロジック・レベル真理値表  
(トランスペアレント・ゲイン・モード)

$\overline{WR}$	A1	A0	Gain
$-V_S$	Low	Low	1
$-V_S$	Low	High	2
$-V_S$	High	Low	5
$-V_S$	High	High	10

## ラッチ・ゲイン・モード

アプリケーションには、同じPCB上にマルチプレクサ/その他のプログラマブル・ゲイン計装アンプなど、複数のデバイスを備えているものがあります。このような場合、デバイスはデータ・バスを共有できます。AD8250のゲインはラッチ機能を持つ $\overline{WR}$ を使って設定できるため、他のデバイスはA0とA1を共用できます。図49に、この方法を使用する回路図、すなわちラッチ・ゲイン・モードを示します。AD8250がこのモードになるのは、 $\overline{WR}$ がロジック・ハイ（代表値5V）またはロジック・ロー（代表値0V）に保持されているときです。A0とA1の電圧は、 $\overline{WR}$ 信号がロジック・ハイからロジック・ローに変化する際の立下がりエッジで読み出されます。これによってA0とA1のロジック・レベルがラッチ入力され、ゲインが変更されます。このゲインの変更については、表6の真理値表を参照してください。



NOTE:  
1. ON THE DOWNWARD EDGE OF  $\overline{WR}$ , AS IT TRANSITIONS FROM LOGIC HIGH TO LOGIC LOW, THE VOLTAGES ON A0 AND A1 ARE READ AND LATCHED IN, RESULTING IN A GAIN CHANGE. IN THIS EXAMPLE, THE GAIN SWITCHES TO  $G = 10$ .

06288-056

図49. ラッチ・ゲイン・モード ( $G=10$ )

表6. ロジック・レベル真理値表 (ラッチ・ゲイン・モード)

$\overline{WR}$	A1	A0	Gain
High to Low	Low	Low	Change to 1
High to Low	Low	High	Change to 2
High to Low	High	Low	Change to 5
High to Low	High	High	Change to 10
Low to Low	X <sup>1</sup>	X <sup>1</sup>	No Change
Low to High	X <sup>1</sup>	X <sup>1</sup>	No Change
High to High	X <sup>1</sup>	X <sup>1</sup>	No Change

<sup>1</sup> X=ドント・ケア

パワーアップ時にAD8250がラッチ・ゲイン・モードになったときは、デフォルトのゲイン値1が使用されます。一方、AD8250がトランスペアレント・ゲイン・モードに設定されているときは、パワーアップ時にA0とA1の電圧レベルで選択されたゲインが使用されます。

## ラッチ・ゲイン・モードのタイミング

ラッチ・ゲイン・モードの場合は、 $\overline{WR}$ の立下がりエッジでゲインをラッチ入力する前の最小セットアップ時間 ( $t_{SU}$ ) の間、A0とA1のロジック・レベルを保持します。同様に、 $\overline{WR}$ の立下がりエッジ後の最小ホールド時間 ( $t_{HD}$ ) の間もそのロジック・レベルを保持して、ゲインが正しくラッチ入力されるようにします。 $t_{HD}$ 後にA0とA1でロジック・レベルを変更しても、 $\overline{WR}$ の次の立下がりエッジまでゲインは変わりません。 $\overline{WR}$ がハイレベルを維持できる最小時間は $t_{WR-HIGH}$ で、 $\overline{WR}$ がローレベルを維持できる最小時間は $t_{WR-LOW}$ です。表2に、デジタル・タイミング仕様を示します。アンプのセットリング時間は、ゲイン変更に必要な時間より長くなります。図50にタイミング図を示します。

データ・バスを他のデバイスと共有する場合には、これらのデバイスに入力されるロジック・レベルがAD8250の出力に混入する可能性があります。混入は、ロジック信号のエッジ・レートを下げて最小限に抑えることができます。また、PCBの優れたレイアウトにより、ボードのデジタル部とアナログ部との結合を削減することもできます。

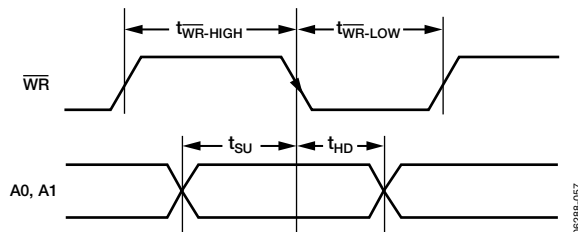


図50. ラッチ・ゲイン・モードのタイミング図



## 電源レギュレーションとバイパス

AD8250は高いPSRRを備えています。最適な性能を達成するには、安定したDC電圧で計装アンプに電源を供給する必要があります。電源ピンのノイズは性能に悪影響を与えることがあります。すべてのリニア回路の場合と同様、バイパス・コンデンサを使ってアンプをデカップリングします。

0.1 $\mu$ Fのコンデンサは、各電源ピンの近くに接続します。10 $\mu$ Fのタンタル・コンデンサはデバイスから離れたところに接続できます（図51を参照）。多くの場合、これらのコンデンサは他の高精度ICと共用できます。

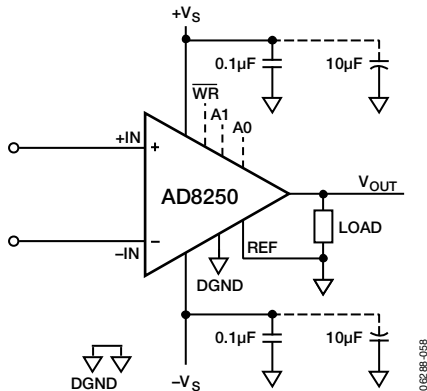


図51. 電源デカップリング（REFと出力はグラウンドを基準）

## 入力バイアス電流のリターン・パス

AD8250の入力バイアス電流には、ローカル・アナログ・グラウンドへのリターン・パスが必要です。熱電対のように信号源がリターン電流パスを持っていない場合には、図52のように接続します。

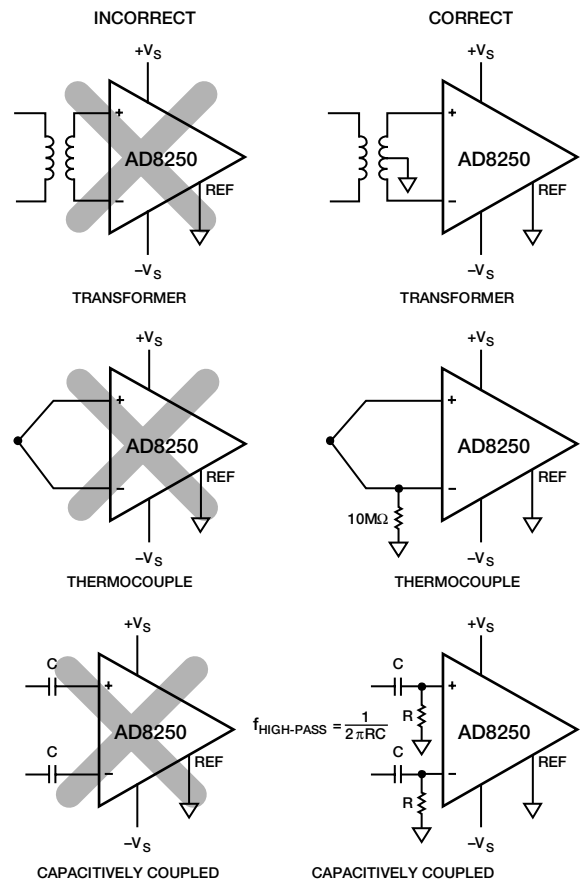


図52.  $I_{BIAS}$ パスの構成

## 入力保護

AD8250のすべてのピンは、ESD保護されています。図47に示すように、ESDダイオードの前に2.2k $\Omega$ の直列抵抗が接続されています。この抵抗によってダイオードに流れる電流が制限されるため、正電源の13V上、また負電源の13V下までのDC過負荷状態が許容されています。各電源レールを超える13V以上の電圧に対しては、各入力に直列に外付け抵抗を接続して電流を制限します。いずれの場合でも、AD8250は室温で連続6mAの電流を安全に処理できます。AD8250に非常に大きな過負荷電圧が入力されるアプリケーションでは、外付け直列抵抗と、BAV199L、FJH1100、SP720のような低リーク・ダイオード・クランプを使う必要があります。

# AD8250

## リファレンス・ピン

リファレンス・ピン (REF) には10kΩの抵抗を接続します (図47を参照)。計装アンプの出力は、REFピンの電圧を基準にしています。これは、出力信号をローカル・アナログ・グラウンド以外の電圧にオフセットさせる場合に便利です。たとえば、AD8250が単電源ADCとインターフェースできるように、電源源をREFピンに接続して出力をレベル・シフトさせることができます。許容リファレンス電圧範囲は、ゲイン、同相入力、電源電圧の関数になります。REFピンは、+V<sub>S</sub>または-V<sub>S</sub>を0.5V以上超えることはできません。

最適な性能を得るためには、特に出力がREFピンを基準に測定されない場合はREFピンへのソース・インピーダンスを小さく維持して、寄生抵抗がCMRRとゲイン精度に悪影響を与えないようにします。

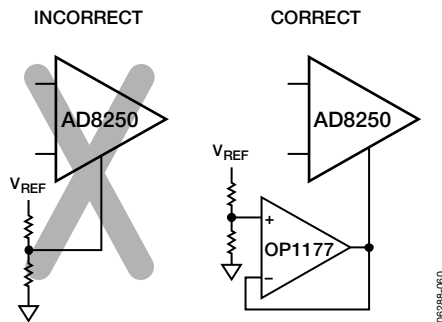


図53. リファレンス・ピンの駆動

## 同相入力電圧範囲

3オペアンプ構成のAD8250では、増幅後に同相電圧を除去します。したがって、AD8250の内部ノードでは増幅信号と同相信号の組み合わせが生じます。これらの組み合わせ信号は、入力信号や出力信号で制限されないときでも、電源電圧で制限することができます。図26と図27に、各種の出力電圧、電源電圧、ゲインに対する許容同相入力電圧範囲を示します。

## レイアウト

### グラウンディング

ミックスド・シグナル回路では、低レベルのアナログ信号をノイズの多いデジタル環境から分離する必要があります。AD8250を使用するデザインも例外ではありません。このデバイスの電源電圧は、アナログ・グラウンドを基準とし、デジタル回路はデジタル・グラウンドを基準とします。両グラウンドを1つのグラウンド・プレーンに接続することは便利ですが、グラウンド配線とPCボードを流れる電流が大きな誤差を発生させることがあります。このため、アナログとデジタルのグラウンド・プレーンは別々に使用します。アナログ・グラウンドとデジタル・グラウンドの接続は、グラウンド・ポイントの1箇所でのみ行いスター結線にしてください。

AD8250の出力電圧は、リファレンス・ピンの電位を基準にしています。REFは適切なローカル・アナログ・グラウンドに接続するか、ローカル・アナログ・グラウンドを基準とする電圧に接続するようにしてください。

## カップリング・ノイズ

次のガイドラインに従って、AD8250へのカップリング・ノイズを防止します。

- デジタル・ラインがデバイスの真下を通らないようにします。
- アナログ・グラウンド・プレーンはAD8250の下を通します。
- ボードの他の部分へのノイズの拡散を防ぐため、高速スイッチング信号はデジタル・グラウンドでシールドして、アナログ信号パスの近くを通らないようにします。
- デジタル信号とアナログ信号が交差しないようにします。
- 電源ラインはできるだけ太いパターンにして、低インピーダンス・パスとなるようにします。必要なデカップリングについては、「電源レギュレーションとバイパス」のガイドラインに従ってください。

## 同相ノイズ除去

全周波数範囲で高いCMRRを持つAD8250は、電源ノイズとその高調波のような外乱に対する耐性が、一般的な計装アンプ (200HzでCMRRが低下する) より優れています。これらの計装アンプは、多くの場合、この不足を補償するために入力側にコモン・モード・フィルタを必要とします。しかし、AD8250は広い周波数範囲でCMRRを阻止できるため、フィルタは不要になります。

適切なボード・レイアウトを行えばシステム性能を最大化できます。周波数全体で高いCMRRを維持するためには、入力パターンを対称に配置します。このパターンでは、抵抗や容量のバランスを維持します。これは、入力ピンおよびパターンの下に位置する他のPCBメタル層にも当てはまります。さらに、ソース抵抗と容量は可能な限り入力の近くに配置しておきます。パターンが他の層からの入力と交差する場合は、入力パターンに対して直角に配線します。

## RF干渉

強いRF信号が存在するアプリケーションでアンプを使用すると、多くの場合、RF整流の問題が生じます。これらの外乱は小さいDCオフセット電圧として現れることがあります。高周波信号は、図54に示すように計装アンプの入力に接続されたローパスR-C回路で除去できます。このフィルタは、次式に従って入力信号の帯域幅を制限します。

$$FilterFreq_{DIFF} = \frac{1}{2\pi R(2C_D + C_C)}$$

$$FilterFreq_{CM} = \frac{1}{2\pi RC_C}$$

ここで、 $C_D \geq 10C_C$

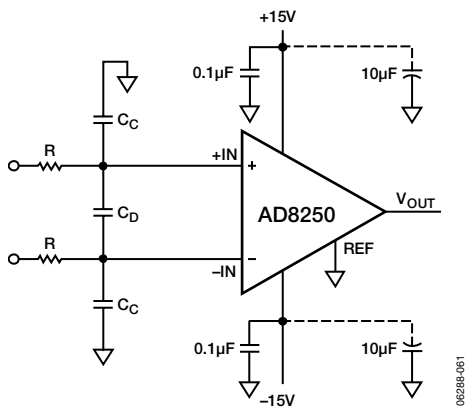


図54. RFIの除去

Rと $C_c$ の値は、RFIを最小化するように選択します。正側入力の $R \times C_c$ と負側入力の $R \times C_c$ との不一致は、AD8250のCMRRの性能を低下させます。 $C_c$ の値より10倍大きい $C_d$ の値を使うと、不一致の影響は小さくなるため、性能が改善されます。

### A/Dコンバータの駆動

計装アンプは、優れたCMRRが可能であるためにA/Dコンバータの前に使用されることがよくあります。一般に、計装アンプはADCを駆動するためのバッファを必要とします。しかし、低出力ノイズ、低歪み、短いセトリング時間の特性を持つAD8250は優れたADCドライバとして機能します。

下図の例では、1nFのコンデンサと49.9Ωの抵抗がAD7612用の折り返し防止フィルタとして機能します。また、1nFのコンデンサは、ADCのスイッチド・キャパシタ入力に必要な電荷を保存/供給する働きもあります。49.9Ωの直列抵抗はアンプからの1nF負荷の負担を減らし、AD7612のスイッチド・キャパシタ入力から流出するキックバック電流がアンプに流れないようにします。小さい抵抗を選択すると、AD8250の出力電圧とAD7612の入力電圧との相関を良くすることができますが、AD8250が不安定になることがあります。精度を維持するために小さい抵抗を使用するか、安定性を維持するために大きな抵抗を使用するかは適正に選択する必要があります。

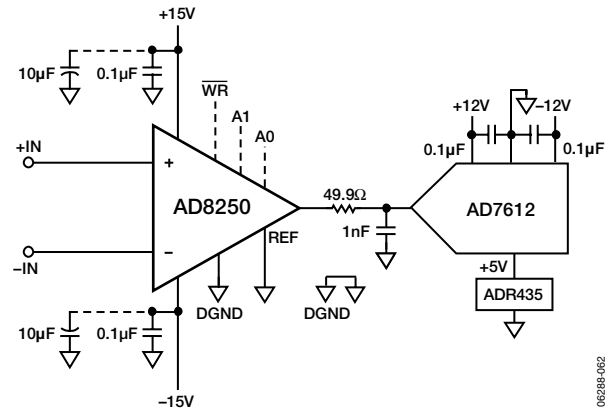


図55. ADCの駆動

## アプリケーション

### 差動出力

アプリケーションによっては、差動信号の発生が必要となります。多くの場合、高分解能ADCは差動入力が必要とします。また、長距離伝送で干渉の影響を少なくするために差動信号が必要になる場合もあります。

図57に、差動信号を出力するAD8250の構成方法を示します。オペアンプAD817は、差動電圧を発生するために反転回路として使用します。 $V_{REF}$ は、図中の計算式に従って出力の midpoint を設定します。オペアンプからの誤差は両出力に共通であるため同相です。同様に、不一致抵抗使用による誤差により、同相DCオフセット誤差が発生します。このような誤差は、差動入力ADCまたは計装アンプによる差動信号処理で除去されます。

この回路を使用して差動ADCを駆動する場合は、ADCのリファレンスから抵抗分圧器を使用して $V_{REF}$ を設定することにより、出力をADCとレシオメトリックにできます。

### マイクロコントローラによるゲインの設定

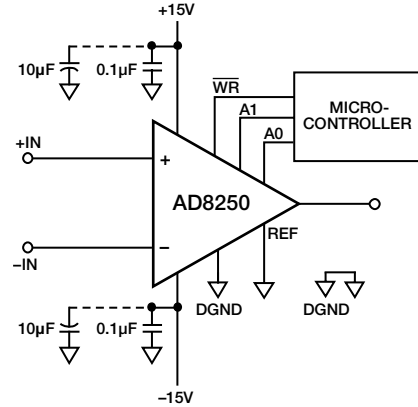


図56. マイクロコントローラを使用したゲインの設定

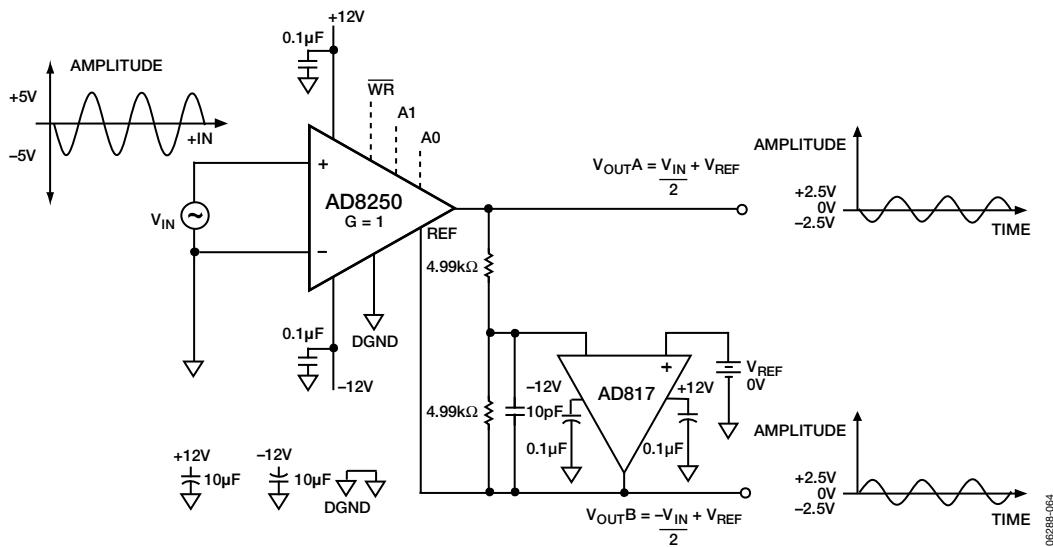


図33. レベル・シフトによる差動出力

## データ・アキュイジション

AD8250は、優れた計装アンプとしてデータ・アキュイジション・システムで力を発揮します。このデバイスは広帯域幅、低歪み、短いセトリング時間の特性を持っているため、各種16ビットADCの信号コンディショニングを行うことができます。

図59に、デモ用のAD825xデータ・アキュイジション・ボードの回路図を示します。高速スルーレートのAD8250により、マルチプレクサ入力からの急激に変化する信号に対してコンディショニングを行うことができます。FPGAは、AD7612、AD8250、ADG1209を制御します。また、トランスペアレント・ゲイン・モードのときは、機械的スイッチやジャンパ線を使ってゲインをピン設定することができます。

このシステムは、テスト中に1kHzで-111dBのTHD、91dBのS/N比を達成しています（図58を参照）。

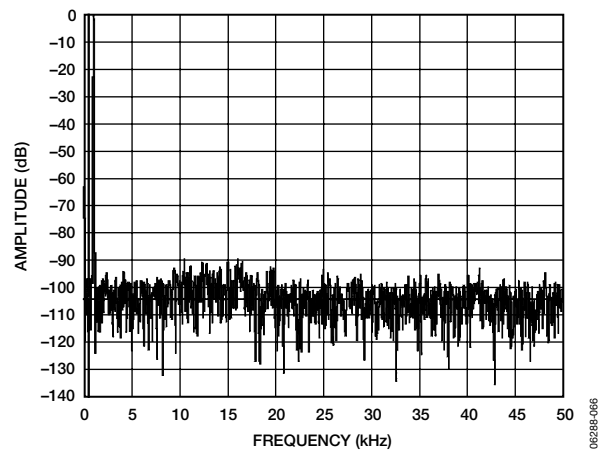


図58. AD8250を使用したAD825x DAQデモ・ボードのFFT (1kHz信号)

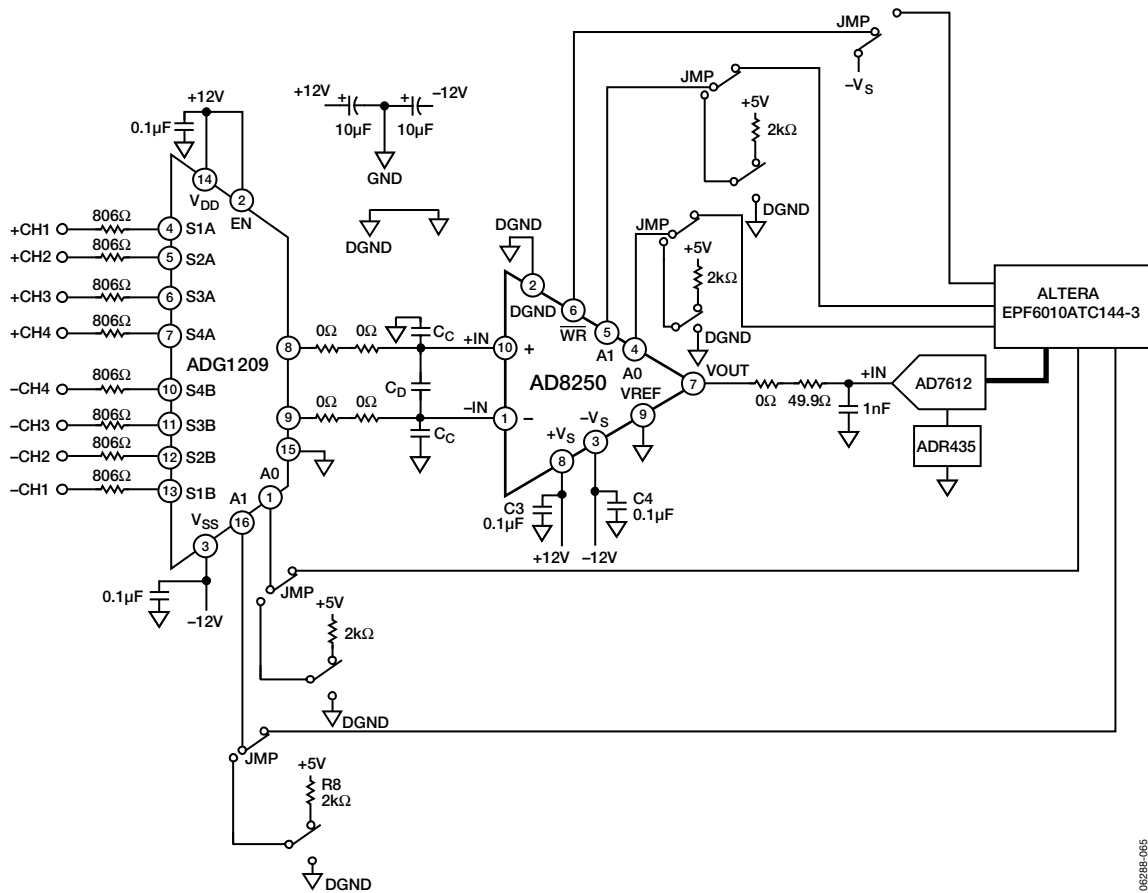


図59. AD825x DAQデモ・ボードのADG1209、AD8250、AD7612の回路図

# AD8250

## 外形寸法

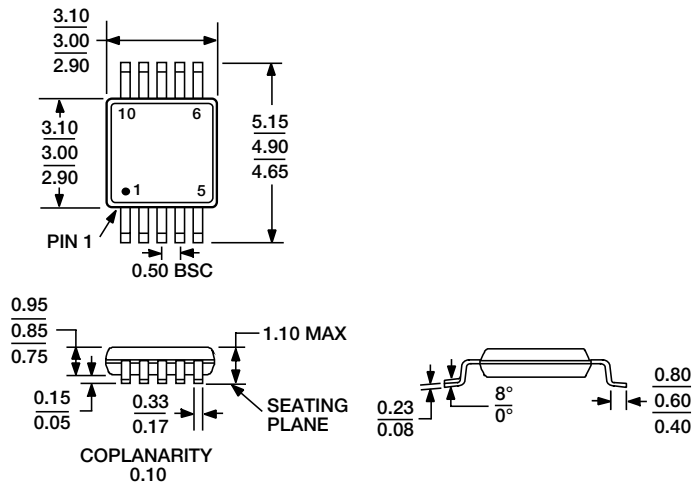


図60. 10ピン・ミニ・スモール・アウトライン・パッケージ [MSOP]  
(RM-10)  
寸法単位：mm

## オーダー・ガイド

Model	Temperature Range	Package Description	Package Option	Branding
AD8250ARMZ <sup>1</sup>	-40°C to +85°C	10-Lead MSOP	RM-10	H00
AD8250ARMZ-RL <sup>1</sup>	-40°C to +85°C	10-Lead MSOP	RM-10	H00
AD8250ARMZ-R7 <sup>1</sup>	-40°C to +85°C	10-Lead MSOP	RM-10	H00
AD8250-EVALZ <sup>1</sup>		Evaluation Board		

<sup>1</sup> Z=鉛フリー製品