

特長

同期動作

外部システム・クロックからフルスケール周波数を設定
8ピン SOT-23 または 8ピン・マイクロ SOIC パッケージを採用
3V または 5V 動作
低消費電力: 3 mW (Typ)
公称入力範囲: $0 \sim V_{REF}$
チャージ・ポンプなしの真の -150 mV 能力
 V_{REF} 範囲: 2.5 V \sim VDD
内部リファレンス電圧: 2.5 V
最大入力周波数: 1 MHz
高インピーダンス・バッファ付き入力を選択可能
最小の外付け部品数

アプリケーション

高い同相モード電圧のアイソレーション
低価格 A/D コンバータ
バッテリー・モニタ
車載センサー

概要

AD7740は低価格超小型の同期電圧/周波数コンバータ (VFC)です。 3.0 V \sim 3.6 V または 4.75 V \sim 5.25 V の単電源で動作し、消費電流 0.9 mA です。AD7740は、8ピン SOT-23 パッケージまたは 8ピン・マイクロ SOIC パッケージを採用しています。小型パッケージ、低価格、使い安さが、この製品の主要デザイン目標です。このデバイスは、 2.5 V のバンドギャップ・リファレンス電圧を内蔵していますが、外付けリファレンス電圧を使ってこれを上書きすることができます。この外付けリファレンス範囲には VDD が含まれません。

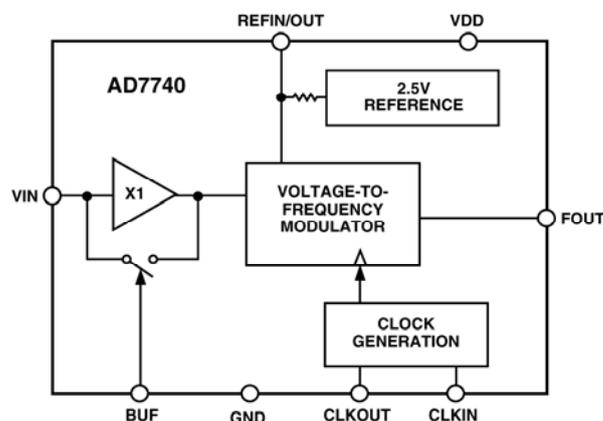
フルスケール出力周波数は、CLKIN ピンのクロック信号に同期しています。このクロックは外付け水晶 (共振子)を接続して発生するか、CMOS 互換クロック・ソースから入力することができます。このデバイスの最大入力周波数は 1 MHz です。

0 V から V_{REF} へ変化するアナログ入力信号に対して、出力周波数は f_{CLKIN} の 10% から 90% へ変化します。バッファ付きモードでは、デバイスは非常に高い入力インピーダンスを提供し、VIN ピンで 0.1 V \sim $VDD - 0.2$ V の範囲を受け付けます。また、VIN が -0.15 V \sim $VDD + 0.15$ V で変化する可能なバッファなしモードの動作もあります。このモードは、BUF ピンを使って切り替えることができます。

AD7740 (Y グレード)は $-40^{\circ}\text{C} \sim +105^{\circ}\text{C}$ の車載温度範囲で、AD7740 (K グレード)は $0^{\circ}\text{C} \sim 85^{\circ}\text{C}$ で、それぞれ保証されています。

*米国特許#6, 147, 528により保護されています。

機能ブロック図



製品のハイライト

- AD7740 は 1 チャンネルのシングルエンド VFC です。8ピン SOT-23 パッケージまたは 8ピン・マイクロ SOIC パッケージを採用し、低価格アプリケーション向けです。AD7740は、代替ソリューションに比べて大幅なスペース削減を提供します。
- AD7740は 3.0 V \sim 3.6 V または 4.75 V \sim 5.25 V の単電源で動作し、入力バッファなしの場合の消費電流は 0.9 mA (typ)です。自動パワーダウン機能も内蔵しています。
- AD7740では、出力周波数を設定する外付け抵抗とコンデンサは不要です。最大出力周波数は水晶またはクロックにより設定されます。調整またはキャリブレーションは不要です。
- アナログ入力は、真のバイポーラ動作のため、GND より 150 mV 下まで変化させることができます。
- REFIN での規定リファレンス電圧範囲は、 2.5 V \sim VDD(電源電圧)です。

AD7740の仕様

(特に指定がない限り、VDD = 3.0 V ~ 3.6 V、4.75 V ~ 5.25 V、GND = 0 V、REFIN = 2.5 V、CLKIN = 1 MHz、すべての仕様は T_{MIN} ~ T_{MAX} で規定)

Parameter ²	K, Y Versions ¹			Unit	Test Conditions/Comments
	Min	Typ	Max		
DC PERFORMANCE					
Integral Nonlinearity					
CLKIN = 32 kHz ³			± 0.012	% of Span ⁴	Unbuffered Mode, External Clock at CLKIN
CLKIN = 1 MHz			± 0.012	% of Span	Unbuffered Mode, Crystal at CLKIN
CLKIN = 32 kHz ³			± 0.018	% of Span	Buffered Mode, External Clock at CLKIN
CLKIN = 1 MHz			± 0.018	% of Span	Buffered Mode, Crystal at CLKIN
Offset Error		± 7	± 35	mV	Unbuffered Mode, VIN = 0 V
		± 7	± 35	mV	Buffered Mode, VIN = 0.1 V
Gain Error		± 0.1	± 0.7	% of Span	
Offset Error Drift ³		± 20		μV/°C	
Gain Error Drift ³		± 4		ppm of Span/°C	
Power Supply Rejection Ratio ³		-55		dB	ΔVDD = ± 5% (5 V)
		-65		dB	ΔVDD = ± 10% (3.3 V)
ANALOG INPUT, VIN					
Nominal Input Span		0 - V _{REF}	VDD - 0.2	V	± 150 mV Overrange Available
Input Current	0.1	8	10	μA	Buffered Mode
		5	100	nA	Unbuffered Mode, VIN = 5.4 V, REFIN = 5.25 V
					Buffered Mode, VIN = 0.1 V, REFIN = 2.5 V
REFERENCE VOLTAGE					
REFIN ⁵		2.5	VDD	V	
REFOUT					
Output Voltage	2.3	2.5	2.7	V	
Output Impedance ³		1		kΩ	See Pin Function Description
Reference Drift ³		± 50		ppm/°C	
Line Rejection ³		-75		dB	ΔVDD = ± 5% (5 V)
Line Rejection ³		-60		dB	ΔVDD = ± 10% (3.3 V)
Reference Noise (0.1 Hz to 10 Hz) ³		100		μV p-p	
FOUT OUTPUT					
Nominal Frequency Span	0.1 f _{CLKIN} to 0.9 f _{CLKIN}			Hz	VIN = 0 V to V _{REF} . See Figure 2
LOGIC INPUTS (CLKIN, BUF)³					
CLKIN					
Input Frequency	32		1000	kHz	For Specified Performance
Input High Voltage, V _{IH}	3.5			V	VDD = 5 V ± 5%
Input High Voltage, V _{IH}	2.5			V	VDD = 3.3 V ± 10%
Input Low Voltage, V _{IL}			0.8	V	VDD = 5 V ± 5%
Input Low Voltage, V _{IL}			0.4	V	VDD = 3.3 V ± 10%
Input Current			± 2	μA	VIN = 0 V to V _{DD}
Pin Capacitance		3	10	pF	
BUF					
Input High Voltage, V _{IH}	2.4			V	VDD = 5 V ± 5%
Input High Voltage, V _{IH}	2.1			V	VDD = 3.3 V ± 10%
Input Low Voltage, V _{IL}			0.8	V	VDD = 5 V ± 5%
Input Low Voltage, V _{IL}			0.4	V	VDD = 3.3 V ± 10%
Input Current			± 100	nA	
Pin Capacitance		3	10	pF	
LOGIC OUTPUTS (FOUT, CLKOUT)³					
Output High Voltage, V _{OH}	4.0			V	Output Sourcing 200 μA ⁶ , VDD = 5 V ± 5%
Output High Voltage, V _{OH}	2.1			V	Output Sourcing 200 μA ⁶ , VDD = 3.3 V ± 10%
Output Low Voltage, V _{OL}		0.1	0.4	V	Output Sinking 1.6 mA ⁶
POWER REQUIREMENTS					
V _{DD} ⁷	3.0		5.25	V	
I _{DD} (Normal Mode) ⁸		0.9	1.25	mA	V _{IH} = VDD, V _{IL} = GND. Unbuffered Mode
I _{DD} (Normal Mode) ⁸		1.1	1.5	mA	V _{IH} = VDD, V _{IL} = GND. Buffered Mode
I _{DD} (Power-Down)		30	100	μA	
Power-Up Time ³		30		μs	Exiting Power-Down (Ext. Clock at CLKIN)

注

¹ 温度範囲: Kバージョンは 0°C ~ +85°C、Yバージョンは -40°C ~ +105°C、typ 値は 25°C で規定。

² 回路図参照。

³ デザインとキャラクタライゼーションにより保証しますが、出荷テストは行いません。

⁴ スパン = 最大出力周波数 - 最小出力周波数。

⁵ このピンは双方向であるため、内蔵リファレンス電圧を上書きするために外付けリファレンス電圧は 400 μA のシンク/ソース能力を持つ必要があります。

⁶ これらのロジック・レベルは、1 CMOS 負荷を接続した CLKOUT にのみ適用します。

⁷ VDD = 2.7 V での動作も可能ですが、仕様性能は低下します。

⁸ 出力無負荷。FOUT に負荷を接続すると、I_{DD} は CL × V_{OUT} × f_{FOUT} だけ増加します。クロック・ソースとして水晶/共振子を使用する場合、水晶/共振子のタイプに応じて I_{DD} は変わります(クロック生成のセクション参照)。

仕様は予告なく変更されることがあります。

タイミング特性^{1, 2, 3}

(VDD = 3.0 V ~ 3.6 V, 4.75 V ~ 5.25 V, GND = 0 V, REFIN = 2.5 V)

Parameter	Limit at T _{MIN} , T _{MAX} VDD = 3.0 V to 3.6 V	Limit at T _{MIN} , T _{MAX} VDD = 4.75 V to 5.25 V	Unit	Conditions/Comments
f _{CLKIN}	32 1	32 1	kHz min MHz max	Clock Frequency
t _{HIGH} :t _{LOW}	40:60 60:40	40:60 60:40	min max	Clock Mark/Space Ratio
t ₁	50	35	ns typ	CLKIN Edge to FOUT Edge Delay
t ₂	2.3	1.8	ns typ	FOUT Rise Time
t ₃	1.6	1.4	ns typ	FOUT Fall Time
t ₄	t _{HIGH} ± 20	t _{HIGH} ± 8	ns typ	FOUT Pulsewidth

注

¹ デザインとキャラクタライゼーションにより保証しますが、出荷テストは行いません。

² すべての入力信号は t_r = t_f = 5 ns (VDD の 10% から 90%) で規定し、(V_{IL} + V_{IH})/2 の電圧レベルからの時間とします。

³ 図 1 を参照。

仕様は予告なく変更されることがあります。

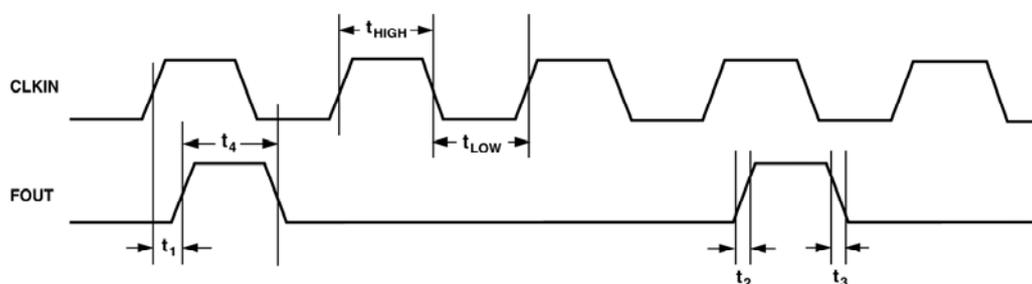


図 1. タイミング図

絶対最大定格*

(特に指定がない限り、T_A = 25°C)

VDD to GND	-0.3 V to +7 V
Analog Input Voltage to GND	-0.3 V to V _{DD} + 0.3 V
Reference Input Voltage to GND	-0.3 V to V _{DD} + 0.3 V
Logic Input Voltage to GND	-0.3 V to V _{DD} + 0.3 V
FOUT Voltage to GND	-0.3 V to V _{DD} + 0.3 V
Operating Temperature Range	
Commercial (K Version)	0°C to +85°C
Automotive (Y Version)	-40°C to +105°C
Storage Temperature Range	-65°C to +150°C
Junction Temperature (T _J Max)	150°C
SOT-23 Package	
Power Dissipation	(T _J Max - T _A)/θ _{JA}
θ _{JA} Thermal Impedance	240°C/W
Lead Temperature (10 secs)	300°C
Reflow Soldering	
Peak Temperature	220 + 5/0°C
Time at Peak Temperature	10 sec to 40 sec

microSOIC Package

Power Dissipation	(T _J Max - T _A)/θ _{JA}
θ _{JA} Thermal Impedance	206°C/W
θ _{JC} Thermal Impedance	44°C/W
Lead Temperature (10 secs)	300°C
Reflow Soldering	
Peak Temperature	220 + 5/0°C
Time at Peak Temperature	10 sec to 40 sec

*上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作セクションに記載する規定値以上のデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

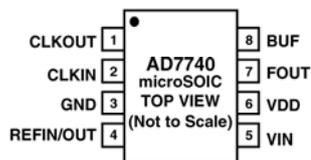
ESDの注意

ESD (静電気放電) に敏感なデバイスです。4000 V にもなる静電気は人体や装置に蓄積され、検出されずに放電することがあります。AD7740 は当社独自の ESD 保護回路を内蔵していますが、高エネルギーの静電放電が発生すると、デバイスが永久的な損傷を受けることがあります。このため、性能低下または機能損失を防止するために、ESD に対する適切な注意が必要です。

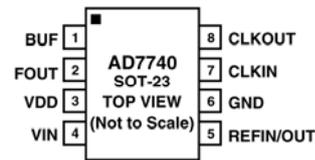


ピン配置

8 ピンマイクロ SOIC



8 ピン SOT-23



ピン機能の説明

8 ピン・マイクロSOICのピン配置*

ピン番号	記号	機能
1	CLKOUT	水晶/共振子をこのピンと CLKIN の間に接続します。外付けクロックで CLKIN を駆動する場合は、反転クロック信号がこのピンに出力されるので、バッファを接続すると他の回路の駆動に使用することができます。
2	CLKIN	デバイスのマスター・クロックを水晶/共振子で構成する場合、このピンと CLKOUT ピンの間に接続します。外付けの CMOS 互換クロックもこの入力にデバイスのクロックとして接続することができます。CLKIN が 1 ms (typ)間ロー・レベルを続けると、AD7740 は自動的にパワーダウンします。
3	GND	全内部回路に対するグラウンド・リファレンス。
4	REFIN/OUT	リファレンス電圧入力。VFC コアのリファレンス入力で VFC のスパンを決定します。このピンがフローティングの場合は、内蔵 2.5 V リファレンスがデフォルトのリファレンス電圧になります。代わりに、高精度外付けリファレンスを使って内蔵リファレンス電圧を上書きすることができます。内蔵リファレンス電圧は上書きを可能にするため高出カインピーダンスを持っています。
5	VIN	VFC に対するアナログ入力ピン。0 V ~ V _{REF} の公称入力範囲に対して、出力周波数は f _{CLKIN} の 10% ~ 90% に対応します。±150 mV のオーバーレンジを持っています。バッファを接続すると、駆動するソースにかかわらず電流は流れません。
6	VDD	電源入力。これらのデバイスは 3.3 V ± 10% または 5 V ± 5% で動作することができます。この電源は、10 μF のコンデンサと 0.1 μF のコンデンサで GND に十分にデカップリングする必要があります。
7	FOUT	周波数出力。FOUT は、VIN に応じて f _{CLKIN} の 10% ~ 90% で変化します。
8	BUF	バッファ付きモード選択ビット。このピンをロー・レベルにすると、VIN はバッファなしになり、VIN ピンの範囲は -0.15 V ~ VDD + 0.15 V になります。このピンをハイ・レベルにすると、VIN はバッファ付きになり、VIN ピンの範囲は 0.1 V ~ VDD - 0.2 V になります。

*SOT-23 パッケージとマイクロ SOIC パッケージは異なるピン配置であることを注意してください。

オーダー・ガイド

Model	Temperature Range	Package Description	Package Option	Branding Information
AD7740KRM	0°C to 85°C	microSOIC Package	RM-8	VOK
AD7740YRT	-40°C to +105°C	SOT-23 Package	RT-8	VOY
AD7740YRM	-40°C to +105°C	microSOIC Package	RM-8	VOY

用語

積分非直線性

VFC の場合、積分非直線性(INL) は、VFC 伝達関数の両端を結ぶ直線からの最大偏差値を表します。この誤差は実際の周波数スパンのパーセント値で表します。

$$\text{周波数スパン} = FOUT(\text{max}) - FOUT(\text{min})$$

オフセット誤差

理論的には、バッファなしモードでの 0 V 入力電圧に対する出力周波数は f_{CLKIN} の 10% です。入りに換算した、この値からの偏差を $\text{BUF} = 0$ でのオフセット誤差と呼びます。バッファ付きモードでは、0.10 V の入力電圧に対応する最小出力周波数は、 $V_{\text{REF}} = 2.5 \text{ V}$ で f_{CLKIN} の 13.2% です。入りに換算した、この値からの偏差を $\text{BUF} = 1$ でのオフセット誤差と呼びます。オフセット誤差は mV で表します。

ゲイン誤差

VFC のスパン誤差を表します。ゲインは、入力 V_{IN} と出力 $FOUT$ を関係づけるスケール・ファクタです。

理論値からの実際の VFC 伝達特性の傾きの差をフルスケール・スパンのパーセント値で表したものです。図 2 参照。

オフセット誤差ドリフト

オフセット誤差の温度変化を表します。 $\mu\text{V}/^\circ\text{C}$ で表されます。

ゲイン誤差ドリフト

ゲイン誤差の温度変化を表します。(スパンの ppm)/ $^\circ\text{C}$ で表されます。

電源変動除去比(PSRR)

電源電圧変化の VFC 皮相入力に対する影響を表します。入力電圧を 2 V 一定に維持し、 $V_{\text{REF}} = 2.5 \text{ V}$ として、VDD 電源を 3.3 V で $\pm 10\%$ 、5 V で $\pm 5\%$ それぞれ変化させます。VDD 変化に対する入力電圧の皮相変化の比を dBs で表します。

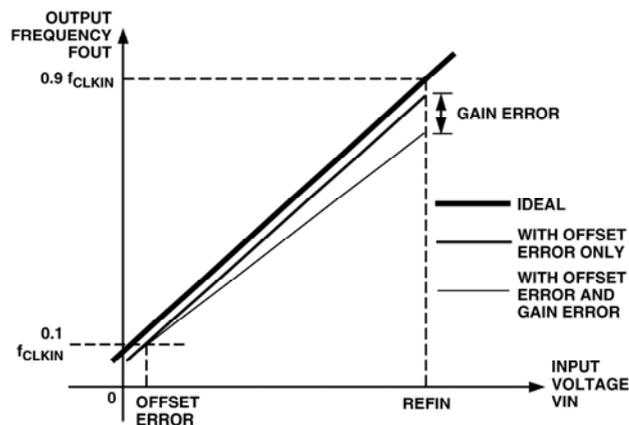
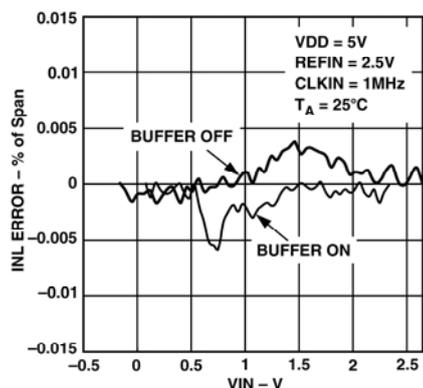
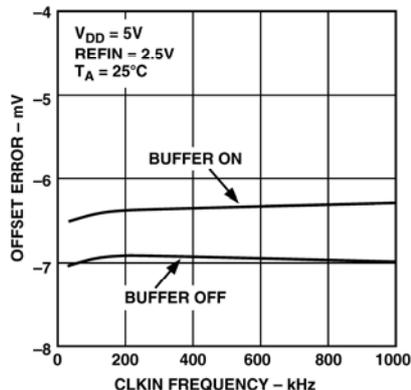


図 2.ゲインとオフセット

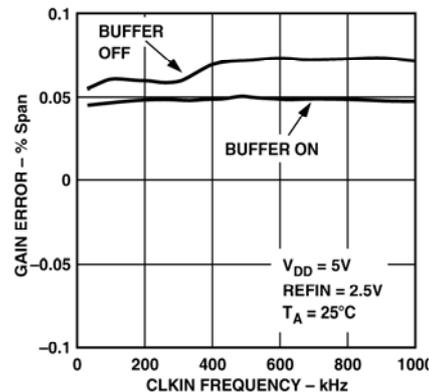
AD7740-代表的な性能特性



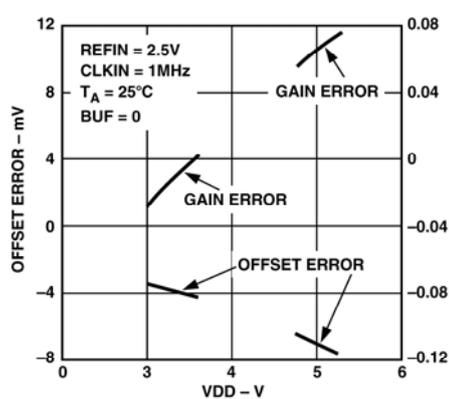
特性 1. VIN 対 INL
(バッファ付きおよびバッファなし)



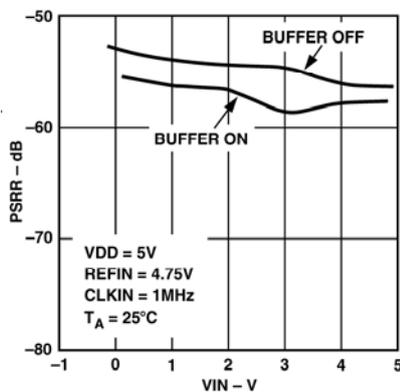
特性 2. CLKIN 対オフセット誤差
(バッファ付きおよびバッファなし)



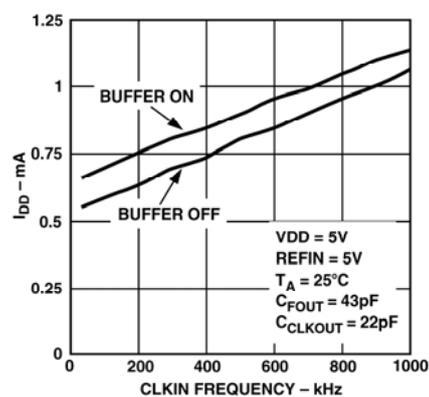
特性 3. CLKIN 対ゲイン誤差
(バッファ付きおよびバッファなし)



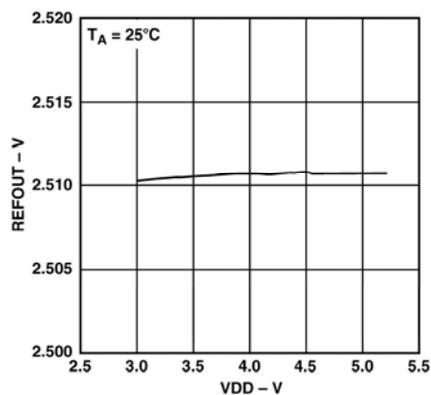
特性 4.
VDD 対オフセットおよびゲイン誤差



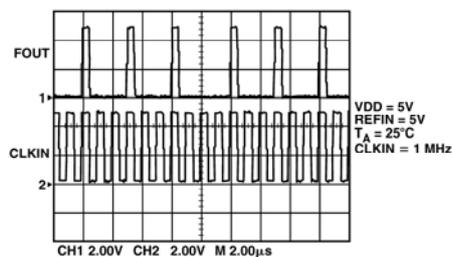
特性 5. VIN 対 PSRR
(バッファ付きおよびバッファなし)



特性 6. CLKIN 対 I_{DD}
(バッファ付きおよびバッファなし)



特性 7. VDD 対 REFOUT



特性 8. FOUT パルス列
(VIN = V_{REF}/4)

概要

AD7740 は電荷バランス変換技術を採用した CMOS 同期電圧/周波数コンバータ (VFC) です。入力電圧信号は、入力電圧を出力パルス列に変換するアナログ変調器を中心とした当社独自のフロントエンドに加えられます。

また、このデバイスは、2.5 V のバンドギャップ・リファレンス電圧を内蔵し、3.3 V または 5 V 電源で動作します。AD7740 のブロック図を図 3 に示します。

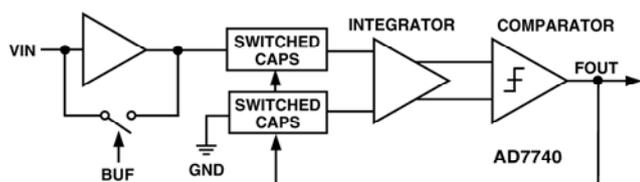


図 3. ブロック図

入力アンプのバッファリングと電圧範囲

アナログ入力 VIN は、BUF = 1 を設定することによりバッファすることができます。これにより 100 MΩ のハイ・インピーダンスが得られるため、大きな外部ソース・インピーダンスを許容できるようになります。VIN 電圧範囲は 0.1 V ~ VDD - 0.2 V になります。BUF = 0 を設定すると、AD7740 入力回路は GND より低いアナログ入力を受け付けるため、アナログ入力 VIN の電圧範囲は -0.15 V ~ VDD + 0.15 V になります。この場合、入力インピーダンスは 650 kΩ (typ) になります。

AD7740 の伝達関数は次式で表されます。

$$F_{OUT} = 0.1 f_{CLKIN} + 0.8 (V_{IN}/V_{REF}) f_{CLKIN}$$

図 4 にバッファなしモードを示します。

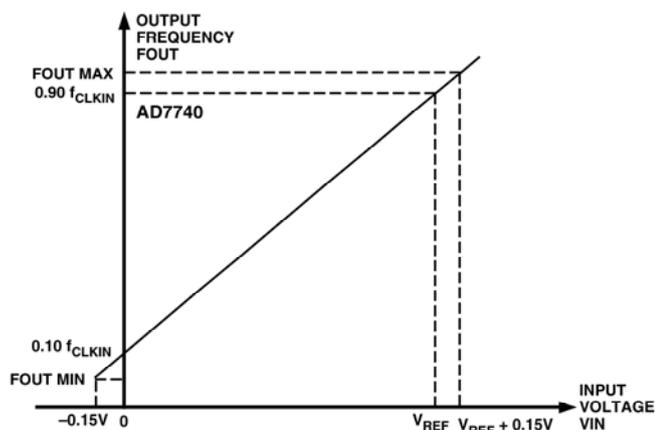


図 4. 伝達関数

計算例:

$V_{REF} = 2.5 \text{ V}$ 、 $BUF = 0$

$$\begin{aligned} F_{OUT} (\text{min}) &= 0.1 f_{CLKIN} + 0.8(-0.15/2.5) f_{CLKIN} \\ &= 0.052 f_{CLKIN} \end{aligned}$$

$$\begin{aligned} F_{OUT} (\text{max}) &= 0.1 f_{CLKIN} + 0.8(2.65/2.5) f_{CLKIN} \\ &= 0.948 f_{CLKIN} \end{aligned}$$

VFC 変調器

AD7740 のアナログ入力信号は、マスター・クロックにより設定されるサンプリング・レートを持つスイッチド・キャパシタ変調器により、連続的にサンプルされます。入力信号は、変調器のサンプリング・コンデンサへ入力する前に内部でバッファすることができます (BUF = 1)。これにより、サンプリング・コンデンサ充電電流をアナログ入力ピンからアイソレーションします。

このシステムは負帰還ループであり、入力電圧から注入される電荷と V_{REF} から注入される電荷をバランスさせることにより、積分器コンデンサの正味電荷をゼロに維持するように機能します。コンパレータ出力は 1 ビット DAC のデジタル入力を提供し、負帰還ループとして差信号を最小にするようにシステムが動作します。図 5 参照。

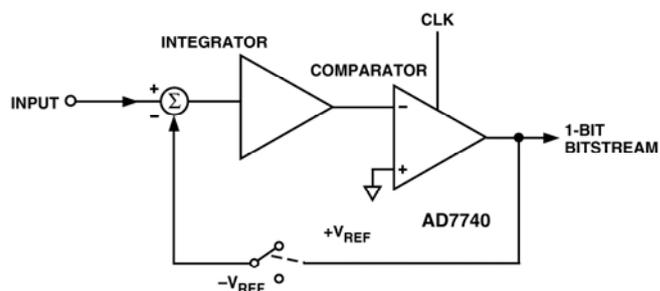


図 5. 変調器ループ

アナログ入力電圧を表すデジタル・データは、コンパレータ出力に得られるパルス列のデューティ・サイクル内に含まれています。出力はパルス列であり、その周波数はアナログ入力信号に依存します。フルスケール入力 $0.9 f_{CLKIN}$ の出力周波数を、ゼロスケール入力は $0.1 f_{CLKIN}$ の出力周波数を、それぞれ与えます。出力では、標準ロジック・ファミリまたはフォトカプラーに対してシンプルなインターフェースが可能です。FOUT のパルス幅は固定で、CLKIN のハイ・レベル区間で決定されます。このパルスは、クロック信号の立上がりエッジに同期しています。CLKIN のエッジと FOUT のエッジとの間の遅延時間は 35 ns (typ) です。図 6 に、この周波数出力の波形を示します (特性 8 を参照してください)。

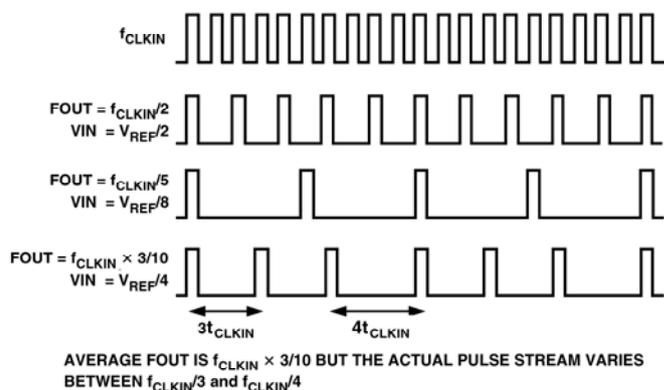


図 6. 周波数出力波形

入力電圧にステップ変化が発生すると、有効データを取得する前にセトリング時間が必要です。これは CLKIN で 2 サイクル (typ) です。

クロックの生成

非同期 VFC ではフルスケール周波数の設定で外付けコンデンサの安定性に依存しますが、AD7740 では外部クロックを使ってフルスケール出力周波数を決定します。このため伝達関数はさらに安定になるので、選択する外部クロックに基づいてシステムの安定性とドリフトを決定することができます。

AD7740 はマスター・クロック入力が必要とします。このマスター・クロックは、CLK IN ピンに接続した外部 CMOS 互換クロック信号(CLKOUT ピンは未接続のまま)から得ることができます。周波数 = 1 MHz の場合、水晶または共振子を CLKIN と CLKOUT の間に接続して、クロック回路が水晶制御発振器として機能するようにすることができます。図 7 に、シンプルなこのモデルを示します。

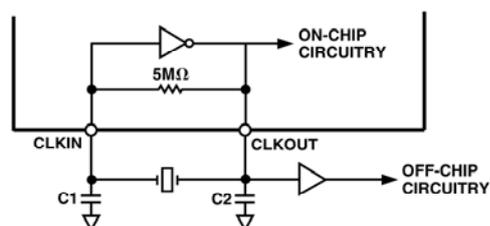


図 7. 内蔵発振器

CLKIN ピンと CLKOUT ピンの間で水晶またはセラミック共振子を使うデバイスを使用する場合、一般に、デバイスが CLK IN ピンのクロック信号から駆動される場合に比べて VDD の電流が大きくなります。これは、水晶またはセラミック共振子の場合、内蔵発振器回路がアクティブになるためです。電流の増加は多くのファクタに依存します。1 つ目は、CLKIN ピンと CLKOUT ピンのコンデンサ値が大きいほど、消費電流が大きくなります。水晶と共振子のメーカーが推奨する typ 値は、30 pF~50 pF の範囲です。I_{DD} に影響を与えるもう 1 つのファクタは水晶の実効直列抵抗 (ESR) です。ESR 値が小さいほど、発振器回路で消費される電流が小さくなります。

内蔵発振器回路にも、正しい周波数と正しい電圧レベルで発振するまでのスタートアップ時間があります。スタートアップ時間 (typ)は、V_{DD} = V で 10 ms、V_{DD} = 3.3 V で 15 ms です (両方とも 1 MHz 水晶を使用)。

AD7740 のマスター・クロックは反転されて、デバイスの CLKOUT ピンから出力されます。このピンの最大推奨負荷は 1 CMOS 負荷です。水晶を使って AD7740 のクロックを発生するときは、このクロックをシステム全体のクロック・ソースとして使うことが望まれます。この場合、CLKOUT 信号を CMOS バッファでバッファした後、回路の残りの部分に供給することが推奨されます(図 7 参照)。

リファレンス電圧入力

AD7740 は、入力されるリファレンス電圧を基準として変換を行います。このリファレンスは、REFIN/OUT を未接続のままにして 2.5 V の内蔵バンドギャップ・リファレンス電圧から得ることができます。あるいは、外付けの高精度リファレンス電圧を使用することもできます。これは REFIN/OUT ピンに接続して、内蔵リファレンス電圧を上書きします。外付けリファレンス電圧を選択する際は、駆動能力、初期誤差、ノイズ、ドリフト特性を考慮する必要があります。AD780 と REF192 はこの外付けリファレンス電圧として適しています。

内蔵リファレンス電圧は、信号ソースの比例動作が可能なアプリケーションに最も適しています。時間、温度、負荷などで信号ソースが変わるシステム内で内蔵リファレンス電圧を使うと、誤差が相殺される傾向があります。

パワーダウン・モード

CLKIN が 1 ms (typ)間ロー・レベルを続けると、AD7740 は自動的にパワーダウンします。このモードでは、大部分のデジタル回路とアナログ回路がシャットダウンして、REFOUT はフローティングになります。FOUT はハイ・レベルになります。これにより、消費電力が 525 μW max (5 V) と 360 μW (3.3 V)に削減されます。

アプリケーション

デバイスの基本接続図を図 8 に示します。この接続図では、AD7740 はバッファなしモードに設定されています。5 V 電源が AD7740 のリファレンス電圧として使われています。水晶がデバイスのマスター・クロック・ソースになっています。場合によっては、水晶または共振子にコンデンサ(図では C1 と C2) を接続して、基本動作周波数の整数倍の発振を防止する必要があります。コンデンサ値は、メーカー仕様によって変わります。

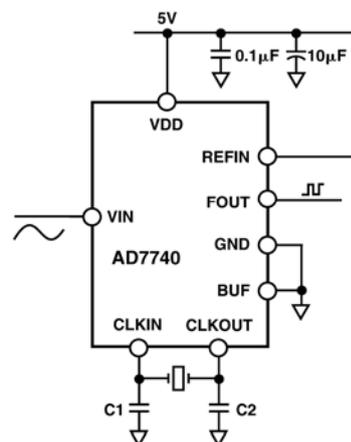


図 8. 基本接続図

AD7740 を使用した A/D 変換技術

A/D システムで VFC を使用する 1 つの方法は、固定のゲート・インターバルで FOUT の出力パルス数をカウントする方法です (図 9 参照)。この固定ゲート・インターバルは、クロック入力周波数を分周して発生する必要があります。これにより、クロック・ジッタまたはクロック周波数ドリフトにより発生する誤差がなくなります。FOUT の絶対値ではなく、クロック周波数に対する FOUT 周波数の比がここでは重要です。周波数の分周は、CLKIN をカウンタ入力とするバイナリ・カウンタで行うことができます。

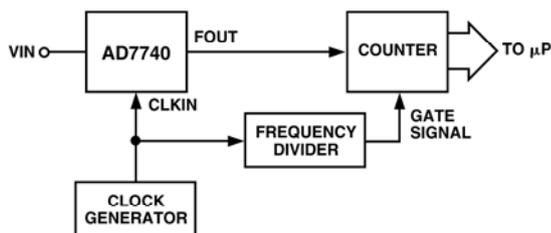


図 9. AD7740 VFC を使用した A/D 変換

図 10 に、CLKIN、FOUT、ゲート信号の波形を示します。カウンタは、ゲート信号のハイ・レベルの間に FOUT の立上がりエッジでカウントします。ゲート・インターバルが FOUT と同期していないため、カウントが不正確になる可能性があります。FOUT に応じて、1 カウント誤差が発生することがあります。

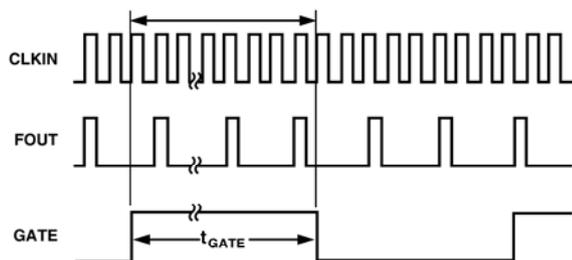


図 10. VFC を使用した A/D コンバータの波形

クロック周波数とゲート時間により、このような ADC の分解能が決定されます。12 ビット分解能が必要で、CLKIN = 1 MHz (したがって FOUT_{MAX} = 0.9 MHz) の場合、最小ゲート時間は次のように計算されます。

フルスケール (0.9 MHz) での N カウント数には、次の時間が必要です。

$$(N/0.9 \times 10^6) \text{ 秒} = \text{最小ゲート時間}$$

N は与えられた分解能に対する合計コード数、12 ビットの場合 4096。

$$\text{最小ゲート時間} = (4096/0.9 \times 10^6) \text{ 秒} = 4.551 \text{ ms}$$

$T_{\text{GATE}} \times F_{\text{OUT,MAX}}$ = フルスケールでのカウント数であるため、与えられた分解能に対する最高速変換は最大 CLKIN 周波数で実行することができます。

クロックから発生された信号に対してゲートされたパルス数をカウントすることにより出力周波数が測定される場合には、クロックの安定性は重要でなく、デバイスは電圧制御された周波数分周器として動作して、高分解能 ADC を構成します。伝達関数の単調性が元々備わっているため、特定のアプリケーションに対して、広い範囲の入力クロック周波数で変換時間と分解能を最適化することができます。

ゲート・インターバル長を選択するとき、もう 1 つのパラメータを考慮する必要があります。VFC の積算周期がゲート・インターバルと一致するため、干渉信号の整数値周期の間カウントすることにより、干渉信号を除去することができます。例えば、ゲート・インターバル = 100 ms とすると、50 Hz 信号と 60 Hz 信号のノーマル・モード除去比が得られます。

アイソレーション・アプリケーション

AD7740 は、絶縁型アナログ信号伝送アプリケーションに使うこともできます。ノイズ、安全性、距離のために、AD7740 をコントローラから絶縁する必要がある場合があります。これは、フォトアイソレータを使って容易に実現することができます。これは、装置間のグラウンド・ループを解決する際に極めて有効です。

伝送するアナログ電圧を VFC を使ってパルス列に変換します。光アイソレータ回路を使い、接続媒体として光を使用して、アイソレーション障壁を超えてこのパルス列を結合します。アイソレータの入力 LED を AD7740 の出力で駆動します。レシーバ側では、出力トランジスタをフォトトランジスタ・モードで動作させます。パルス列は、周波数/電圧コンバータを使ってアナログ電圧に戻すことができます。あるいは、パルス列をカウンタに入力して、デジタル信号を発生させることもできます。

AD7740 のアナログ・セクションとデジタル・セクションは、シングルエンド電源で動作できるようにデザインされているため、絶縁型電源の使用が簡素化されます。

図 11 に、低価格光アイソレータを使用する汎用 VFC 回路を示します。絶縁型電源 (V_{DD}) とローカル電源 (V_{CC}) に 5 V 電源の使用を想定しています。

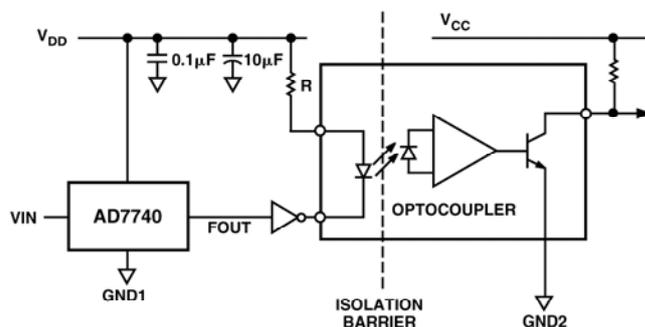


図 11. 光絶縁型アプリケーション

温度センサー・アプリケーション

AD7740 と AD22100S 温度センサーの組み合わせを使うと、周囲温度のデジタル測定が可能になります。AD22100S の出力電圧は、温度と電源電圧の積に比例します。5 V 単電源を使用し、出力振幅は -50°C での 0.25 V から $+150^{\circ}\text{C}$ での 4.75 V になります。この出力を AD7740 に加えることにより、周囲温度値がデジタル・パルス列に変換されます。図 12 を参照してください。

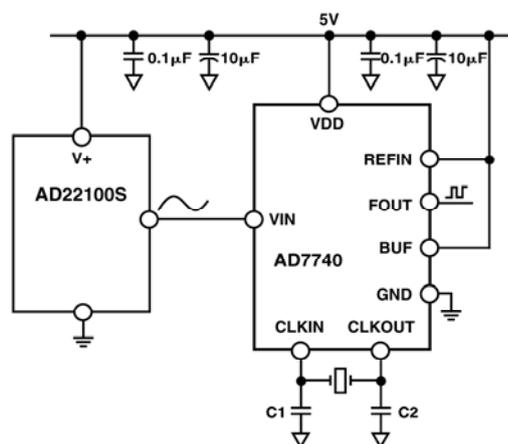


図 12. AD7740 と温度センサーの組み合わせの使用

このアプリケーションは元々比例測定の性質を持つため、極めてコストパフォーマンスの優れたソリューションになります。5 V 電源を VFC と AD22100S に対するリファレンス電圧として使用しているため、外付け高精度リファレンス電圧は不要です。

32 kHz動作

AD7740 の発振器回路は 32 kHz で動作しません。32 kHz の時計水晶を使用する場合には、外付け回路の追加が必要です。図 13 の回路は、 $1\ \mu\text{W}$ の駆動を必要とする水晶を対象にしています。抵抗 $R1$ と抵抗 $R2$ により、消費電力をこのレベルまで削減しています。

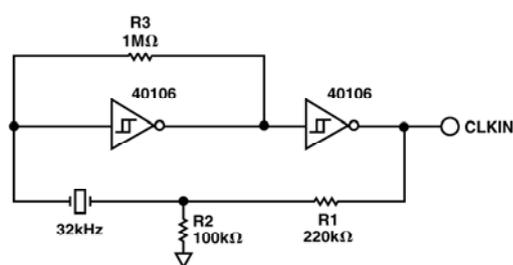


図 13. 32 kHz の時計水晶用回路

電源のバイパスとグラウンド接続

精度が重要な回路では、電源とグラウンド・リターンレイアウトを注意深く行うことが、定格性能の保証に役立ちます。AD7740 を実装するプリント回路ボードは、アナログ部とデジタル部を分離して、ボード内でそれぞれをまとめて配置するようにデザインする必要があります。

これらの間の容量結合を小さくするため、デジタル・グラウンド・プレーンとアナログ・グラウンド・プレーンは AD7740 の近くの 1 点で接続し、重ならないようにする必要があります。

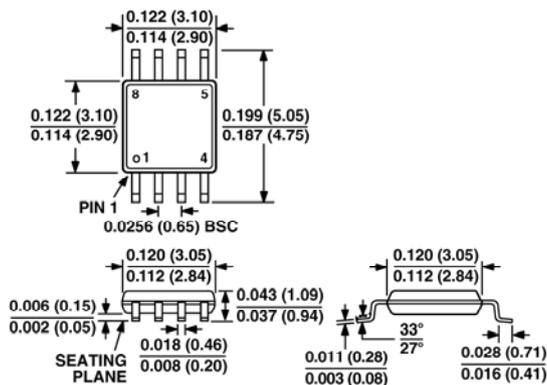
ノイズがチップに混入するので、デバイスの真下をデジタル・ラインが通らないようにしてください。ノイズ混入を防止するため、アナログ・グラウンド・プレーンが AD7740 の下を通過することは可能です。AD7740 の電源ラインはできるだけ太いパターンにしてインピーダンスを下げ、電源ライン上のグリッチによる影響を軽減させます。クロックなどの高速なスイッチング信号は、デジタル・グラウンドでシールドしてボードの他のデバイスに対するノイズの放射を防止します。また、クロック信号はアナログ入力の近くを通過しないようにします。デジタル信号とアナログ信号の交差は回避する必要があります。ボードの反対側のパターンは、互いに右角度となるように配置します。これにより、ボードを通過するフィードスルーの効果を除去することができます。マイクロストリップ技術の使用は最善ですが、両面ボードでは常に使用できるとは限りません。この技術では、ボードの部品面をグラウンド・プレーン専用にし、信号パターンはハンダ面に配置されます。

デカップリングを正しく行うことも重要です。表面実装コンデンサ $10\ \mu\text{F}$ と $0.1\ \mu\text{F}$ の並列接続により十分な電源デカップリングをパッケージのできるだけ近くの電源に、理想的にはデバイスに直接接続して、すべてのアナログ電源を GND へデカップリングする必要があります。バイパス・コンデンサのリード長はできるだけ短くする必要があります。これらのコンデンサを AD7740 の近くに配置して、コンデンサと電源ピンとの間の PCB パターンのインダクタンスを小さくすることは不可欠です。 $10\ \mu\text{F}$ はタンタル・ビード・タイプとして、VFC の近くに配置して低周波リップルを小さくします。 $0.1\ \mu\text{F}$ コンデンサは、高周波でグラウンドに対する低インピーダンス・パスを提供するセラミック型のような実効直列抵抗 (ESR) が小さく、かつ実効直列インダクタンス (ESI) が小さいものを使って、内部ロジックのスイッチングに起因する過渡電流を処理する必要があります。さらに、大きなコンデンサ ($> 47\ \mu\text{F}$) を電源と PCB を接続するポイントに配置することも有効です。

外形寸法

寸法表示: インチ(mm)

8 ピン・マイクロ SOIC
(RM-8)



8 ピン SOT-23
(RT-8)

