

The World Leader in High Performance Signal Processing Solutions



FPGA時代の 高速データ・コンバータの デジタル・データ転送（後編）

アナログ・デバイセズ株式会社
石井 聡



アジェンダ

1. 高速信号は反射する
2. 反射のようすを観測できるTDR測定
3. 差動データ伝送
4. FPGAとのやりとり
5. 差動データ伝送の特性が良好な理由
6. 差動データ伝送のためのプリント基板
7. 差動伝送での終端
8. 関連する話題



その1【前編】も
是非ご覧ください

近年のミックスド・シグナルのデータ転送の問題点

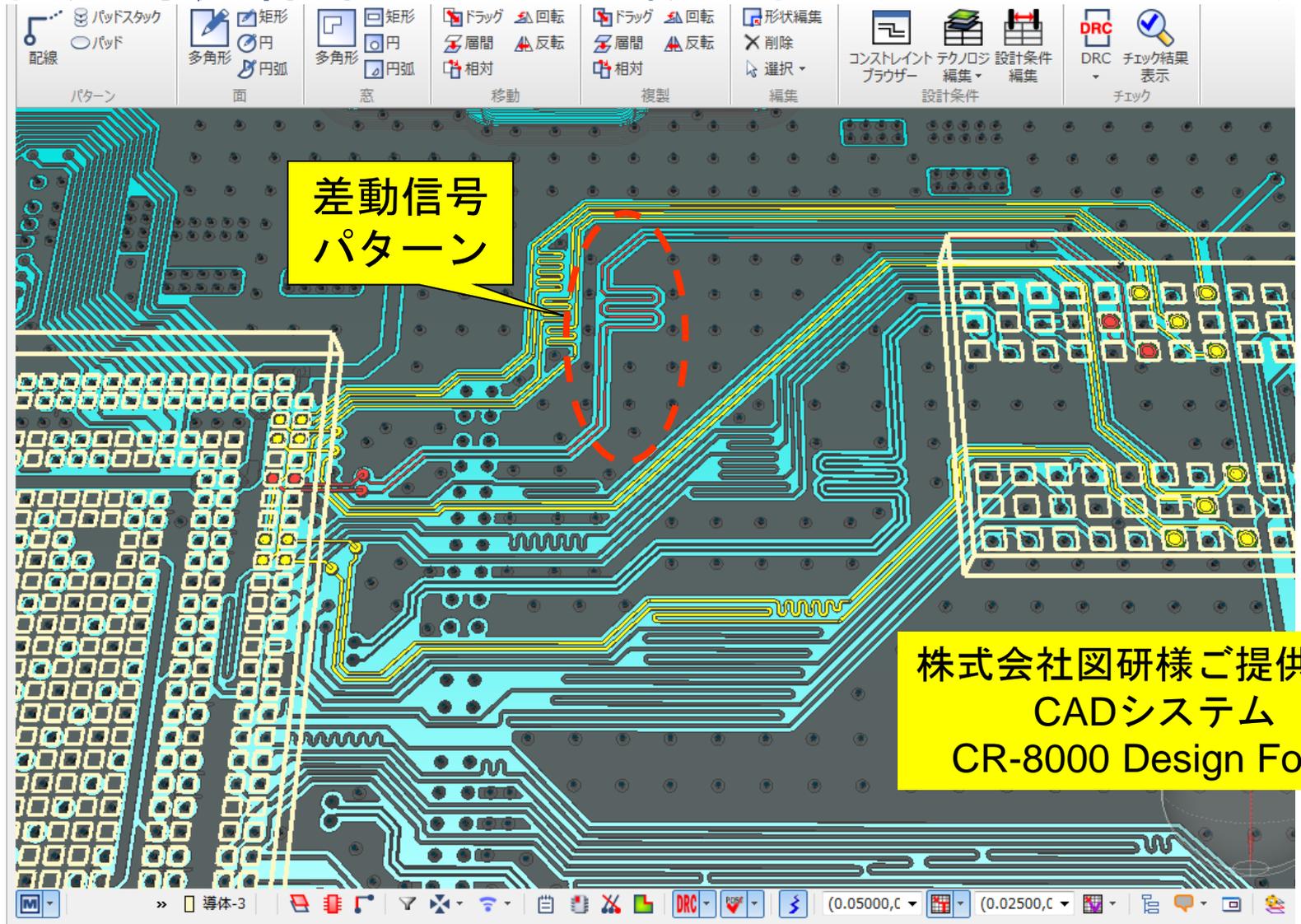
- ◆ 取り扱うアナログ信号、デジタル信号処理の高速化により**転送レート**がかなり高速化
- ◆ 回路図とネットリストだけの情報でボードのCAD設計を依頼しても、**まともに動かないミックスド・シグナル・システム**
- ◆ ボード上の信号の高速化により**EMC（与干渉、被干渉）**の問題が拡大

差動伝送を活用することがベスト！



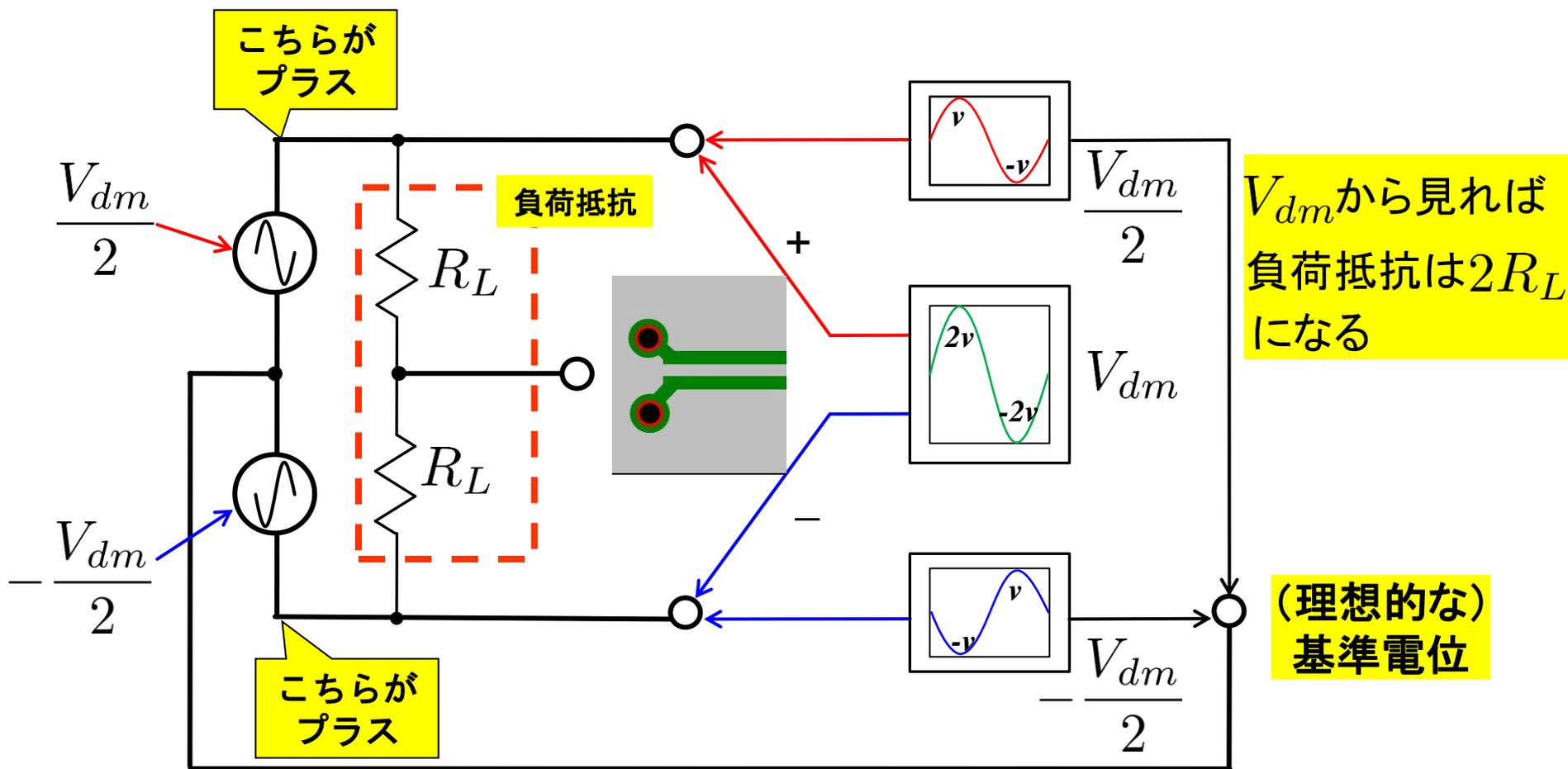
5. 差動データ伝送の 特性が良好な理由

差動伝送等長線路でのCAD設計例 (ASIC - DDR)



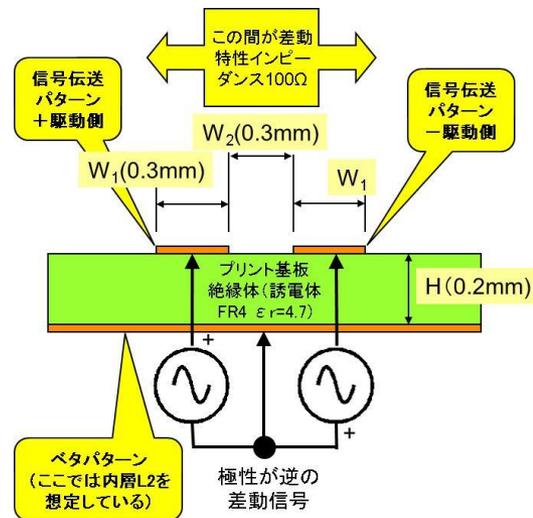
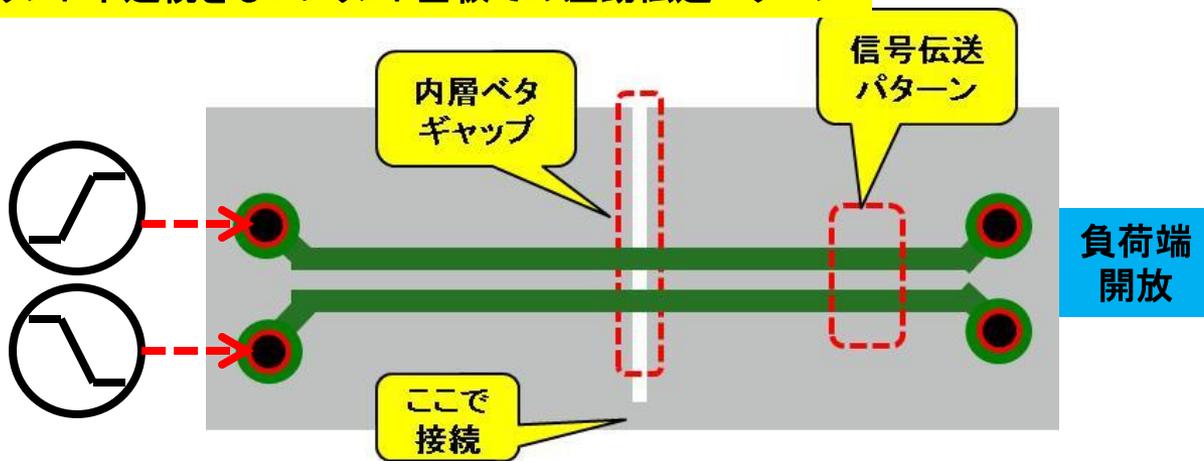
株式会社図研様ご提供資料
CADシステム
CR-8000 Design Force

差動回路・差動伝送のモデル

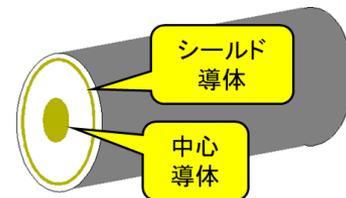
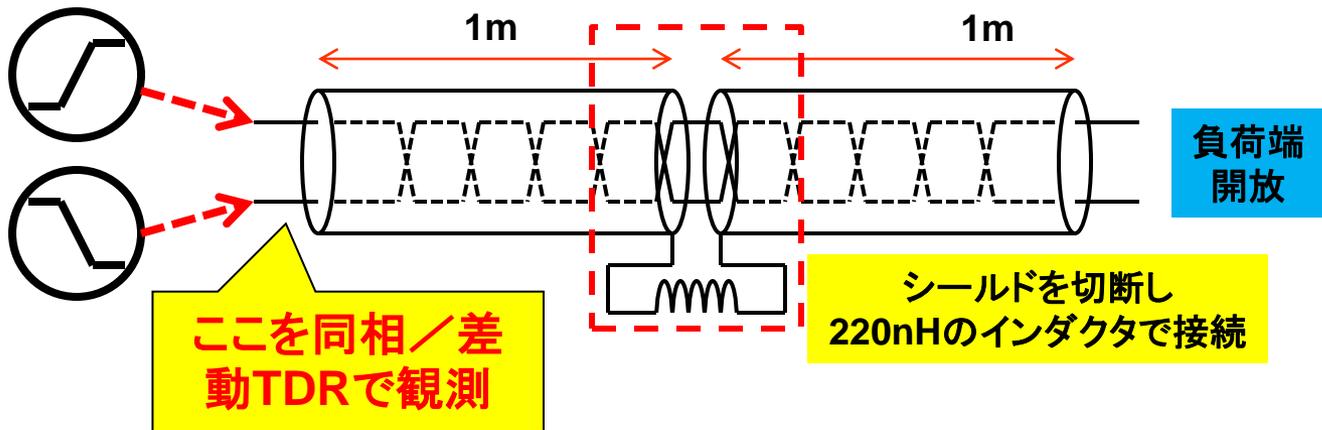


差動伝送がどれほど優れているかをTDRでデモ

グラウンド不連続をもつプリント基板での差動伝送パターン

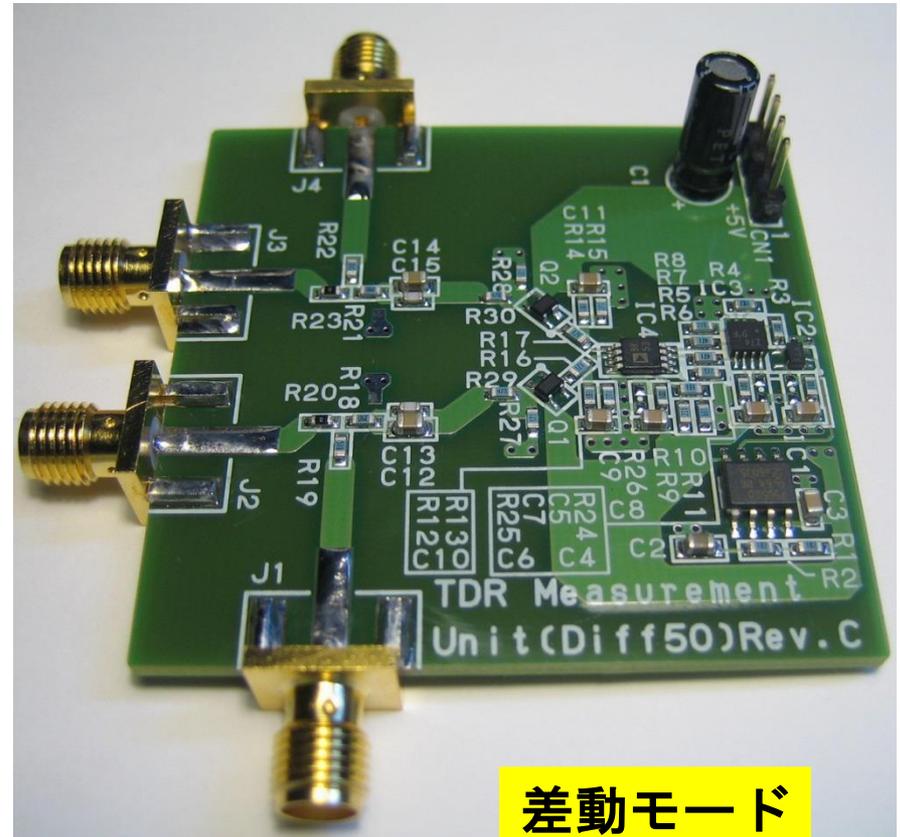


プリント基板を模倣するツイストペア(TP) シールド・ケーブル



実験で使用した同相／差動TDR用ステップ信号発生回路

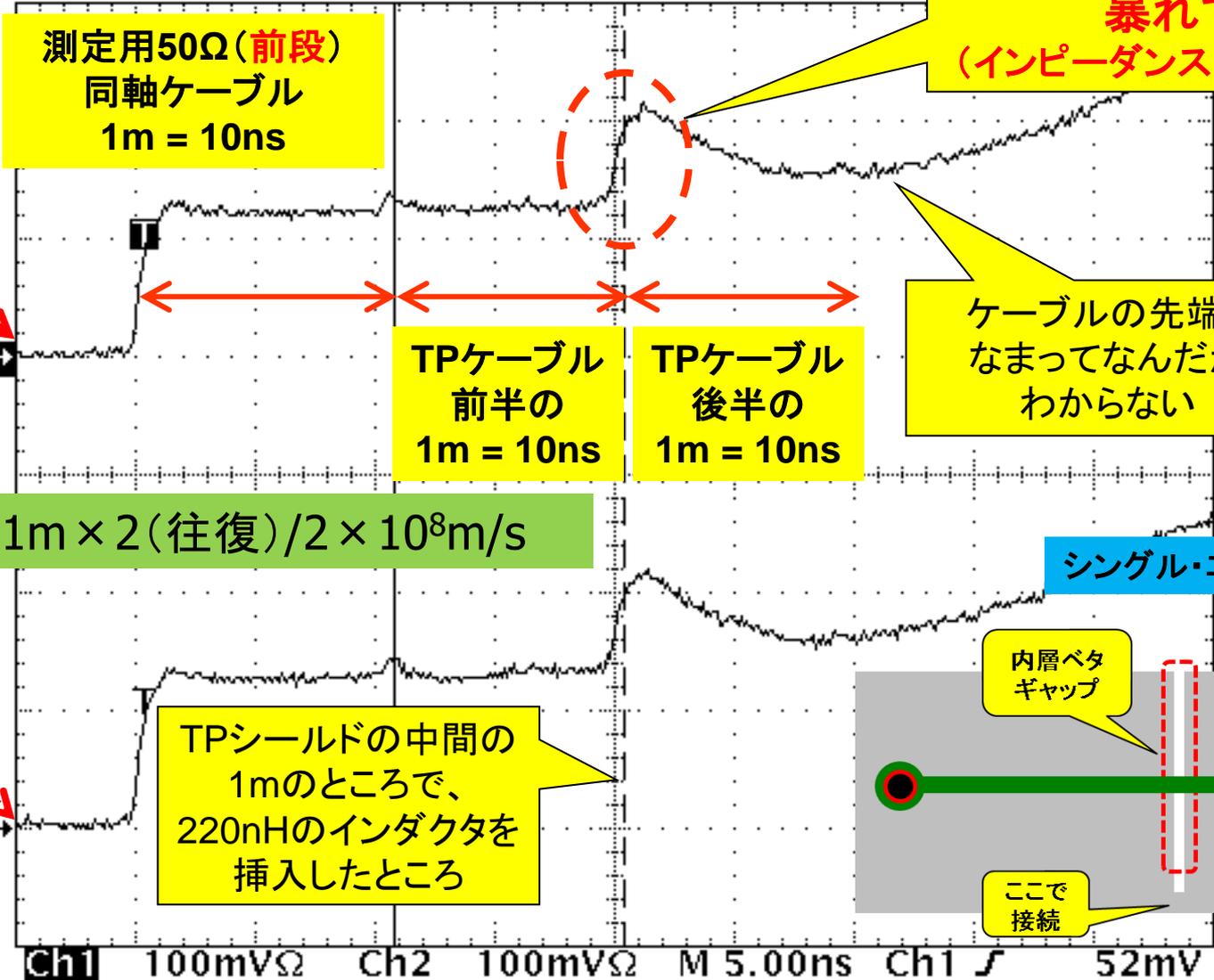
同相モード
TDR用基板



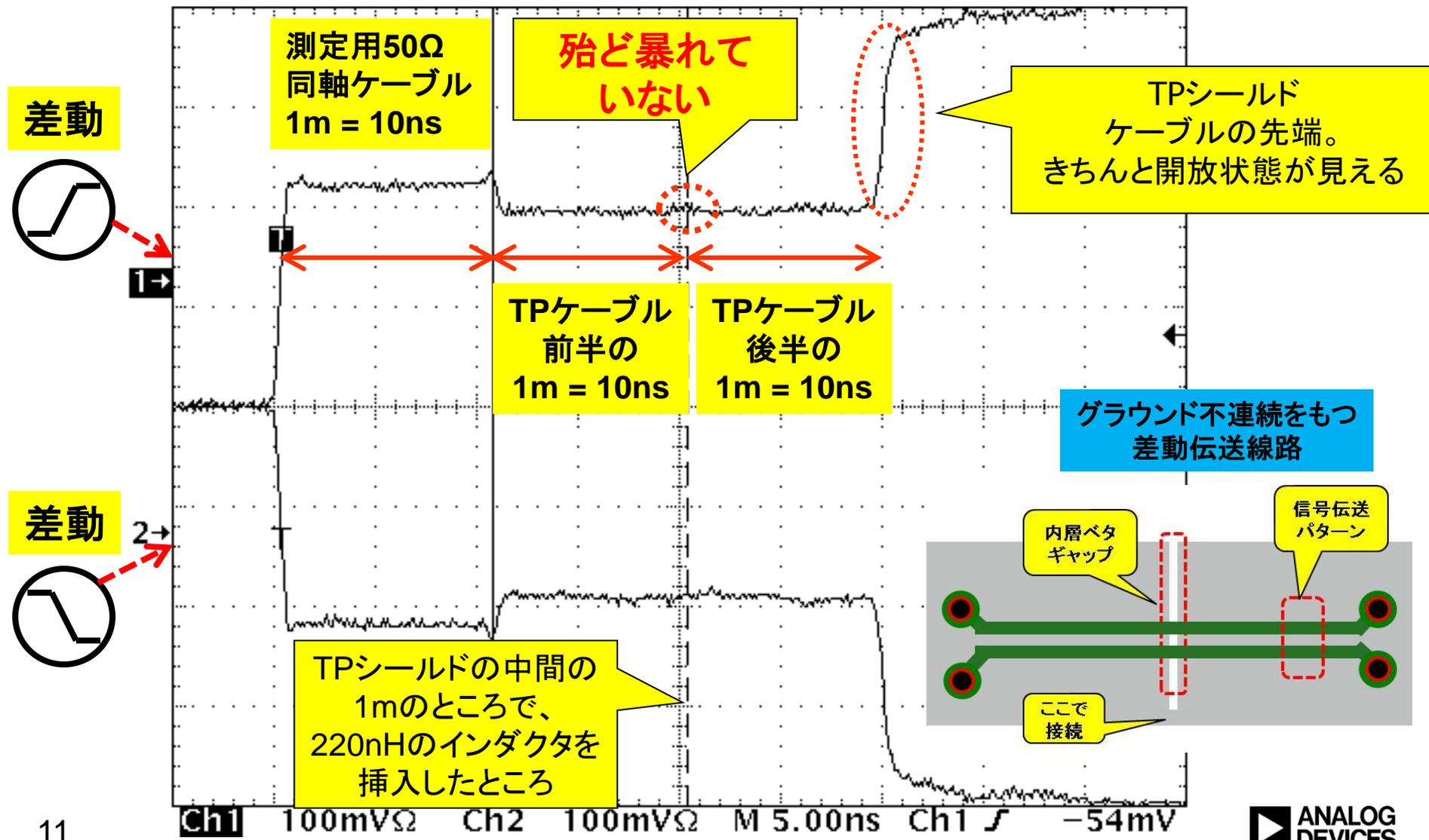
差動モード
TDR用基板

P板.com 「パネルdeボード」 サービスで実験治具購入可能 <http://bit.ly/HjN2Dy>

同相TDRでグラウンド不連続なTPケーブルを駆動 これはシングル・エンド伝送に相当



差動TDRでグラウンド不連続なTPケーブルを駆動



ここで分かったことなど



**差動信号パターンで差動信号を伝送すると、
外部の物理的影響(変動)を受けづらくなる**

**同相TDRの暴れから、シングルエンドでの伝
送特性が良くないこともイメージできる**

**(説明していないが)差動で伝送することで
EMC(与干渉、被干渉)にも強い**



6. 差動データ伝送のための プリント基板

インピーダンス・コントロール基板の実例

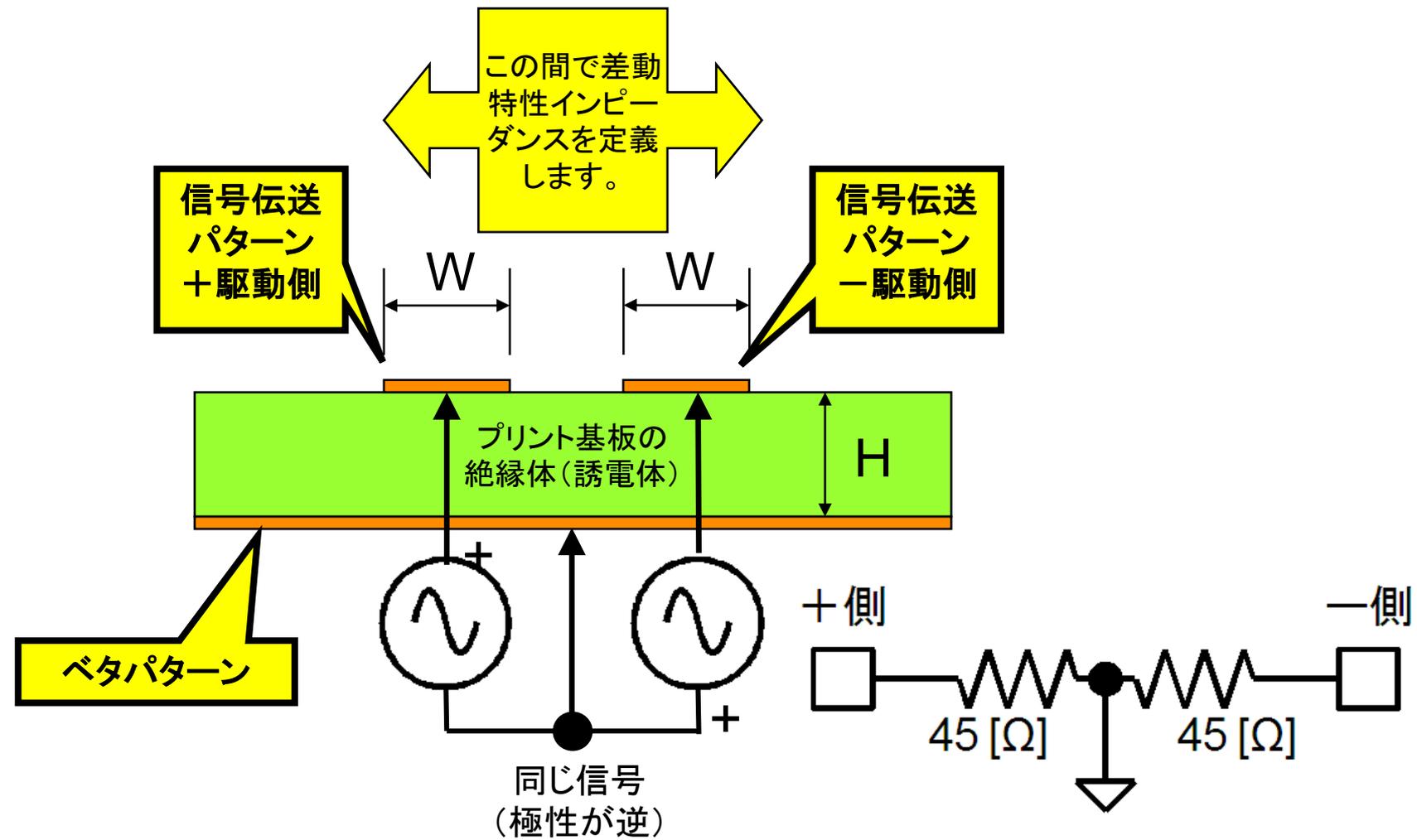
TDR測定ポイント

Z0=45	200
Z0=50	170
Zdiff=90	170/200
Zdiff=100	110/130
Zdiff=100	110/230
L6 Z0=50	110

基板の捨て部分に用意するテストクーポンを用い、TDRでその特性インピーダンス測定し、正しい状態に基板が出来上がっているかを確認

インピーダンスコントロール基板の
テストクーポン(提供 甲斐エレクトロニクス)

差動伝送用パターン(適切な差動インピーダンスで設計)



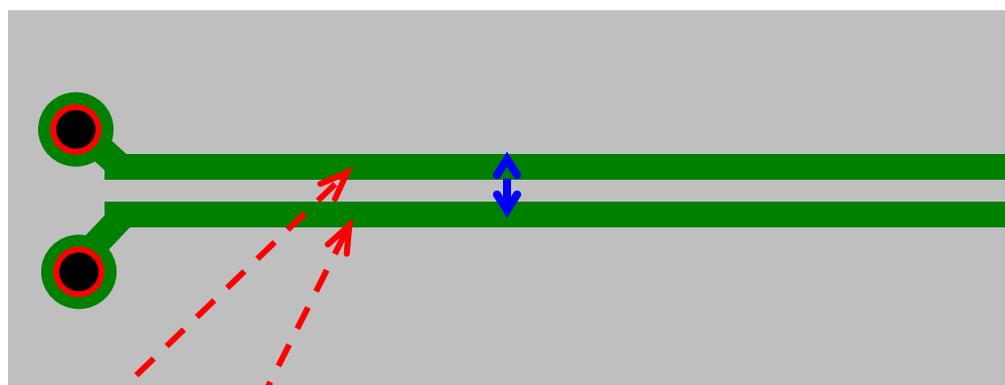
インピーダンス・コントロール基板の基板設計パラメータの例

甲斐エレクトロニクス株式会社様
ご提供資料

				シングル50Ω 公差±10%			差動100Ω 公差±10%			
層	構造	材料	厚み	シングル	パターン幅	対抗層	差動	パターン幅	スペース	対抗層
8層基板	1.6t									
材料	松下FR-4									
比誘電率	4.2									
L1	Signal		0.018+0.025 μ	50.86Ω	0.22	L2	100.89Ω	0.13	0.14	L2
		PP	0.1mm							
L2	Plane		35 μ							
		CORE	0.2mm							
L3	Signal		35 μ	50.09Ω	0.24	L2-L4	99.83Ω	0.125	0.115	L2-L4
		PP	0.2mm							
L4	Plane		35 μ							
		CORE	0.2mm							
L5	Plane		35 μ							
		PP	0.2mm							
L6	Signal		35 μ	50.09Ω	0.24	L7-L5	99.83Ω	0.125	0.115	L7-L5
		CORE	0.2mm							
L7	Plane		35 μ							
		PP	0.1mm							
L8	Signal		0.018+0.025 μ	50.86Ω	0.22	L7	100.89Ω	0.13	0.14	L7

メーカー・材質によって変わる!

結合している差動線路は差動インピーダンスが低下する

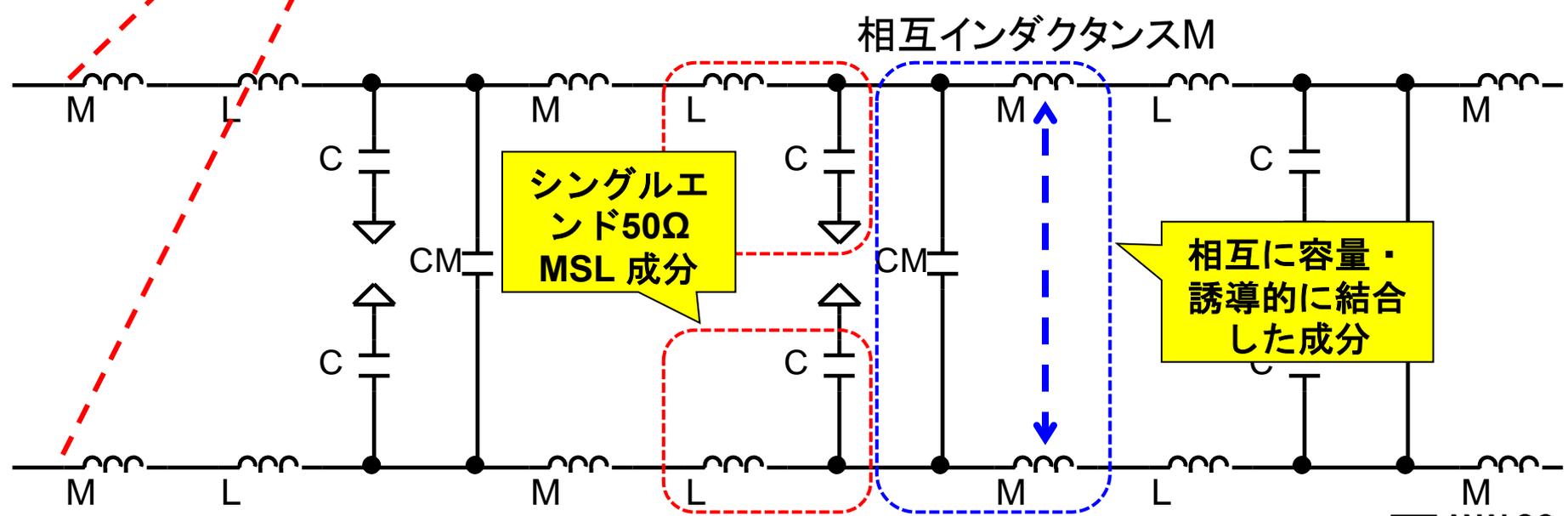


結合の無い場合

$$Z_d = 2\sqrt{L/C}$$

結合している場合(差動モード)

$$Z_d = 2\sqrt{\frac{L - M}{C + 2C_M}}$$



プリント基板上を信号が伝わる速さ

- ◆ プリント基板上では比誘電率が $\epsilon_r \neq 1$ なので、信号の伝搬速度（位相速度）が遅くなる
 - 真空での光の速度の50%程度（ $1 \sim 2 \times 10^8 \text{m/s}$ ）になる
 - 特性インピーダンス計算で得られる ϵ_{r_eff} 有効比誘電率を用い、 $1/\sqrt{\epsilon_{r_eff}}$ を係数としてかけ合わせる
 - 1Gbpsの1ビットで10cm程度になる。1Gbpsのマルチレーンで、UIの10%時間バラつき許容としても1cmしか許されない！
- ◆ 基板表面層では混成伝搬モードになり、差動伝送線路では
 - 差動モード信号と同相モード信号の伝搬速度が異なる
 - 内層では同じになると言われている
 - Sonnetなどで電磁界シミュレーション解析がおすすめ



7. 差動伝送での終端

差動伝送と信号終端（終端抵抗の無い場合）

実験では2本の50Ω同軸ケーブル(長さ1m)を利用

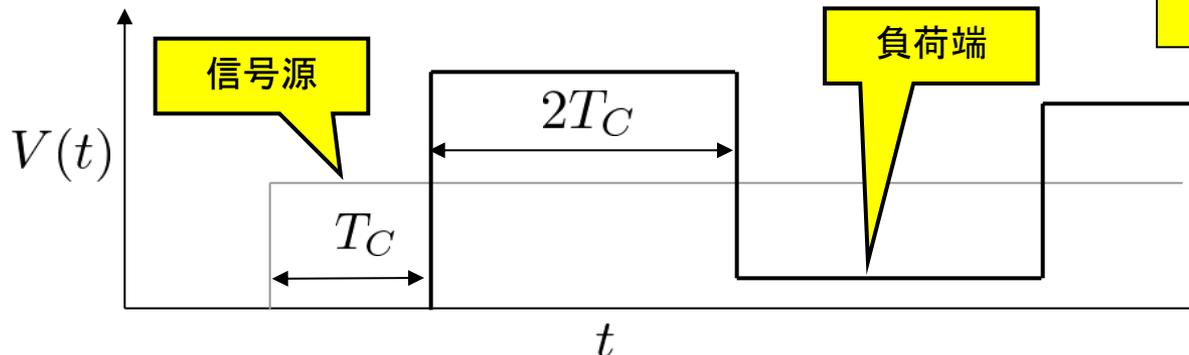
差動インピーダンス 100Ω

先端開放

差動

先端開放

差動インピーダンス 100Ω

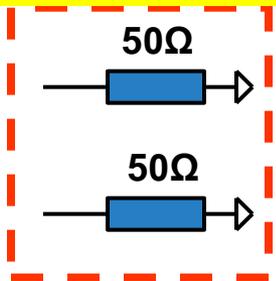
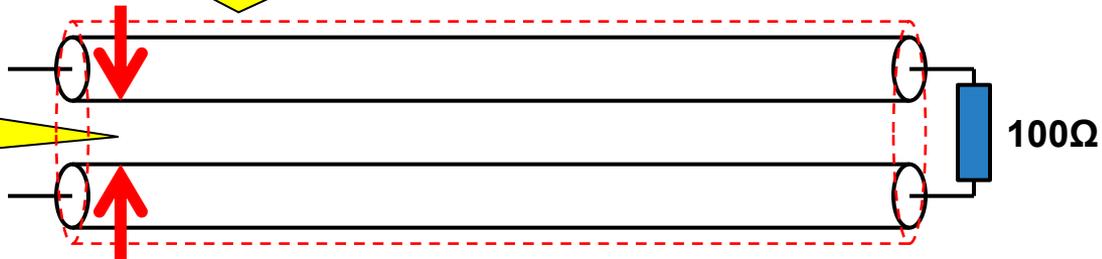


差動伝送と信号終端 (終端抵抗を正しく接続)

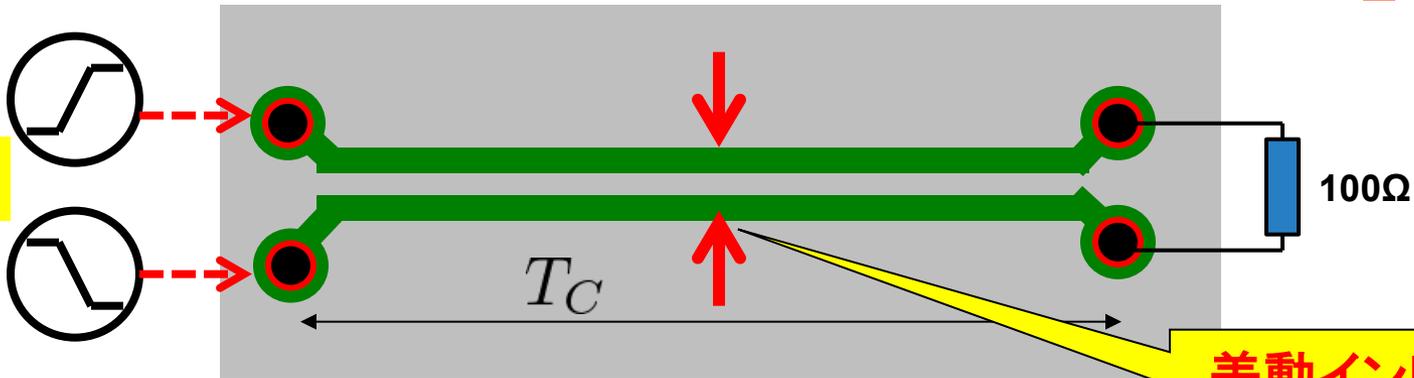
実験では2本の50Ω同軸ケーブル(長さ1m)を利用

差動信号に対しては
50Ωの2本の抵抗と等価

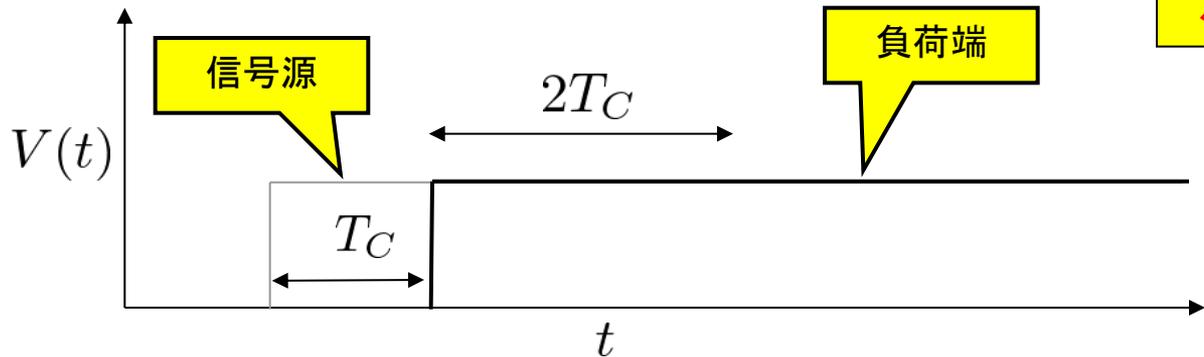
差動インピーダンス 100Ω



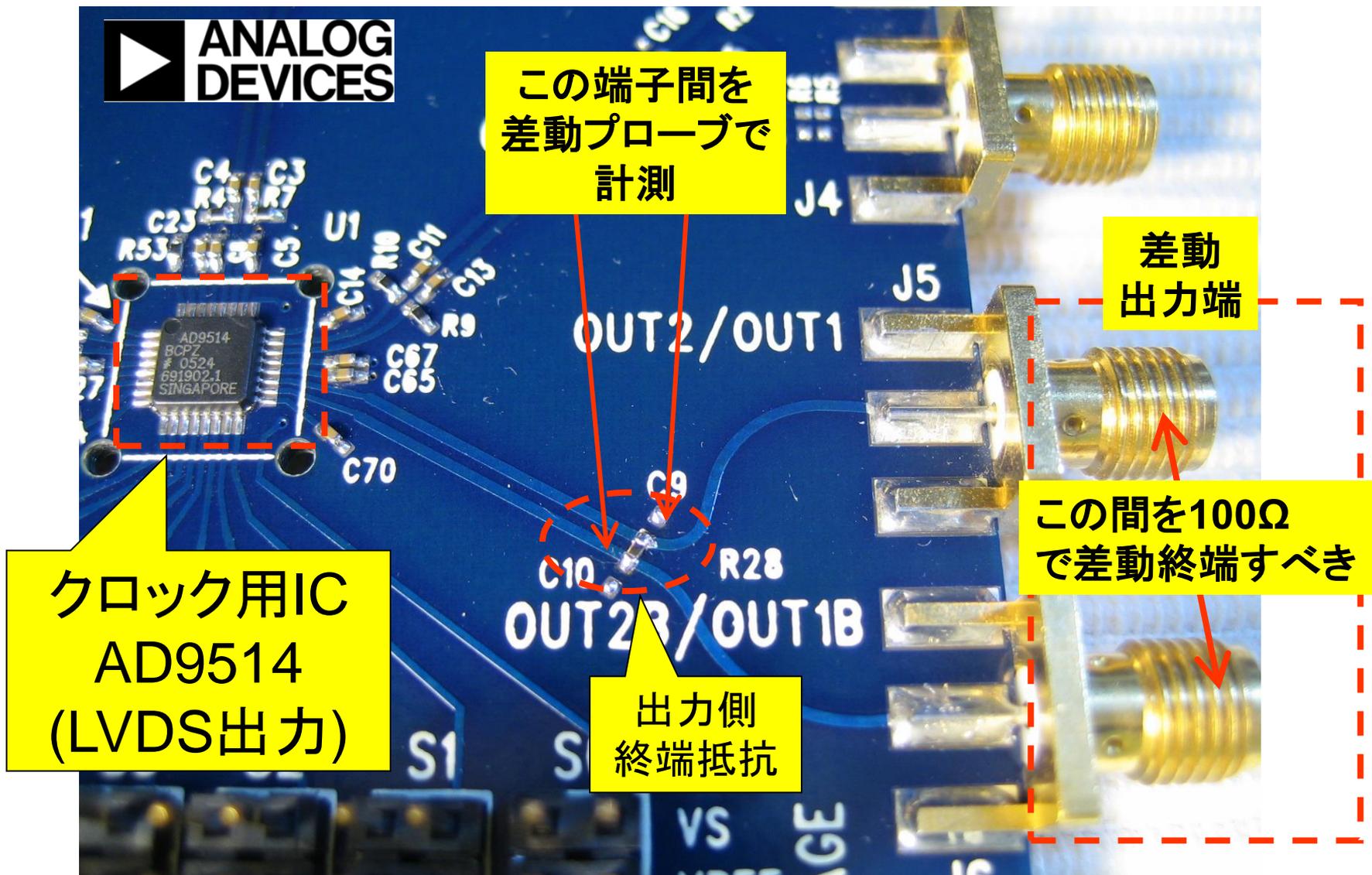
差動



差動インピーダンス 100Ω



適切に終端されていない場合の信号反射のデモ



適切に終端された場合の信号波形 (60Mbps)

Tek Run: 10.0GS/s ET Sa

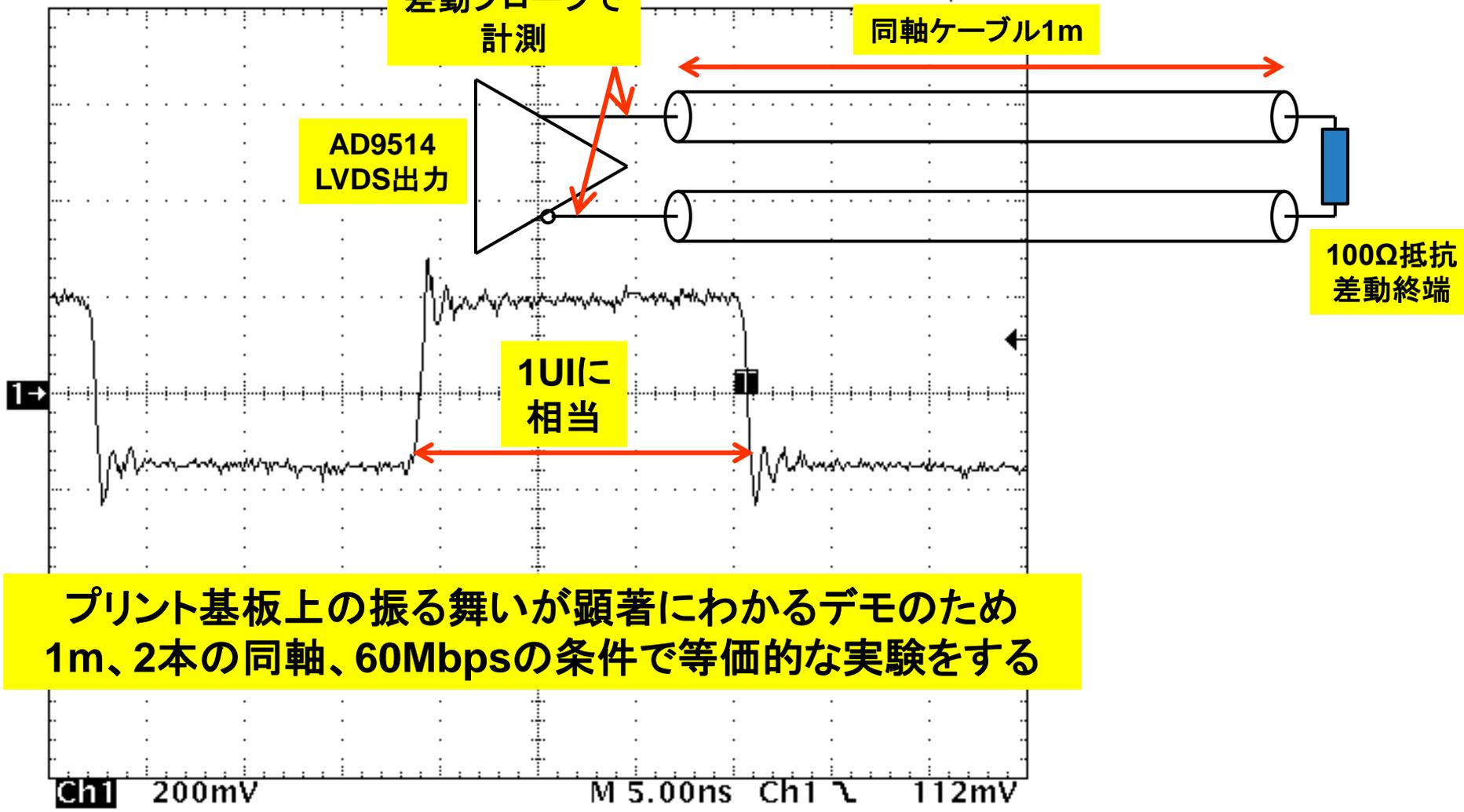
この端子間を
差動プローブで
計測

AD9514
LVDS出力

同軸ケーブル1m

100Ω抵抗
差動終端

1UIに
相当



プリント基板上の振る舞いが顕著にわかるデモのため
1m、2本の同軸、60Mbpsの条件で等価的な実験をする

Ch1 200mV M 5.00ns Ch1 112mV

適切に終端されていない場合の信号反射

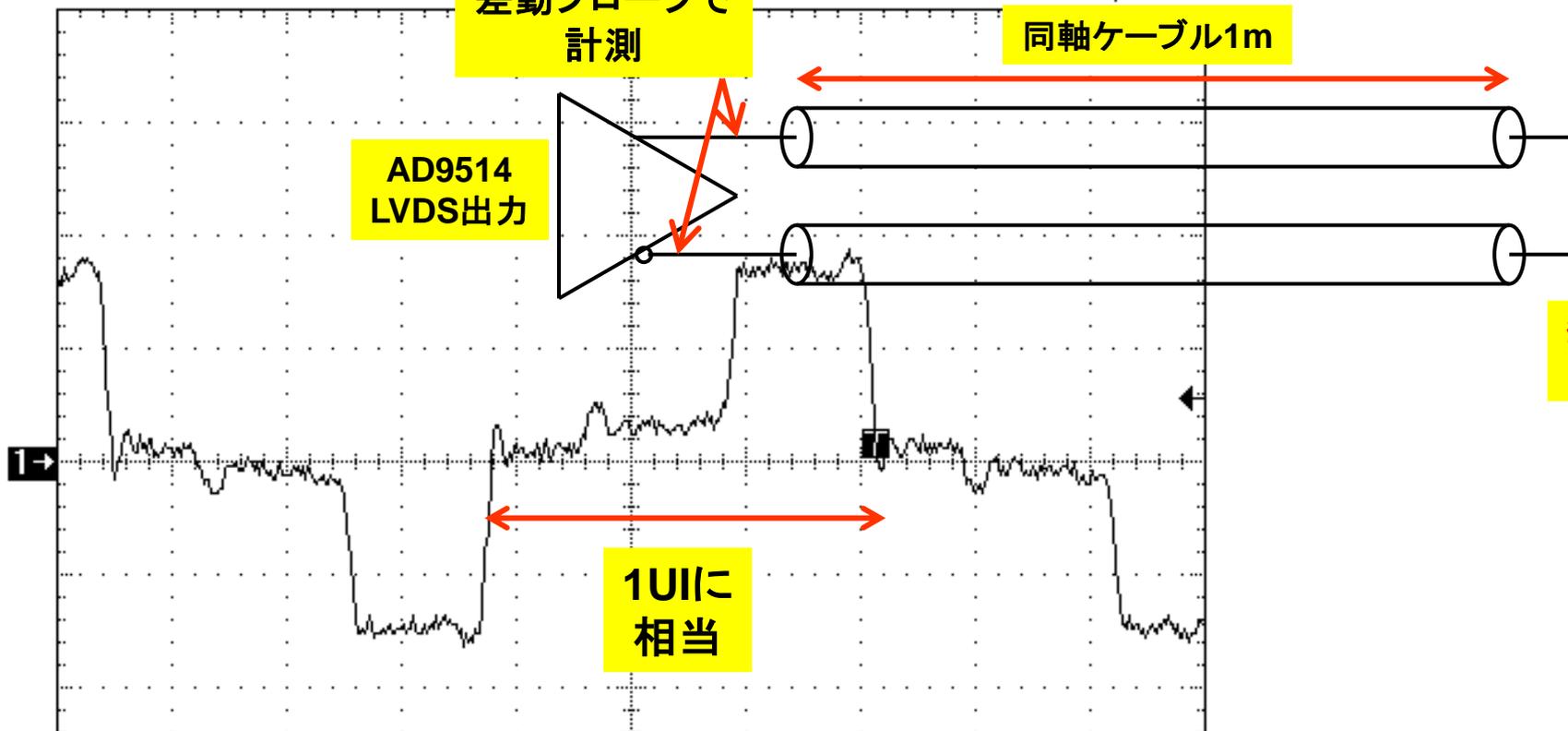
Tek Run: 10.0GS/s ET Sa

この端子間を
差動プローブで
計測

AD9514
LVDS出力

同軸ケーブル1m

終端抵抗
なし



1UIに
相当

プリント基板上だとして、1/10にスケーリングしてみると
10cmストリップ・ライン、600Mbps (300MHz CLK) の条件と同じ

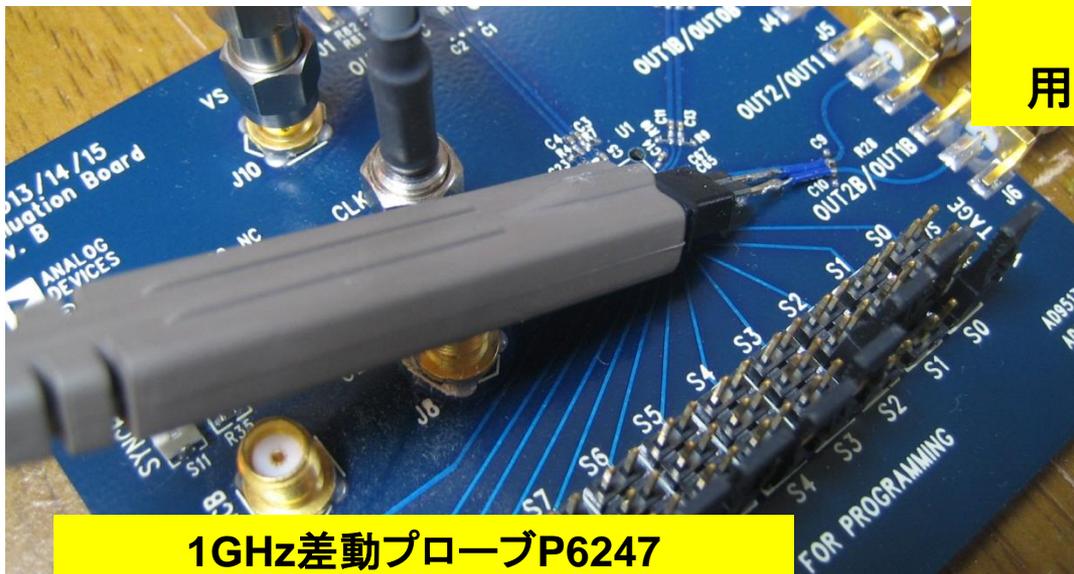
ch1 200mV M 5.00ns Ch1 112mV



8. 関連する話題

適切なプロービングによる信号観測

基板にテスト用パッド(パターン)を用意し専用のロジアナ用プローブを接続



1GHz差動プローブP6247
(テクトロニクス)を使って計測



Tektronix様ご提供

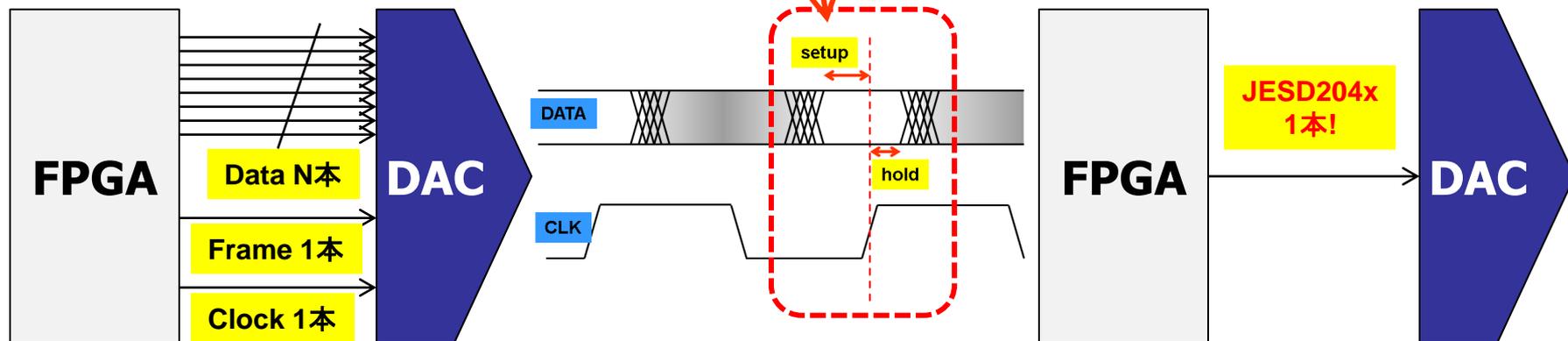
50Ω同軸ケーブルに470Ωを直列に
接続し10:1のZ0プローブを実現する

アナログ・デバイセズのLVDS I/F ADC

Part#	bit	MSPS	Chan	Part#	bit	MSPS	Chan	Part#	bit	MSPS	Chan
AD9467-250	16	250	1	AD9650-105	16	105	2	AD9633-105	12	105	4
AD9467-200	16	200	1	AD9650-80	16	80	2	AD9633-80	12	80	4
AD9265-125	16	125	1	AD9650-65	16	65	2	AD9228-65	12	65	4
AD9265-105	16	105	1	AD9650-25	16	25	2	AD9228-40	12	40	4
AD9265-80	16	80	1	AD9643-250	14	250	2	AD6657	11	200	4
AD9642-250	14	250	1	AD9643-210	14	210	2	AD9219-65	10	65	4
AD9642-210	14	210	1	AD9643-170	14	170	2	AD9219-40	10	40	4
AD9642-170	14	170	1	AD9251	14	80	2	AD9287	8	100	4
AD9255-125	14	125	1	AD9613-250	12	250	2	AD9257-65	14	65	8
AD9445-125	14	125	1	AD9613-210	12	210	2	AD9252	14	50	8
AD9255-105	14	105	1	AD9613-170	12	170	2	AD9276	12	80	8
AD9445-105	14	105	1	AD9628-125	12	125	2	AD9272-80	12	80	8
AD9255-80	14	80	1	AD9628-105	12	105	2	AD9637-80	12	80	8
AD9230-250	12	250	1	AD9235-80	12	80	2	AD9222-65	12	65	8
AD9634-250	12	250	1	AD9231-65	12	65	2	AD9272-65	12	65	8
AD9230-210	12	210	1	AD9231-40	12	40	2	AD9222-50	12	50	8
AD9430-210	12	210	1	AD9231-20	12	20	2	AD9271-50	12	50	8
AD9634-170	12	170	1	AD6643-200	11	250	2	AD9273-50	12	50	8
AD9230-170	12	170	1	AD6643-250	11	250	2	AD9637-40	12	40	8
AD9430-170	12	170	1	AD9608-105	10	125	2	AD9272-40	12	40	8
AD9634-210	12	170	1	AD9608-125	10	125	2	AD9222-40	12	40	8
AD6672	11	250	1	AD9600-105	10	105	2	AD9271-40	12	40	8
AD9230-11	11	200	1	AD9600-125	10	105	2	AD9273-40	12	40	8
AD9211-300	10	300	1	AD9253-125	14	125	4	AD9273-25	12	25	8
AD9211-200	10	200	1	AD9253-105	14	105	4	AD9271-25	12	25	8
AD9211-250	10	200	1	AD9253-80	14	80	4	AD9212-65	10	65	8
AD9411	10	170	1	AD9259	14	50	4	AD9212-40	10	40	8
AD9480	8	250	1	AD9633-125	12	125	4				

FPGA – コンバータ間ハイスピード・シリアル・インターコネクト JESD204xとは？

- ◆ JESD204xはJEDEC Solid State Technology Associationが規定した、コンバータとデジタルIC(とくにFPGA)間で、高速インターコネクト・シリアル伝送を実現する規格
 - 3.125Gbpsレート(JESD204&204A)、16bitで156.25Mspsのスループット
 - JESD204Bでは12.5Gbps
- ◆ 従来のデジタル・インターフェースとの違い
 - 1本の線でデータ、クロック、フレーミングの伝送をおこなう
 - ◆ クロック・タイミングとフレーム同期はストリーム中に埋め込まれている
 - ◆ データとクロック間のセットアップ&ホールドは気にしないでよい
 - ◆ プリント基板上の1本の差動パターン(実際は差動対で2本)で伝送できる



FPGA – コンバータ間ハイスピード・シリアル・インターコネクト JESD204xとは？

◆ アナログ・デバイセズのJESD204に関連するページ

<http://www.analog.com/jp/jesd204/topic.html>

WORLD LEADER IN HIGH PERFORMANCE SIGNAL PROCESSING

言語を選択

日本語 ▾



キーワード、または製品番号を入力してください

検索

パラメータによる検索 ▶

廃番 & 代替検索 ▶

ようこそIshisan
ログアウト
🛒 カートを見る

製品

アプリケーション

技術関連情報/ツール

サンプル/購入

サポート

📁 myAnalog

ホーム > JESD204

🔗 シェア | 🖨 ページの印刷 | 📁 myAnalogへ保存

データ・コンバータのシリアル・インターフェース標準規格JESD204

データ・コンバータのシリアル・インターフェース標準規格JESD204は高速データ・コンバータとFPGA(フィールド・プログラマブル・ゲート・アレイ)のような他のデバイスとの間のデータ入力/出力数を標準化し、削減するためにJEDEC委員会によって策定されました。相互接続が少なくなるのでレイアウトが簡単になり、システム性能全体に影響を与えることなく小型化を実現できます。これらの属性は無線インフラストラクチャ(GSM, EDGE, W-CDMA, LTE, CDMA2000, WiMAX, TD-SCDMA)のトランシーバ・アーキテクチャ、ソフトウェア無線、携帯型計測器、医療用超音波装置、レーダやセキュア通信のようなMil/Aeroアプリケーションを含む高速ADCアプリケーションの領域のシステム・サイズやコスト制約に対応するために重要です。アナログ・デバイセズはJEDEC JESD204標準委員会の初回からの参加メンバーとなっており、私どものお客様がこの画期的なインターフェース・ブレイクスルーを活用できるように、この規格に準拠したデータ・コンバータ技術とツールそして包括的な製品ロードマップを同時に開発しました。

JESD204B: The New High Speed Interface Standard

Free JESD204B Survival Guide—
Practical, Technical Information, Tips,
and Techniques

Free Download >>



engineerzone™
SUPPORT COMMUNITY

Get answers to your
design questions in the
ADI Support Community.

Get Started ▶

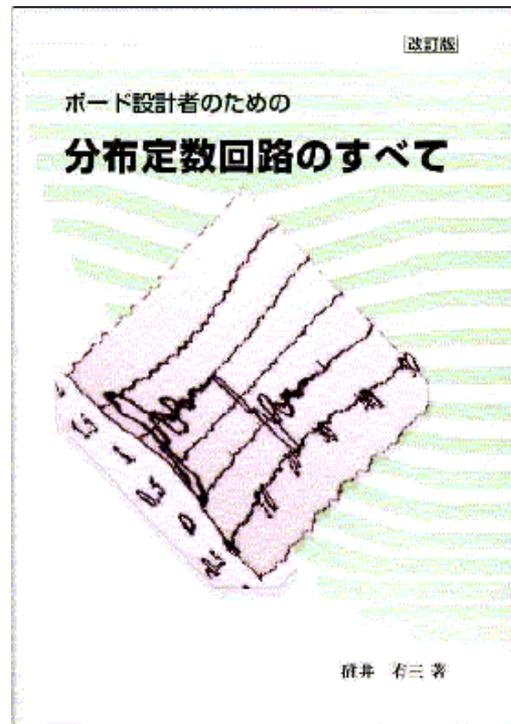
高速伝送設計者必見！スペシャリストコラム

◆ 弊社代理店、株式会社エルセナで運営するサイト

http://www.elsena.co.jp/elspear/specialist_column/

高速デジタル信号伝送の権威、碓井 有三氏（同社技術顧問）による信号伝送技術解説

氏の出版（自費出版）する
業界内でもバイブルと言われる本





9.まとめと参考文献

まとめ

- ◆ 差動データ伝送をうまく活用する
- ◆ インピーダンス・コントロールされた適切なプリント基板を用いる
- ◆ きちんと差動終端する

参考文献

◆ 高速ボード設計に関する文献

- ハワード・ジョンソン; 高速信号ボードの設計 基礎編／応用編, 丸善
- エリック・ボガディン; 高速デジタル信号の伝送技術 シグナルインテグリティ入門, 丸善
- マドハバン・スワミナサン; パワーインテグリティのすべて 電源ノイズを抑えるプリント基板設計, 翔泳社
- 石井 聡; 差動伝送のメカニズムと伝送線路の評価術 (4回短期集中連載), トランジスタ技術 2012年6月号～9月号, CQ出版社

TDRに関する参考文献

- ◆ 石井 聡; 差動伝送のメカニズムと伝送線路の評価術（4回短期集中連載），トランジスタ技術 2012年6月号～8月号&10月号, CQ出版社
- ◆ 石井 聡; 信号が正しく伝わる度合いがわかる！配線診断『TDR測定』（3回短期集中連載），トランジスタ技術 2012年1月号～3月号, CQ出版社
- ◆ 漆谷 正義; シンプルなTDR測定アダプタの製作, RFワールド, No. 13, CQ出版社
- ◆ Selected Articles on Time Domain Reflectometry Applications, Application Note 75, Mar. 1966, Hewlett Packard
- ◆ テクトロニクス社でも多数あり
 - http://www1.tek.com/ja/applications/design_analysis/time-domain-reflectometry.html

