

The World Leader in High Performance Signal Processing Solutions



FPGA時代の 高速データ・コンバータの デジタル・データ転送（前編）

アナログ・デバイセズ株式会社
石井 聡



アジェンダ

1. 高速信号は反射する
2. 反射のようすを観測できるTDR測定
3. 差動データ伝送
4. FPGAとのやりとり
5. 差動データ伝送の特性が良好な理由
6. 差動データ伝送のためのプリント基板
7. 差動伝送での終端
8. 関連する話題



その2【後編】も
是非ご覧ください

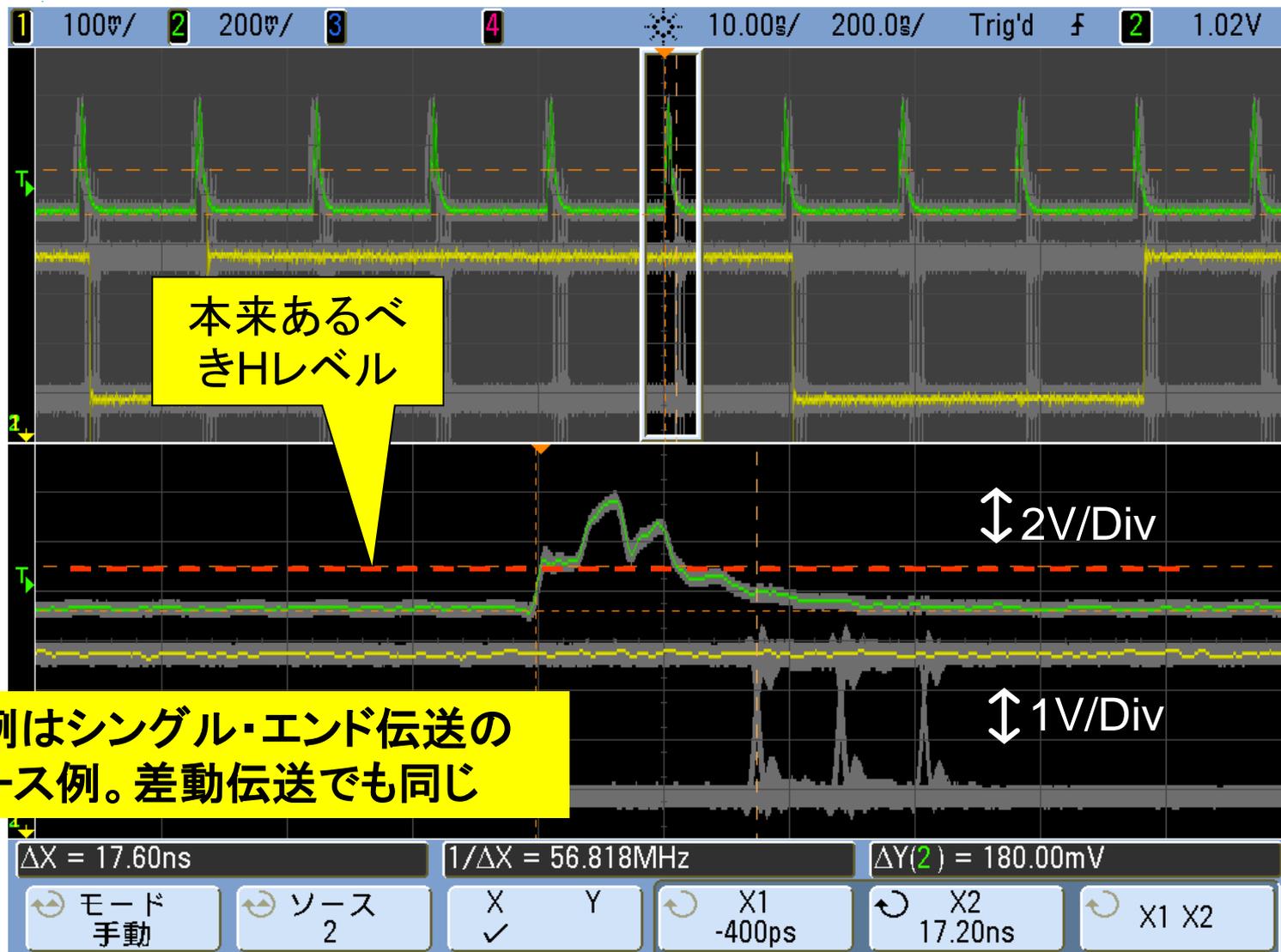
近年のミックスト・シグナルのデータ転送の問題点

- ◆ 取り扱うアナログ信号、デジタル信号処理の高速化により**転送レート**がかなり高速化
- ◆ 回路図とネットリストだけの情報でプリント基板のCAD設計を依頼しても、**まともに動かないミックスト・シグナル・システム**
- ◆ 基板上的信号の高速化により**EMC（与干渉、被干渉）**の問題が拡大



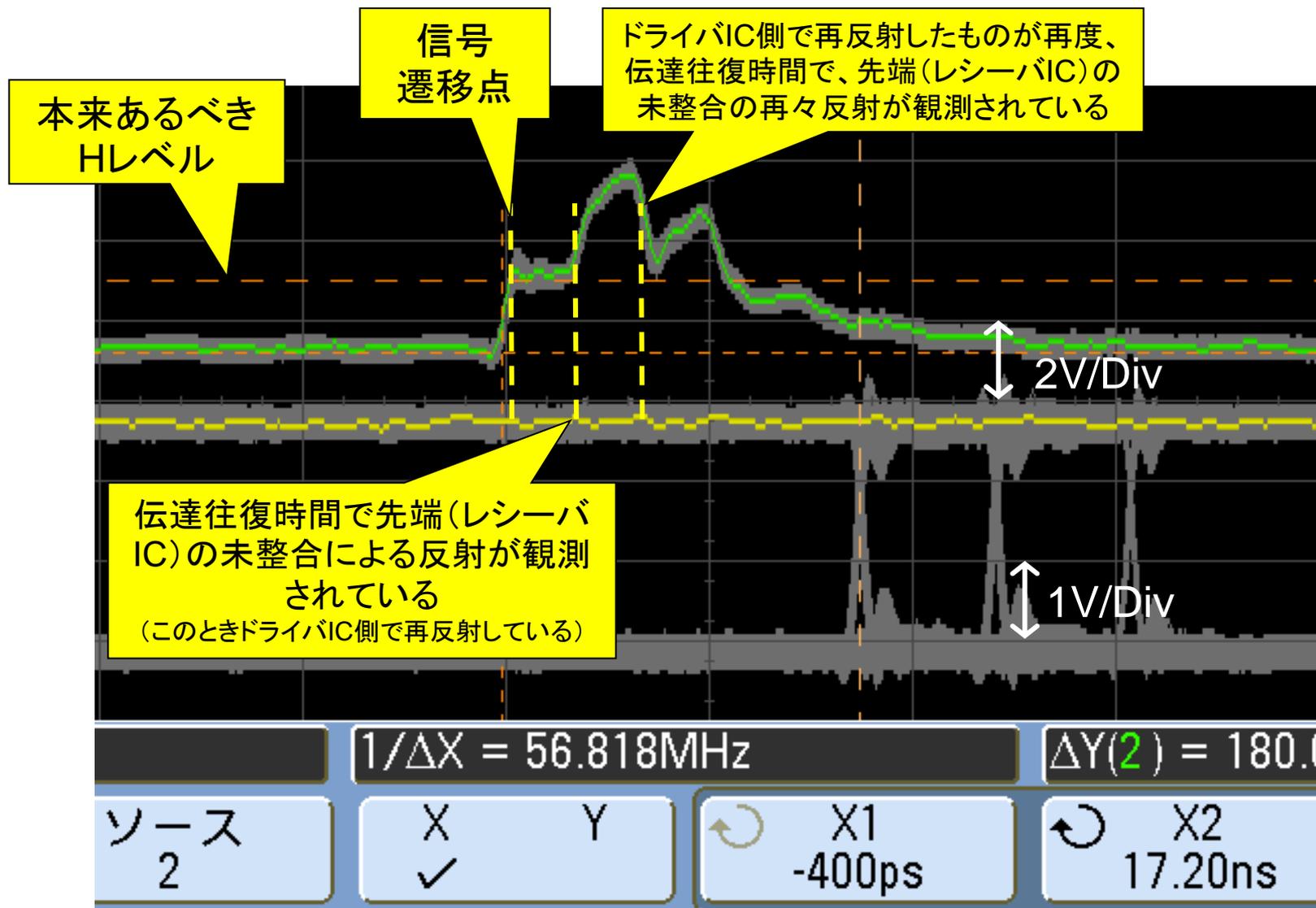
1. 高速信号は反射する

終端不適切による多重反射トラブルの一例

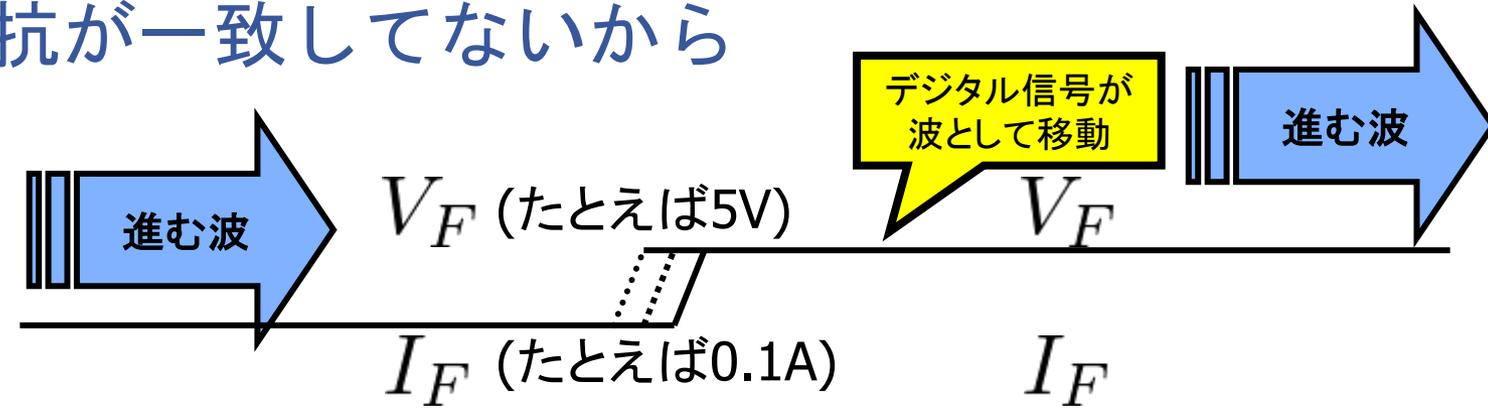


この例はシングル・エンド伝送のケース例。差動伝送でも同じ

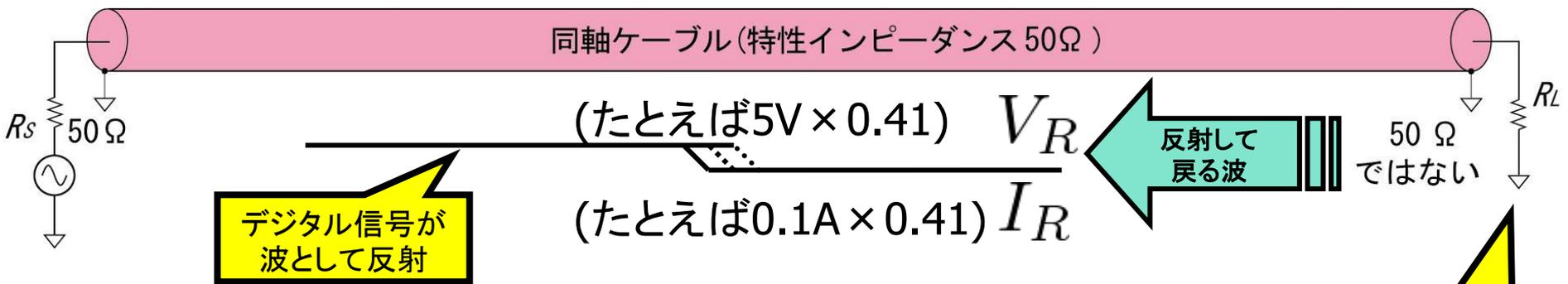
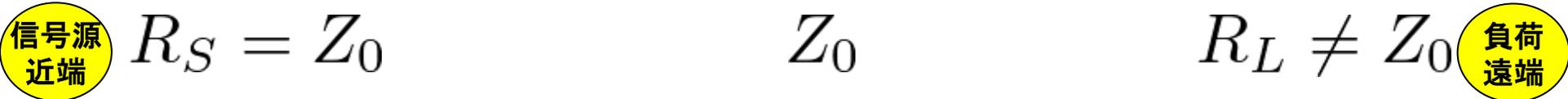
終端不適切による多重反射トラブルの一例



電圧と電流が反射するのは特性インピーダンスと負荷抵抗が一致してないから



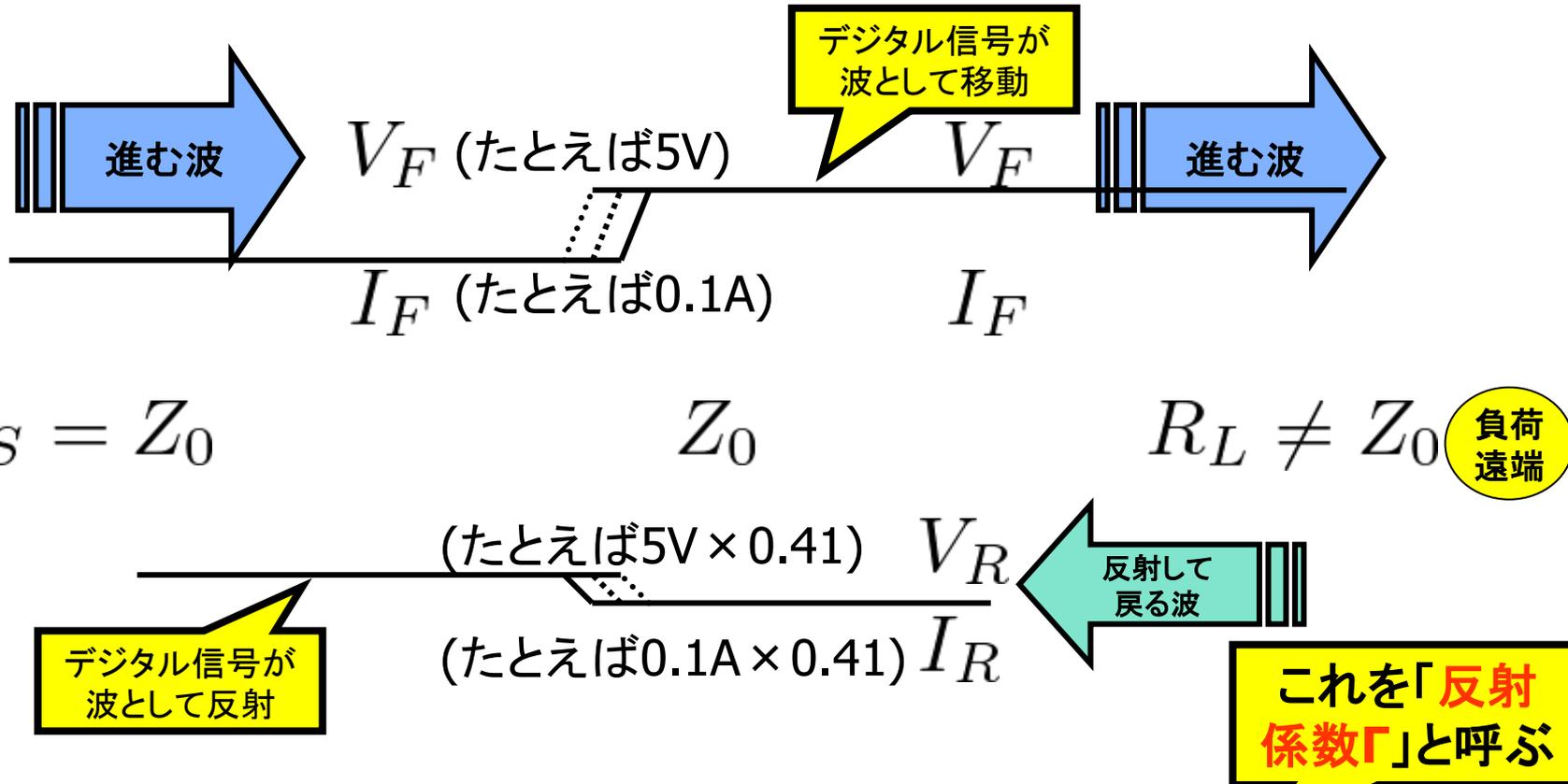
同軸ケーブルで説明しているが基板のパターンも同じ



厳密には電流は「密度波」です

$R_L = 120\Omega$ のときに左記の0.41

電圧と電流が反射する率「反射係数」



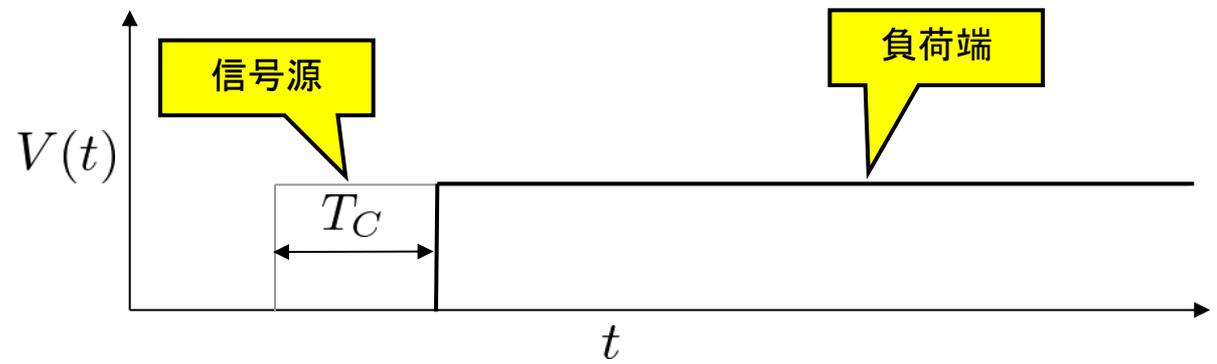
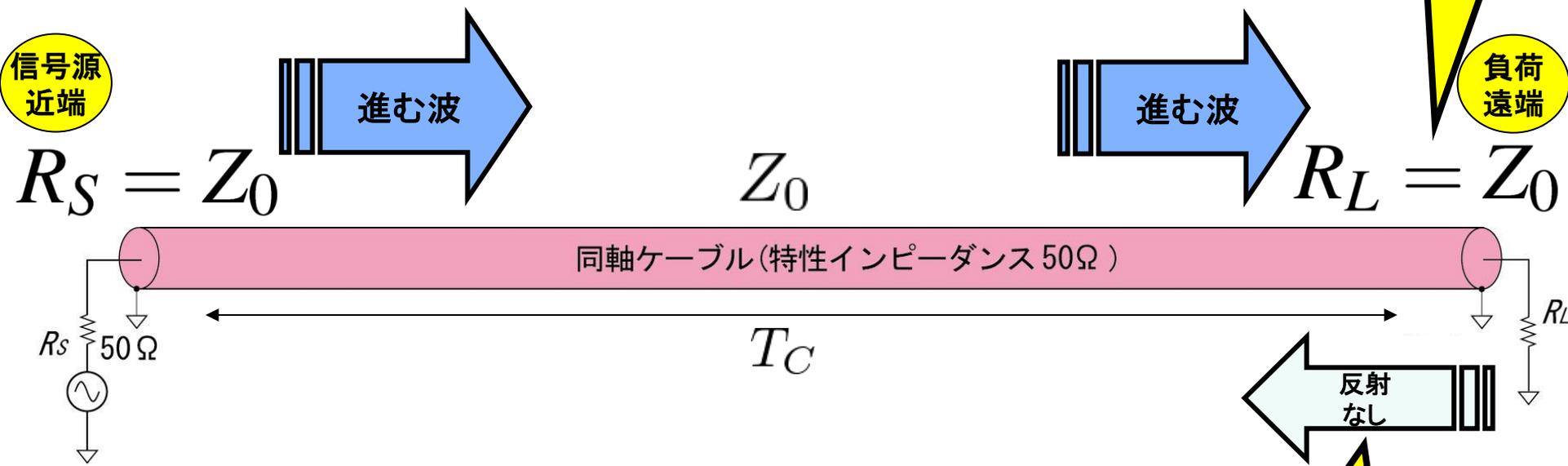
進む波と反射する波の比率は電圧、電流ともども $\frac{V_R}{V_F} = \frac{I_R}{I_F} = \frac{R_L - Z_0}{R_L + Z_0}$

これを「ミスマッチ」と呼ぶ

(たとえば $R_L = 120\Omega$ なら 0.41)

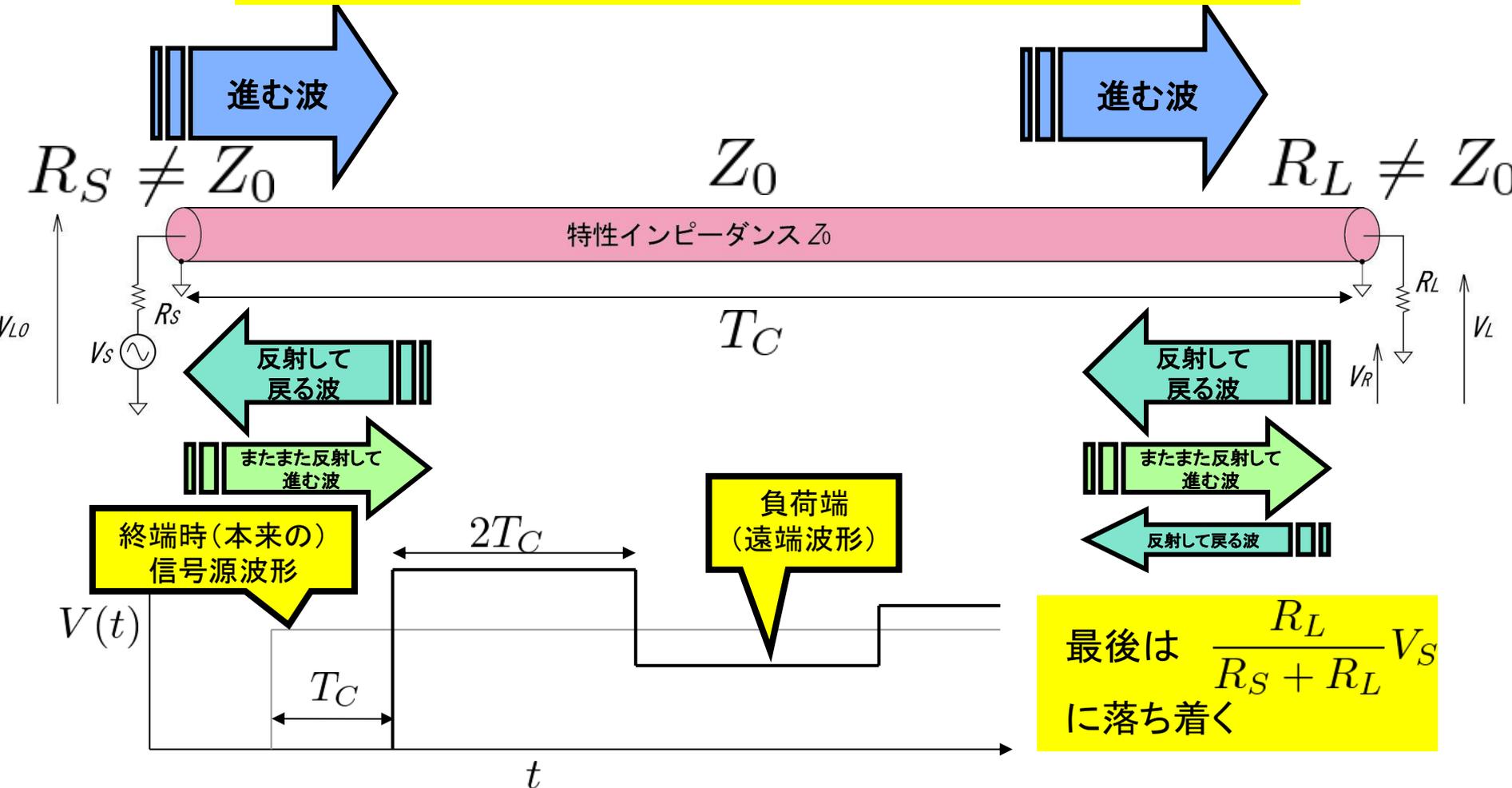
本来は負荷端（遠端）で終端する

同軸ケーブルで説明しているが基板のパターンも同じ



$R_S \neq Z_0$ だと近端でも再反射する (多重反射)

信号源のインピーダンスも異なっていると、反射して戻ってきた信号がまたそこでも再反射してしまう(多重反射)



最後は $\frac{R_L}{R_S + R_L} V_S$ に落ち着く

Q 「送り側（近端）終端はどうか？」

A 「ポイント**to**ポイントなら問題ありません」

◆ 基本は遠端終端

◆ デジタル回路では5Vを送って5Vを受ける

- $R_S = R_L = Z_0$ だと振幅が1/2になり、正しくレベルを伝えられない！
何とかならないか？ ⇒ 「近端終端というものを聞いたが？」

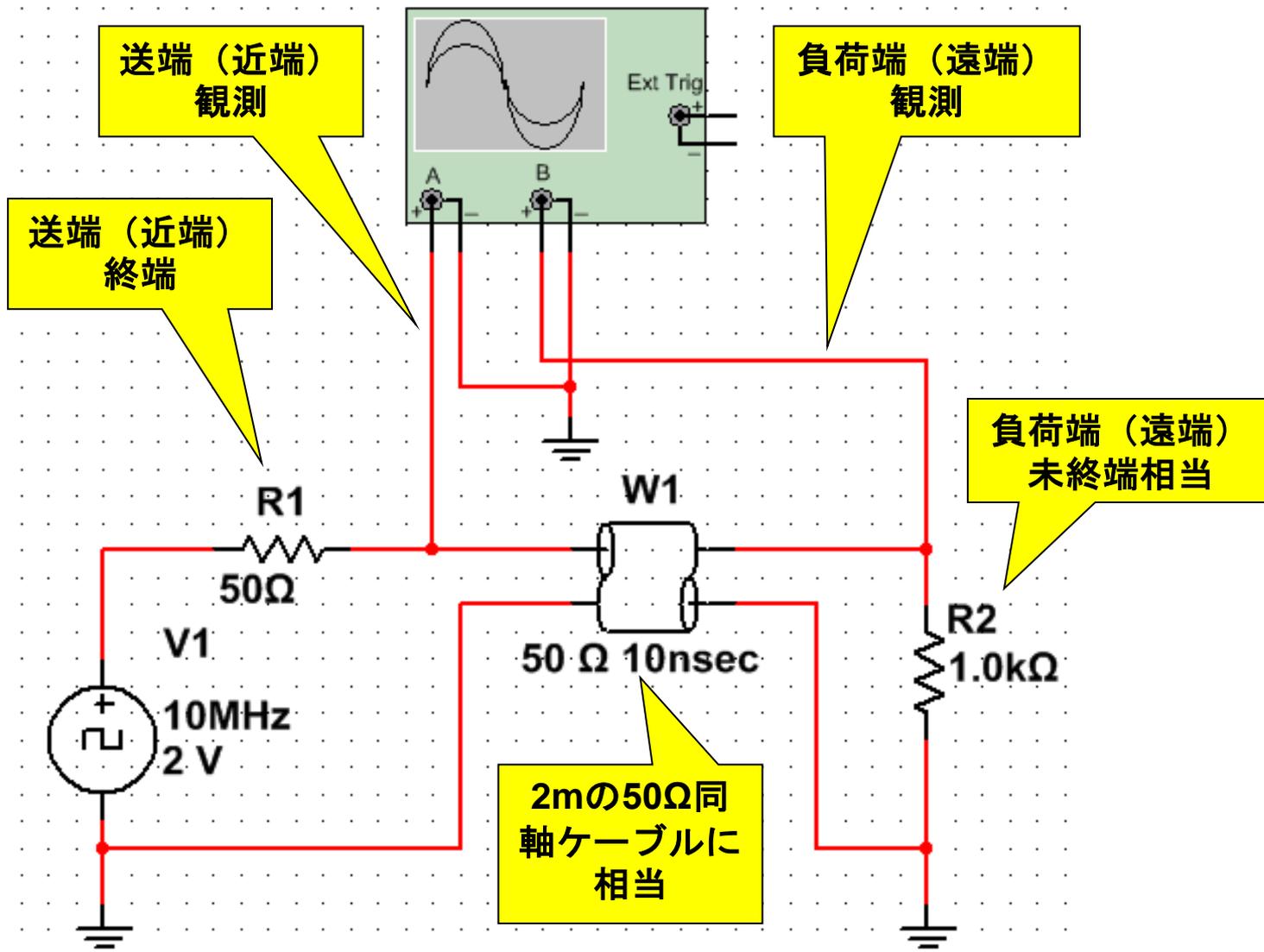
◆ 「送端終端」つまり 「近端終端」でもポイントtoポイントの場合は問題ない

- 近端に戻ってきたときの再反射が無いから

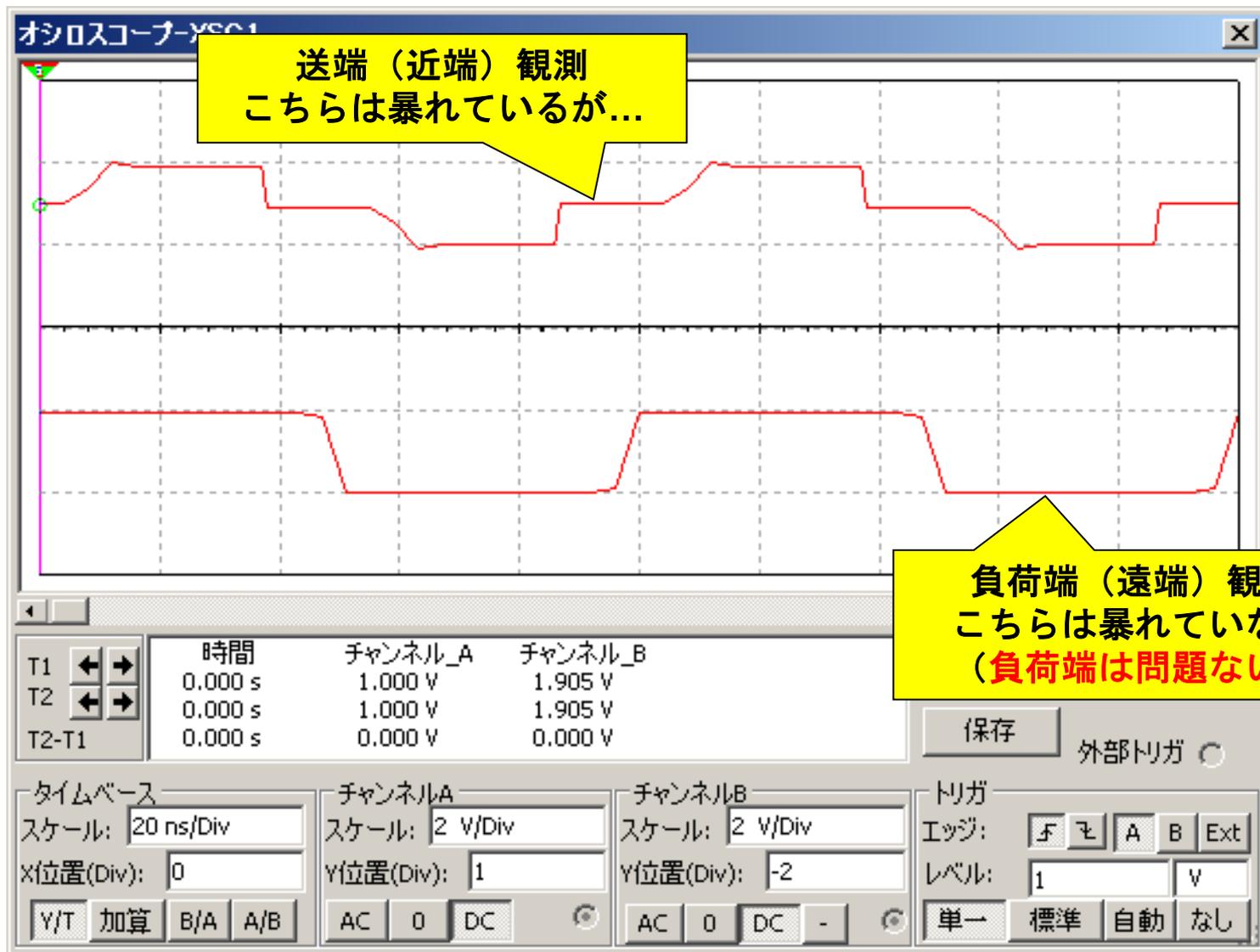
◆ 次のスライドでシミュレーション結果を示す

- ポイントtoマルチポイントの場合は問題あり
- 途中では波形は乱れている

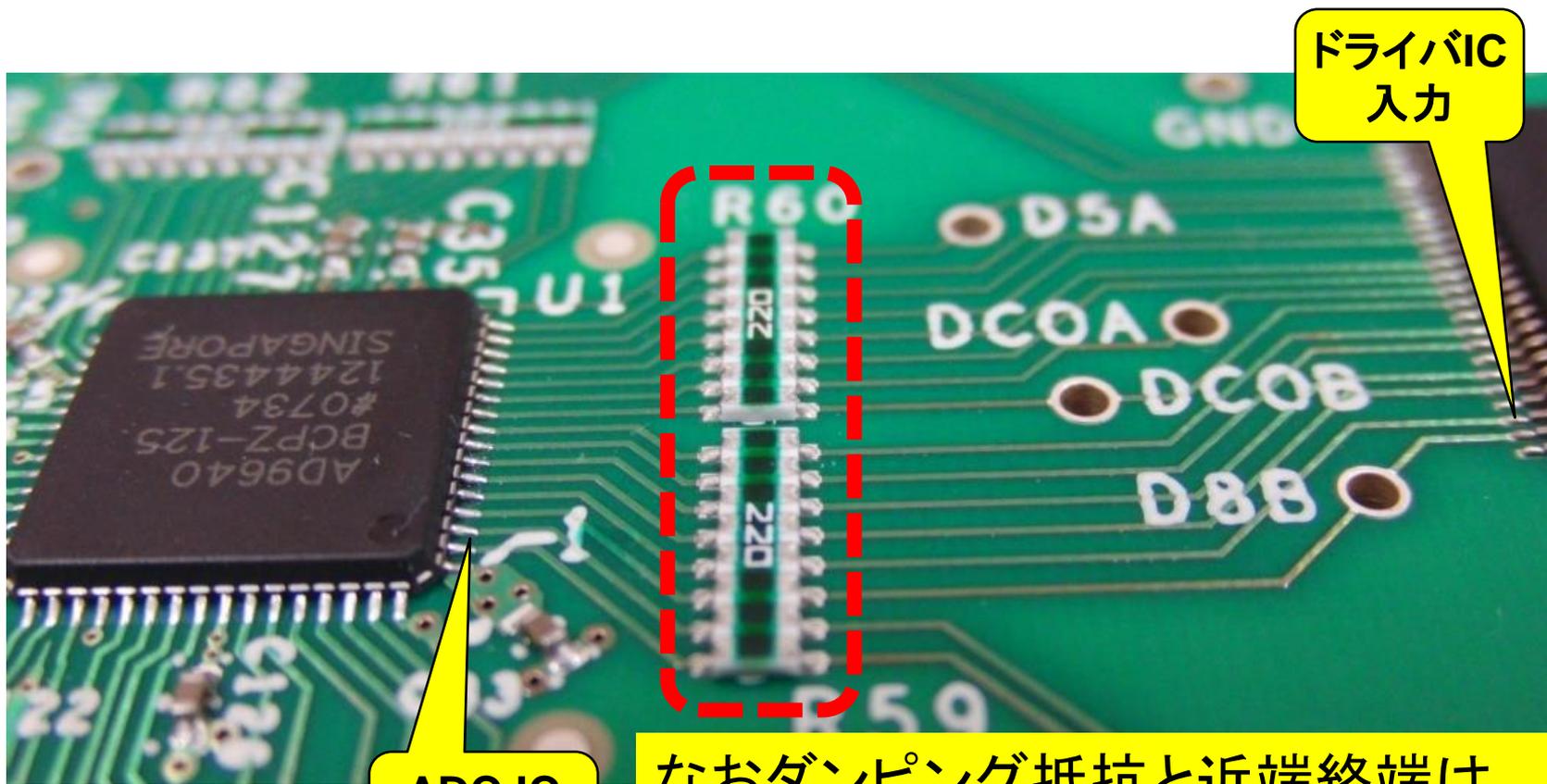
NI Multisimで見てみる ①シミュレーション回路



NI Multisimで見てみる ②シミュレーション結果



ADI高速ADC評価ボードでの例（これはダンピング抵抗とも言えるが）



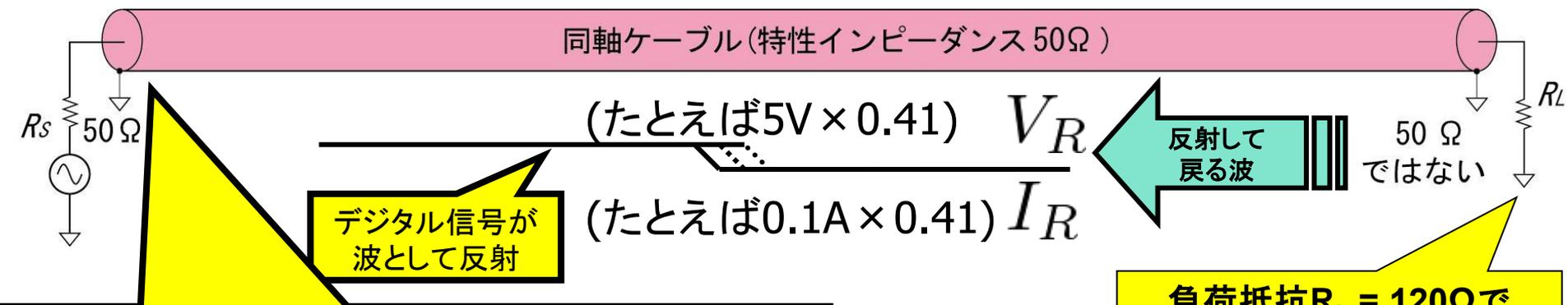
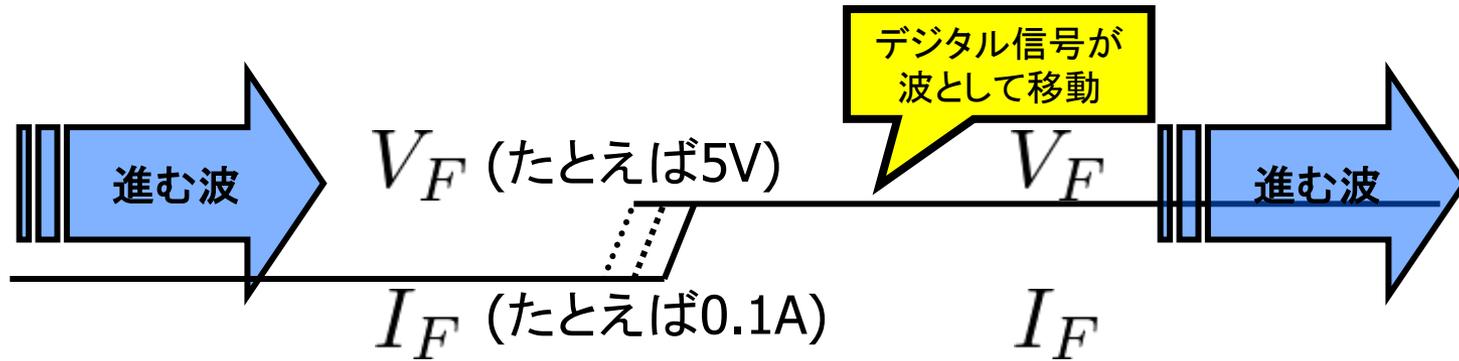
ADC IC
出力

なおダンピング抵抗と近端終端は物理的振る舞いは別のものなので注意



2. 反射のようすと 特性インピーダンスを 観測できる**TDR**測定

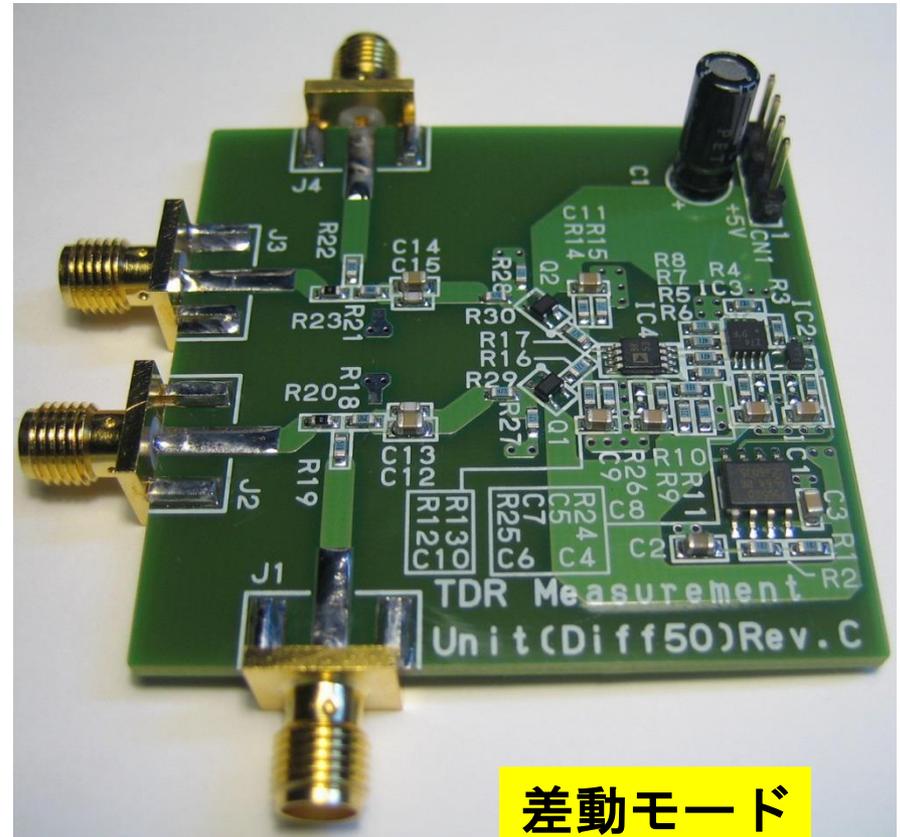
反射を送信端（近端）で観測するのが**TDR**計測



信号源からステップ信号を入力し、反射波形（信号源波形との合成）を近端で観測することが「**TDR測定**」

実験で使用した同相／差動TDR用ステップ信号発生回路

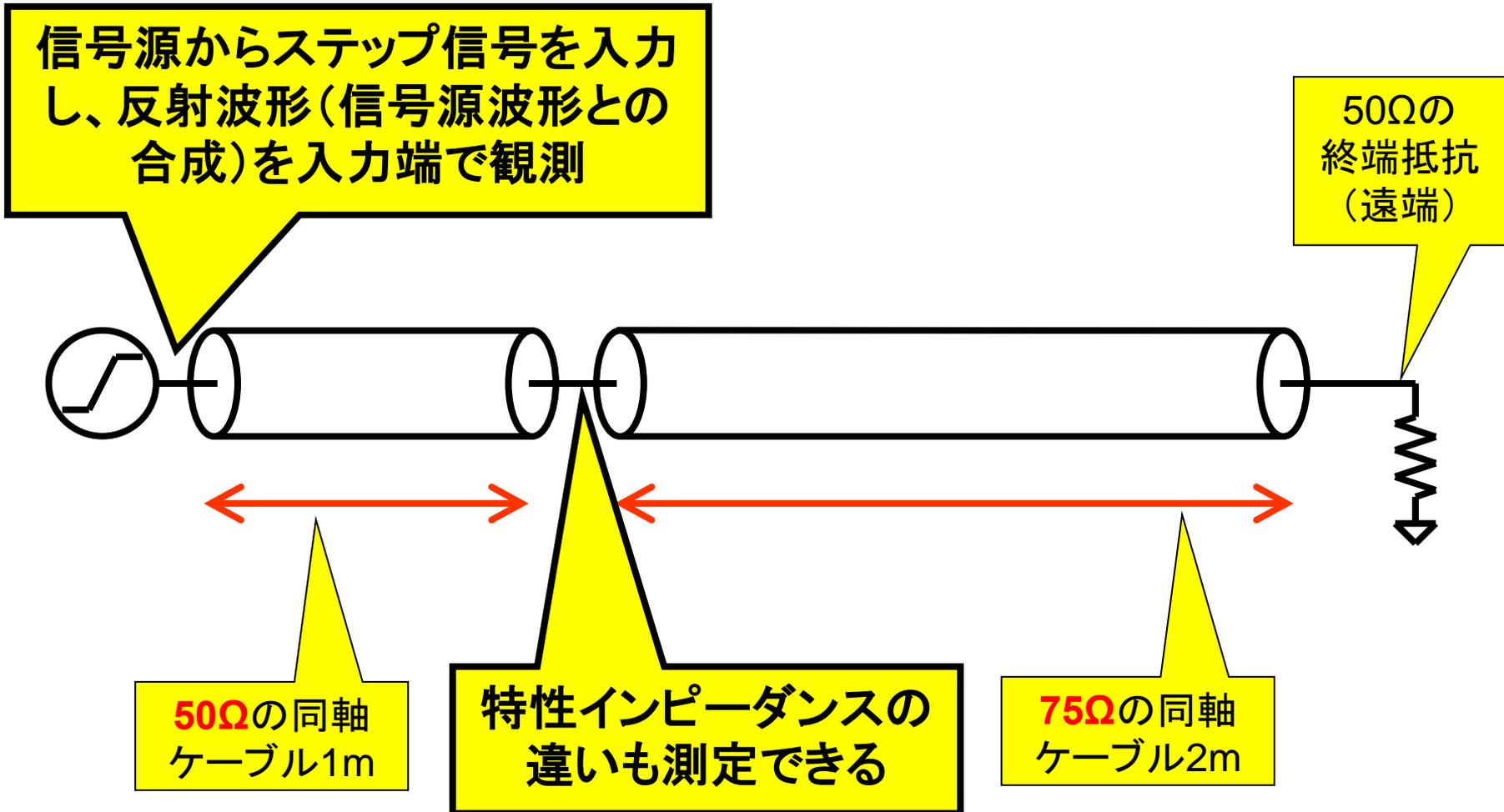
同相モード
TDR用基板



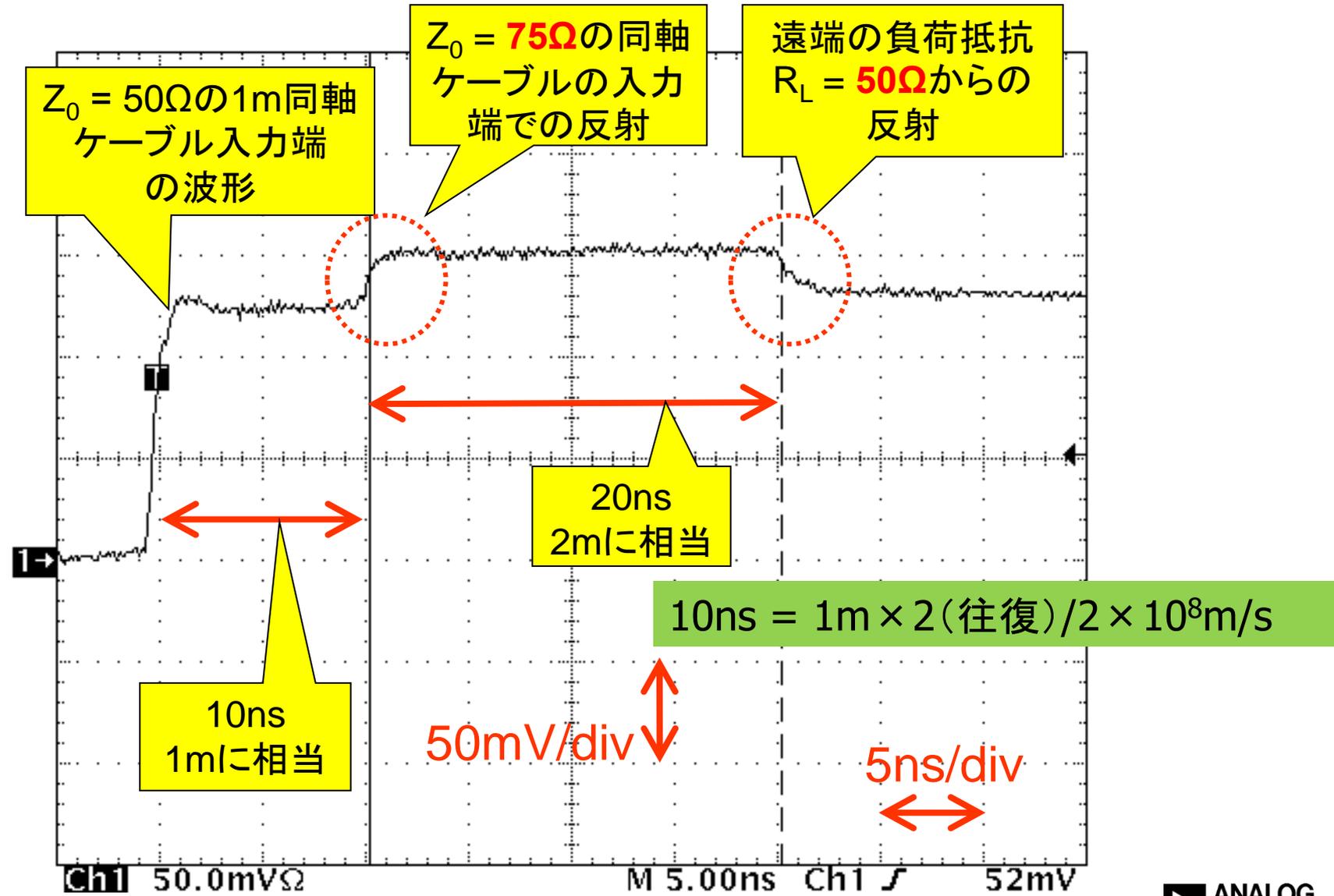
差動モード
TDR用基板

P板.com 「パネルdeボード」 サービスで実験治具購入可能 <http://bit.ly/HjN2Dy>

実際にTDR測定してみた例（実験系の説明）



実際にTDR測定してみた例（結果）





特性インピーダンス値の求め方など . . . **TDR**に関する参考文献

- ◆ 石井 聡; 信号が正しく伝わる度合いがわかる！配線診断『TDR測定』
(3回短期集中連載), トランジスタ技術 2012年1月号~3月号, CQ
出版社
- ◆ 漆谷 正義; シンプルなTDR測定アダプタの製作, RFワールド, No. 13,
CQ出版社
- ◆ Selected Articles on Time Domain Reflectometry Applications,
Application Note 75, Mar. 1966, Hewlett Packard
- ◆ テクトロニクス社でも多数あり
 - http://www1.tek.com/ja/applications/design_analysis/time-domain-reflectometry.html

【後編】のスライドでは…



ここで説明したTDRを
以降に説明する差動信号伝送に
同相TDR/差動TDRとして
適用する例を【後編】で示します



3. 高速に安定して データ伝送するための 差動データ伝送

的確にデータ・コンバータと高速にデータ転送する 「難題」

- ◆ **グラウンド面AGND/DGND間の不連続**（ベタで設計されていることも多いが）
 - 多数のビア内層ヌキでGNDが分断されることもある
- ◆ **クロック・ラインはデジタル信号であり、アナログ信号である**
 - アナログ信号経路に影響を与えないこと
 - デジタル信号経路から影響を受けないこと
 - ジッタの少ない高純度な信号であること

的確にデータ・コンバータと高速にデータ転送する 「難題」 (つづき)

- ◆ 十分な**ノイズ・マージン (アイの開口)** をもってデータを転送
- ◆ 正しい**タイミング・マージン**をもってデータを転送
 - 複数の転送レーンがあるのでやっかい
- ◆ **EMC (与干渉、被干渉) の問題**

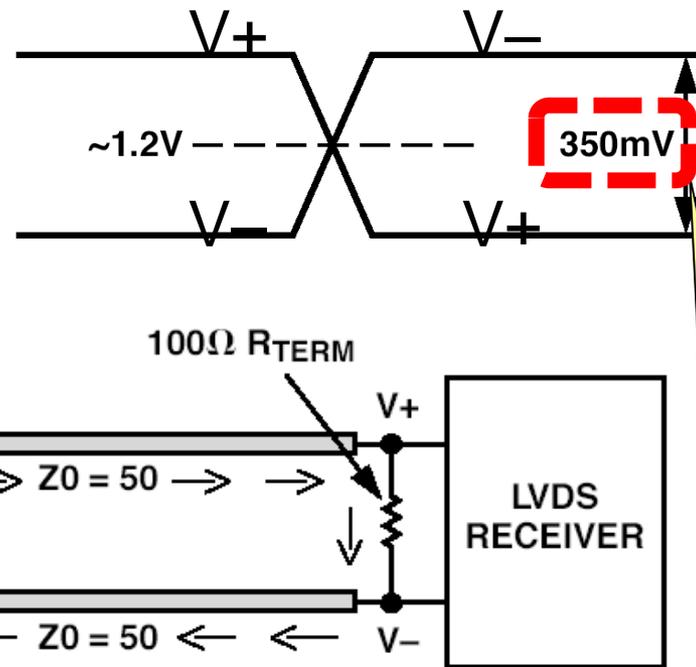
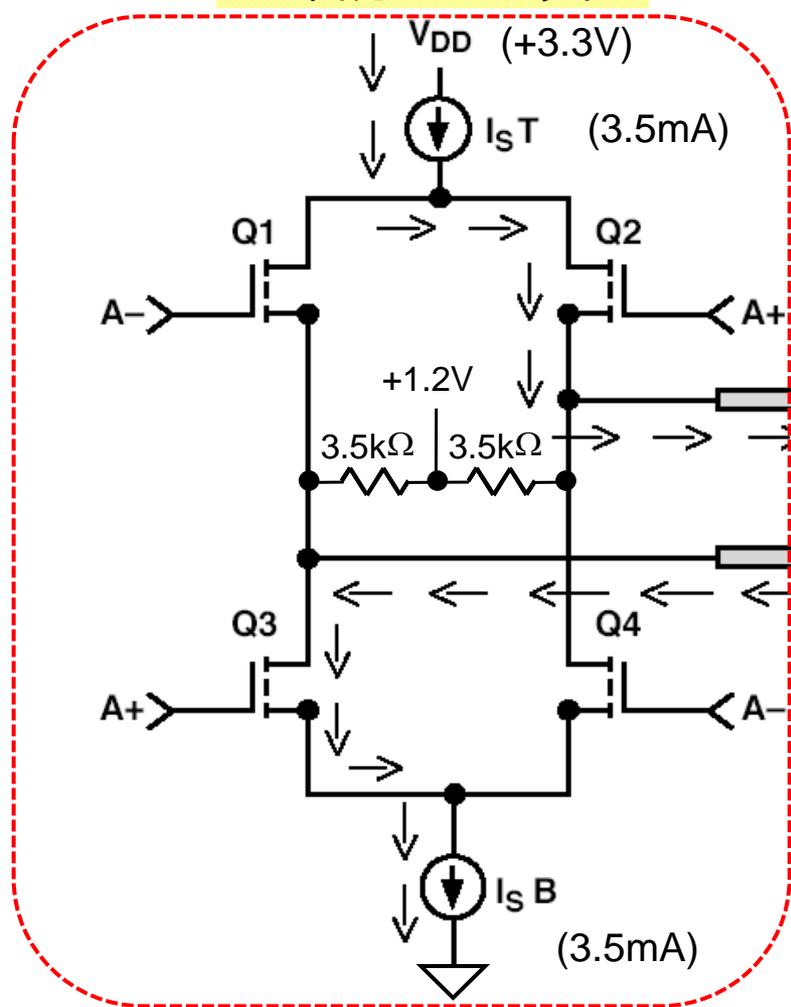
差動伝送を活用することがベスト！

差動伝送のメリット

- ◆ **低信号レベル**でも高い信号純度で安定した伝送が可能
 - 低消費電力も実現できる
- ◆ 同相モード・ノイズや同相モードの**レベル変動の影響を受けにくい**
 - 低ジッタを実現できる
- ◆ 外部に余計な**電磁界を放出しない**、逆に外部電磁界からの影響を受けにくい
 - EMC問題に強い
- ◆ 理想的とも言える伝送方式

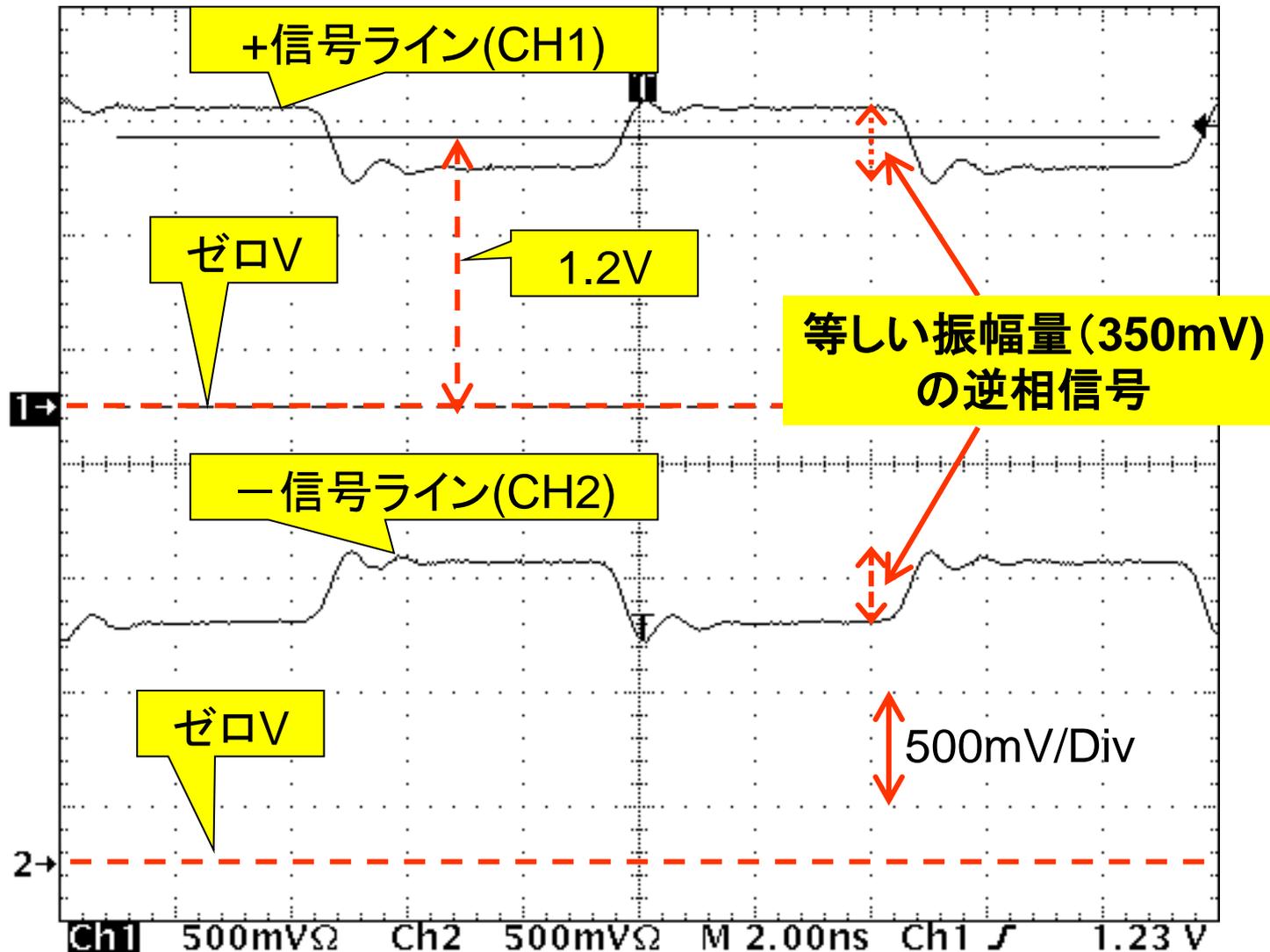
LVDSは差動+低レベルなので高速伝送には便利

ADC出力LVDSドライバ



振幅レベルがかなり小さい！

AD9514のLVDS 200Mbps 出力を測定





パラレルLVDS I/F 高速ADC (AD9642)



14-Bit, 170 MSPS/210 MSPS/250 MSPS, 1.8 V Analog-to-Digital Converter (ADC)

AD9642

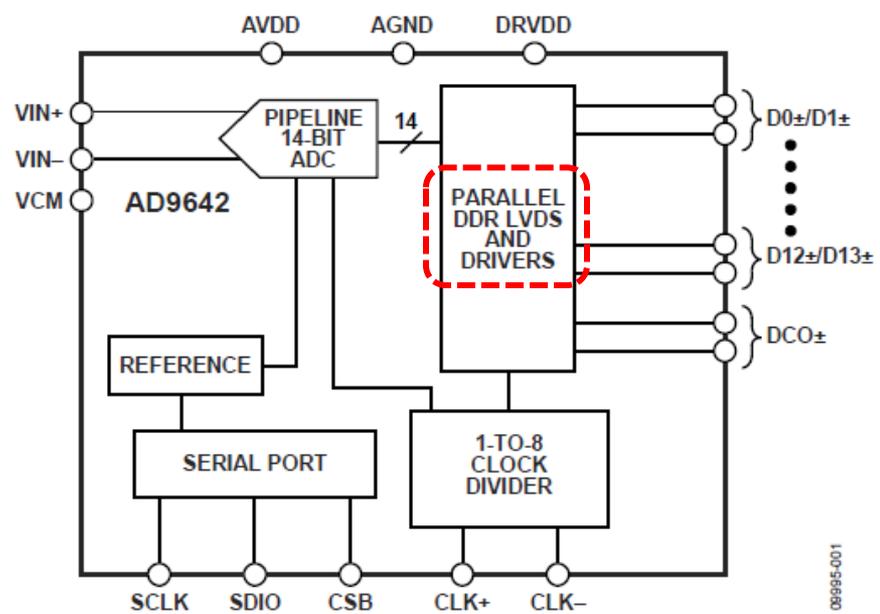
FEATURES

- SNR = 71.0 dBFS at 185 MHz A_{IN} and 250 MSPS
- SFDR = 83 dBc at 185 MHz A_{IN} and 250 MSPS
- 152.0 dBFS/Hz input noise at 200 MHz, -1 dBFS A_{IN} , 250 MSPS
- Total power consumption: 390 mW at 250 MSPS

1.8 V supply voltages

- LVDS (ANSI-644 levels) outputs**
- Integer 1-to-8 input clock divider (625 MHz maximum input)
- Sample rates of up to 250 MSPS
- IF sampling frequencies of up to 350 MHz
- Internal ADC voltage reference
- Flexible analog input range
 - 1.4 V p-p to 2.0 V p-p (1.75 V p-p nominal)
- ADC clock duty cycle stabilizer
- Serial port control

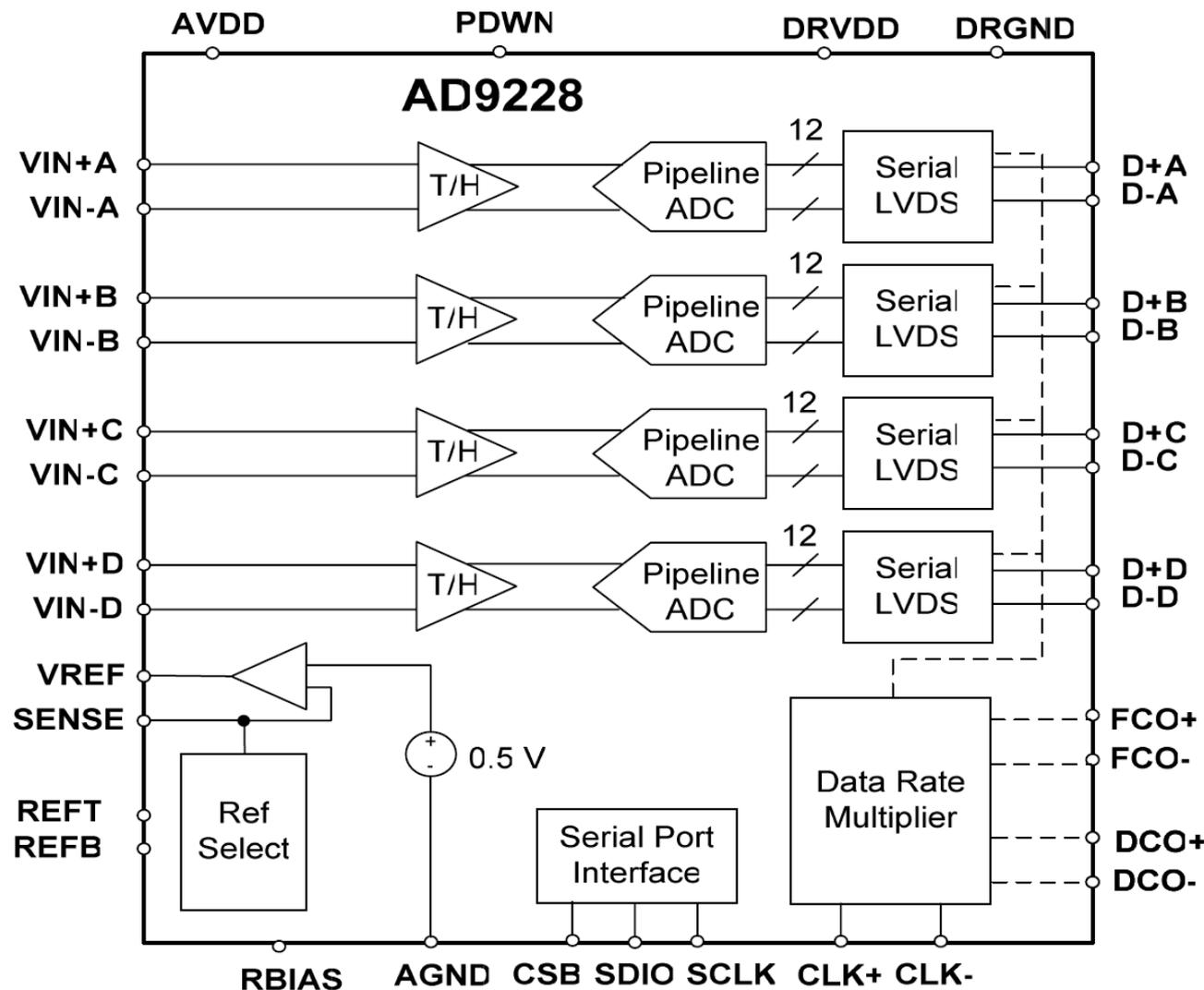
FUNCTIONAL BLOCK DIAGRAM



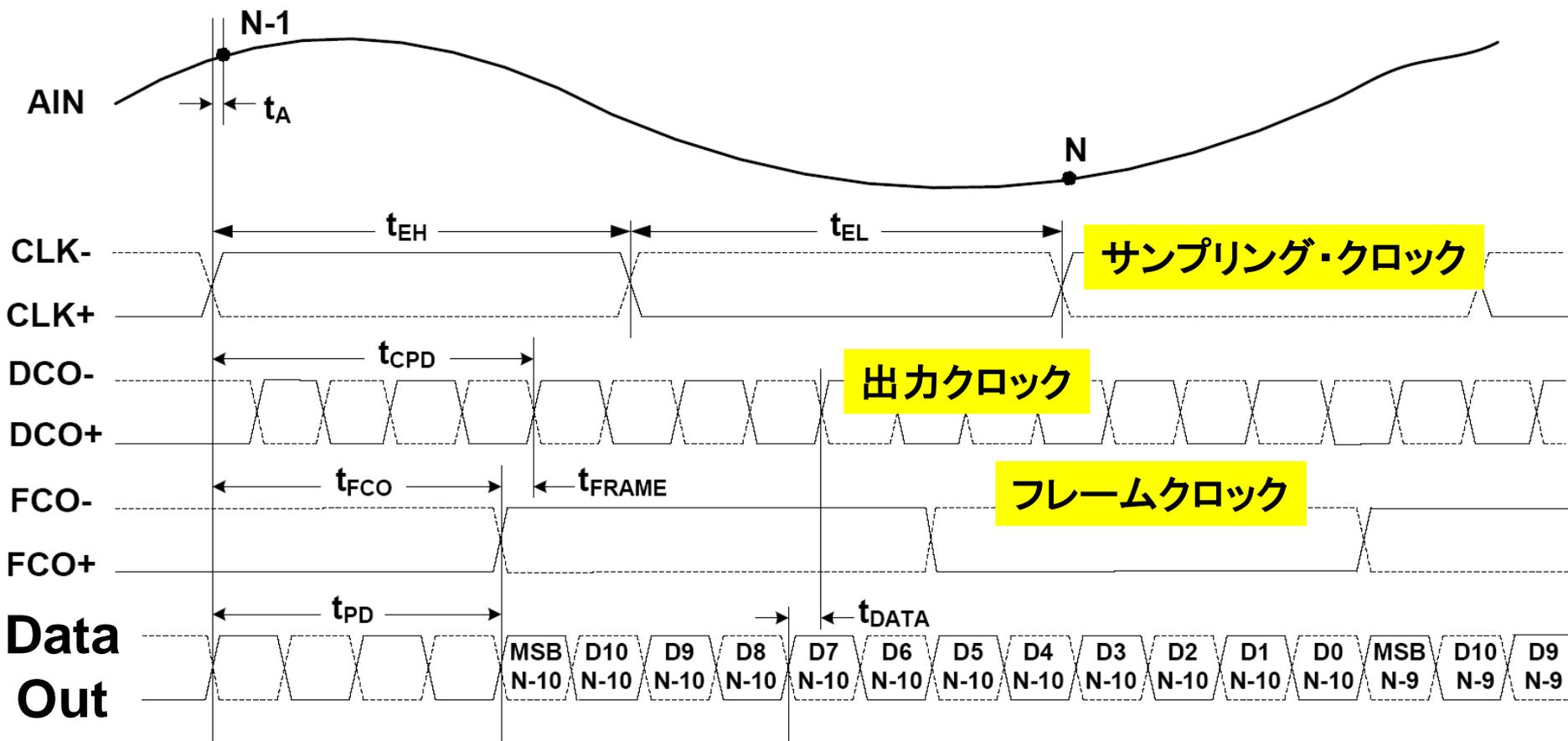
Appendixにアナログ・デバイセズのLVDS I/FのADC群を掲載



シリアルLVDS I/F ADC AD9228 Quad, 12bit, 40/60MSPS



AD9228のLVDSデータ出力タイミングチャート





4. FPGAとのやりとり



Xilinx ISEでLVDSのInstantiate例

▪ RTL (VHDL)

IBUFDS_i0 IBUFDS

差動バッファ・コンポーネント

```
generic map (  
  DIFF_TERM => FALSE, -- 差動終端Off  
  IBUF_LOW_PWR => TRUE, -- LowPwr設定  
  IOSTANDARD => "DEFAULT")
```

```
port map (  
  O => ToInternalOut, -- IBUF出力  
  I => RX_p, -- ポート+入力  
  IB => RX_n -- ポート-入力  
);
```

OBUFDS_i0 OBUFDS

差動バッファ・コンポーネント

```
generic map (  
  IOSTANDARD => "DEFAULT",  
  SLEW => "SLOW") -- スルーレート  
port map (  
  O => TX_p, -- ポート+出力  
  OB => TX_n, -- ポート-出力  
  I => FromInternalIn -- OBUF入力
```

);

◆ UCF (User Constraint File)

```
NET "RX_p" IOSTANDARD = LVDS_25;  
NET "RX_n" IOSTANDARD = LVDS_25;  
NET "TX_p" IOSTANDARD = LVDS_25;  
NET "TX_n" IOSTANDARD = LVDS_25;
```

もしくはRTLの
generic_mapで直接記述
してもよい(以下)

【generic mapでの記述方法】

```
generic map (  
  IOSTANDARD => "LVDS_25",
```

Altera Quartus IIでLVDSのInstantiate例

◆ QCF (Quartus II Settings File)

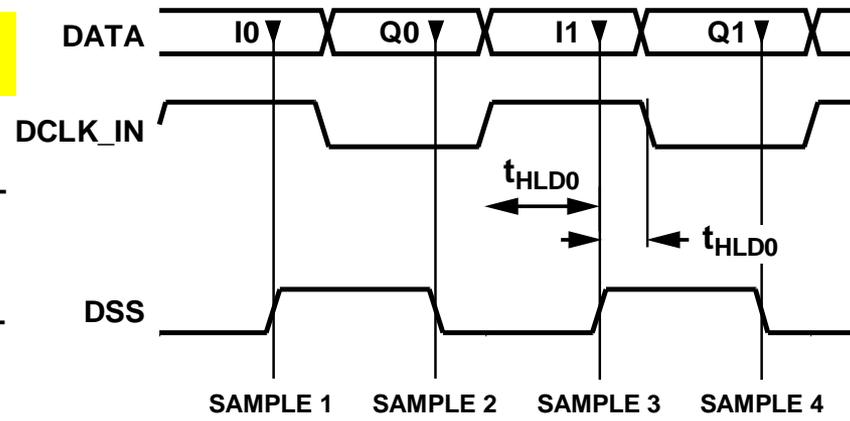
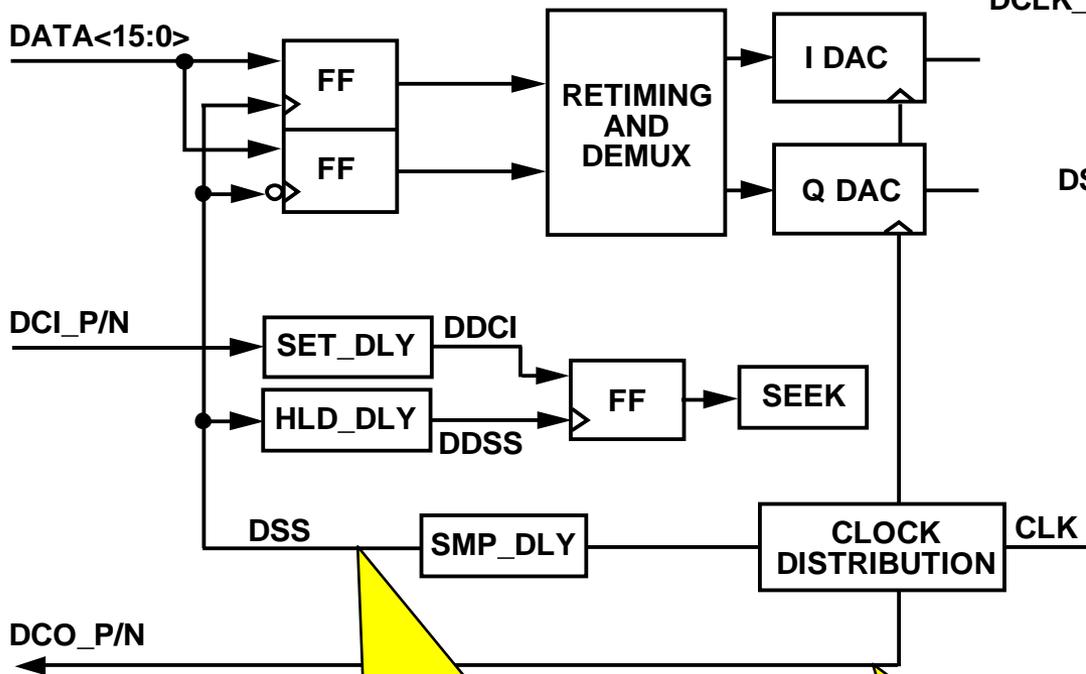
```
set_instance_assignment -name IO_STANDARD LVDS -to Rx  
set_instance_assignment -name IO_STANDARD LVDS -to Tx
```

これでIOポート名Rx（とRxバー）のレシーバ・ペア、Tx（とTxバー）のトランスミッタ・ペアが生成されます。各バー側の信号はツールが適切なピンを割り当ててくれます

※ AlteraではRTL内にI/Oバッファの詳細を記述する必要はありません。Assignment Editor内のIOStandardアサインメントを使用して、希望のI/O規格を割り当てることを推奨しています

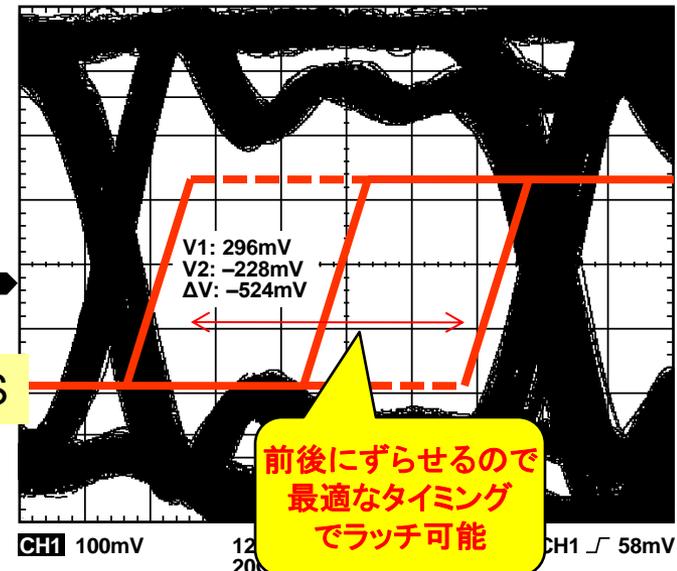
FPGA→DACのLVDS I/Fタイミング最適化

高速DAC AD9780を例にしている



Data Sampling Signal (DSS)
 データを実際にラッチするタイミングCK
 前後にずらせる

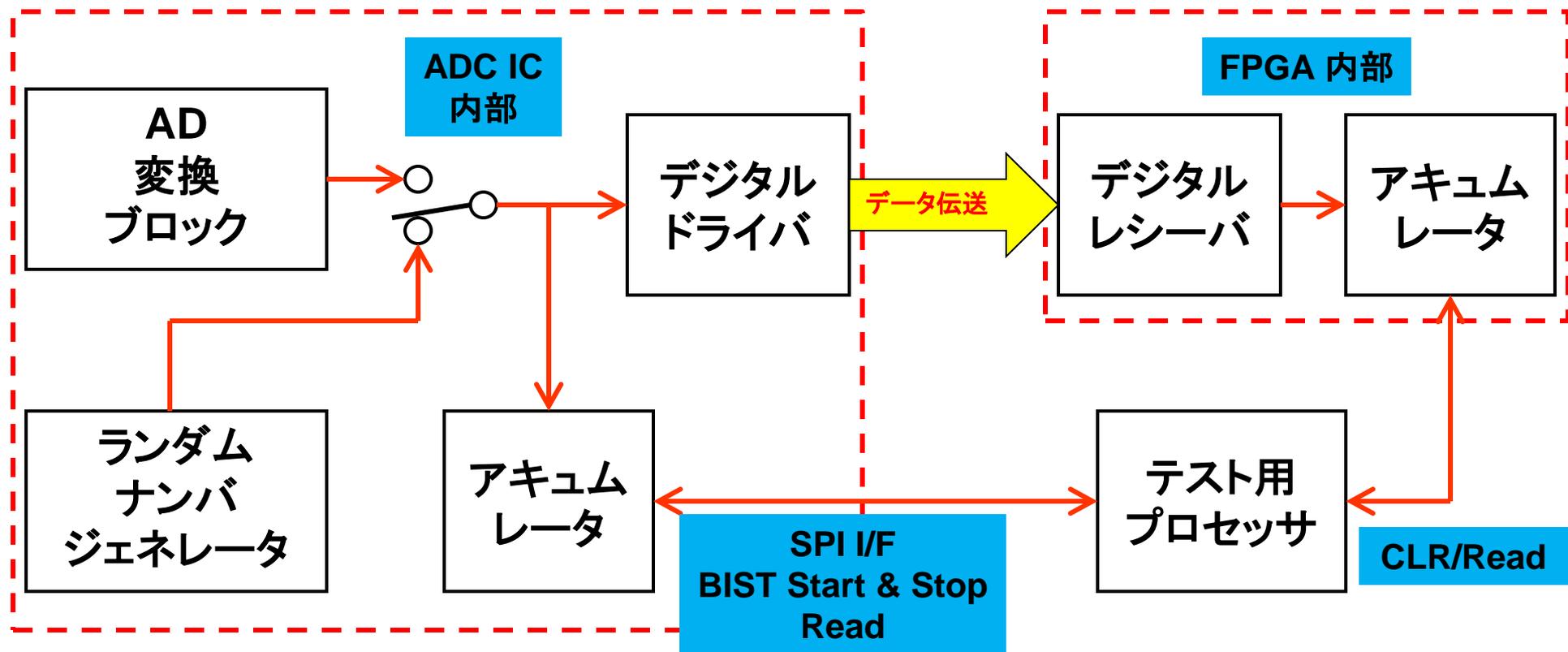
Data Clock
 データをFPGAから得るタイミングCK



前後にずらせるので最適なタイミングでラッチ可能

コンバータICのBuilt In Self Test (BIST) 機能を有効に活用する

- ◆ ADコンバータ：AD9251やAD964xなどはビルトイン・セルフテスト (BIST) 機能をもっておりデータ転送品質を確認できる



まとめ

- ◆ 信号は反射すること（多重反射も）を理解しておく
- ◆ 「終端」という概念を理解する
- ◆ 差動データ伝送（LVDSなど）をうまく活用する
- ◆ 転送タイミング・マージンは十分に評価する
- ◆ 後編では差動データ伝送に関することをより深く

