



想像を超える可能性を
AHEAD OF WHAT'S POSSIBLE™

JESD204B

超高速デジタル伝送に必要な アナログ技術と開発のポイント

ギガファーム株式会社 山崎 隆行
代表取締役

ギガファーム社 紹介



▶ FPGA高周波ボード開発の専門知識と経験を提供する企業

- FPGAボード、コンバータボード、基板設計
- JESD204Bリファレンスデザイン開発
- JESD204B技術相談、トレーニング
- 伝送線路解析、IBIS-AMIシミュレーション



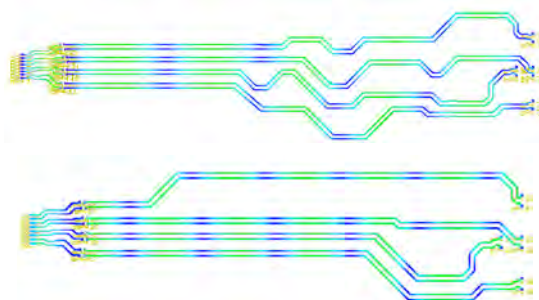
東京都町田市



JESD204B基板



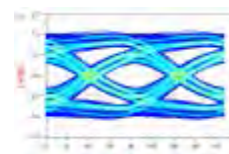
基板の分析



JESD204B配線 (12.5Gbps)

JESD204Bコンサルティング

基板の計測



シミュレーションEYEパターン



計測 12.5GbpsEYEパターン

コンサルティング

配線のアドバイス

回路のアドバイス

FPGAのアドバイス

開発請負

概要

- ▶ 最新の高速ADC、DACはJESD204B装備により大きく変わりました。高速シリアル（SERDES）を最大12.5GBPS/マルチレーン接続できるため、広帯域幅のサンプルデータを、少ない配線本数でFPGAデバイスと回路接続できるようになりました。パラレル製品からPCBパターン数は大幅に減少しましたが、超高速な伝送路に変わったことによる問題点があります。基板材料や伝送路ロス、スルホールや配線パターンなどの各設計には高周波アナログ技術を使用した見直しが必要になります。
- ▶ 本セミナーでは、アナログ・デバイセズ社の最新JESD204B高速ADC/DAC評価ボードとFPGA評価ボードの接続を実例とした設計解析方法を紹介します。
- ▶ 12.5Gbps高速シリアル線路の電磁界解析とIBIS-AMI解析におけるEYEパターンを確認し、実機検証では、JESD204Bの波形観測方法を紹介します。
- ▶ 受講対象
- ▶ JESD204Bのコンバータ製品と、FPGAを組み合わせた開発を検討される設計者

セッションアジェンダ (目次)

- ▶ JESD204Bの概要
 - パラレルLVDSインタフェースの問題点
 - JESD204Bインタフェース
 - DACボードPCBの比較
 - JESD204Bのメリット
 - JESD204Bの注意点
- ▶ JESD204Bの導入事例
 - JESD204BコンバータとFPGA接続ピン
 - FPGA接続の注意点
 - FPGA接続の基礎とIPコア
 - FPGA開発ツール (VIVADO) 評価機能
 - アイパターンの確認
- ▶ 低速なJESD204B設計実例紹介
 - JESD204Bの設定順序 (アニメーション)
 - JESD204B IPの入出力
 - 評価ボードの注意点
 - JESD204B IPとFPGA使用率
- ▶ 高速なJESD204B開発の注意点
 - 通信レート12.5Gbps高速サンプリングデモの紹介
 - 評価ボードにみる基板設計の注意点
- ▶ JESD204B伝送路設計の注意点
 - JESD204Bの設計課題
 - IBIS-AMI伝送線路シミュレーション
 - 基板配線パターンの電磁界解析方法
 - シミュレーションと解析波形の比較
- ▶ 高速JESD204Bの計測方法と注意点
 - 高速JESD204Bの計測方法と注意点
 - 計測、デバッグしやすい基板設計
- ▶ JESD204Bのまとめ
 - まとめ
 - セミナー特典とアンケートのお願い



想像を超える可能性を
AHEAD OF WHAT'S POSSIBLE™

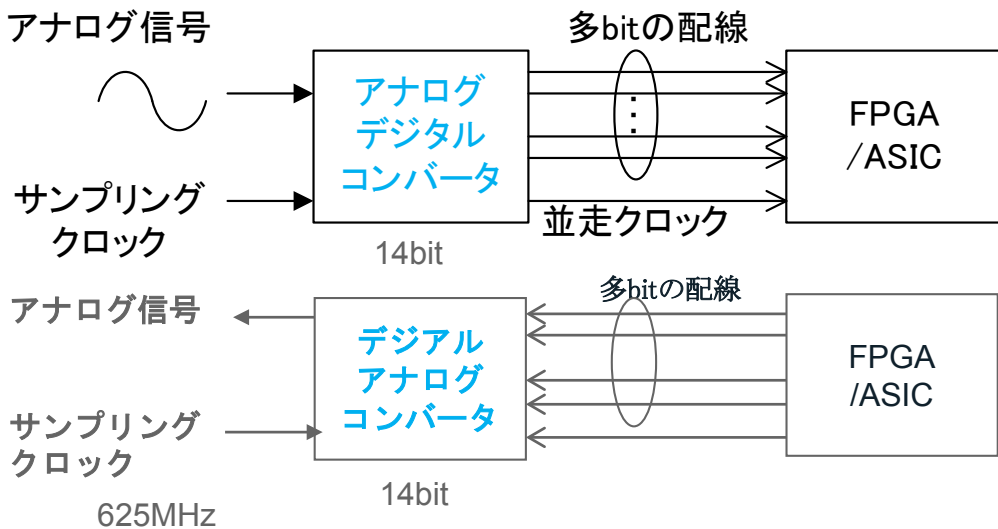
JESD204Bの概要

従来インタフェースとの違い

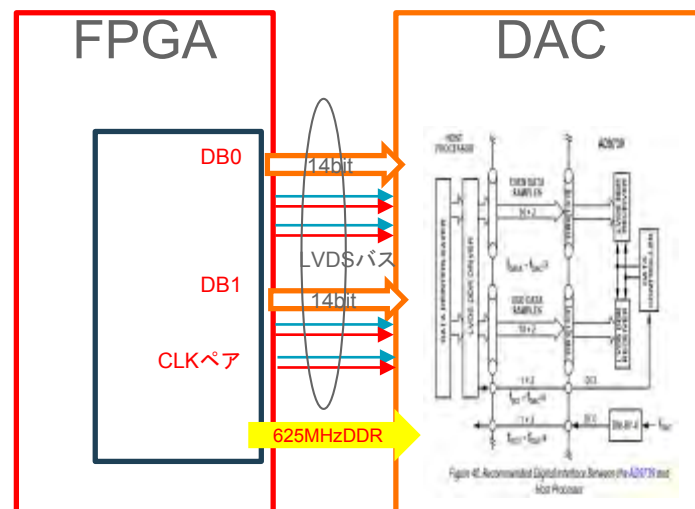
JESD204Bのメリットと注意点

パラレルLVDSインタフェースでの問題点

従来のA/D



DACの事例



AD9739 2.5GSPS 14bit DAC

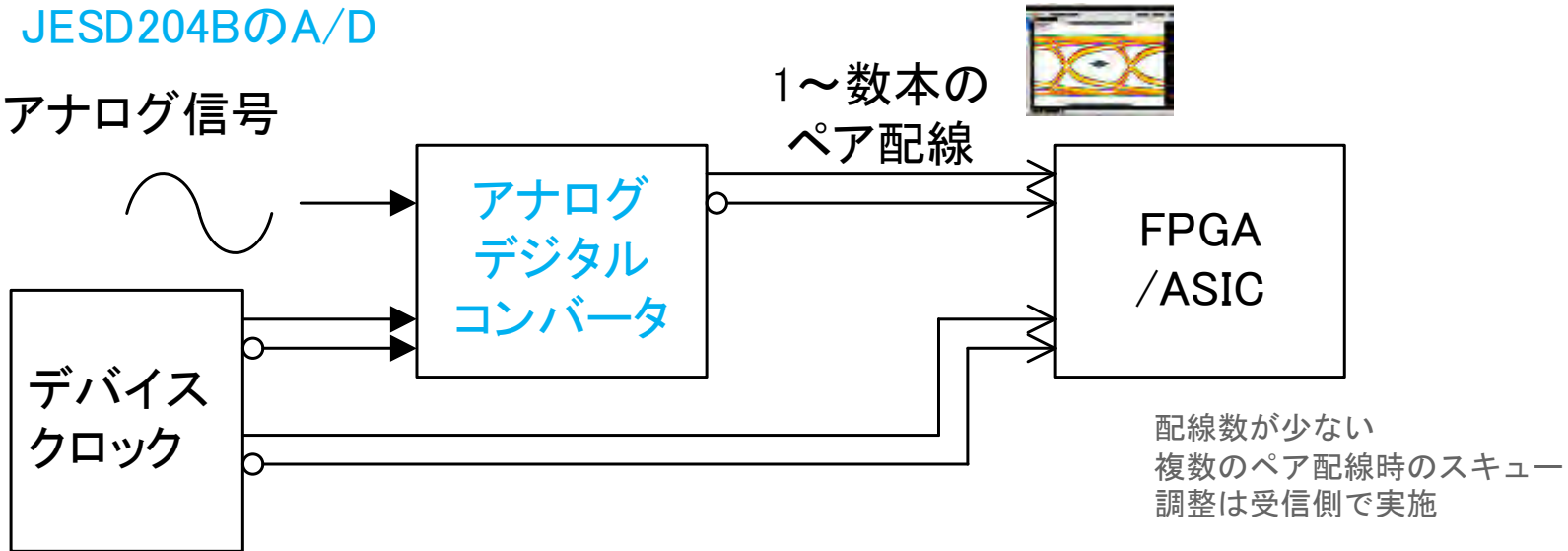
パラレルLVDS 転送レート 1.25Gbps

- ▶ 従来の高速コンバータのパラレルインタフェースでは、
- ▶ Resolutionが高いものでは配線数増加、等長配線が困難
- ▶ サンプリング周波数が高いと、スキュー調整、基板設計が複雑化

JESD204Bインタフェース

JESD204BのA/D

アナログ信号



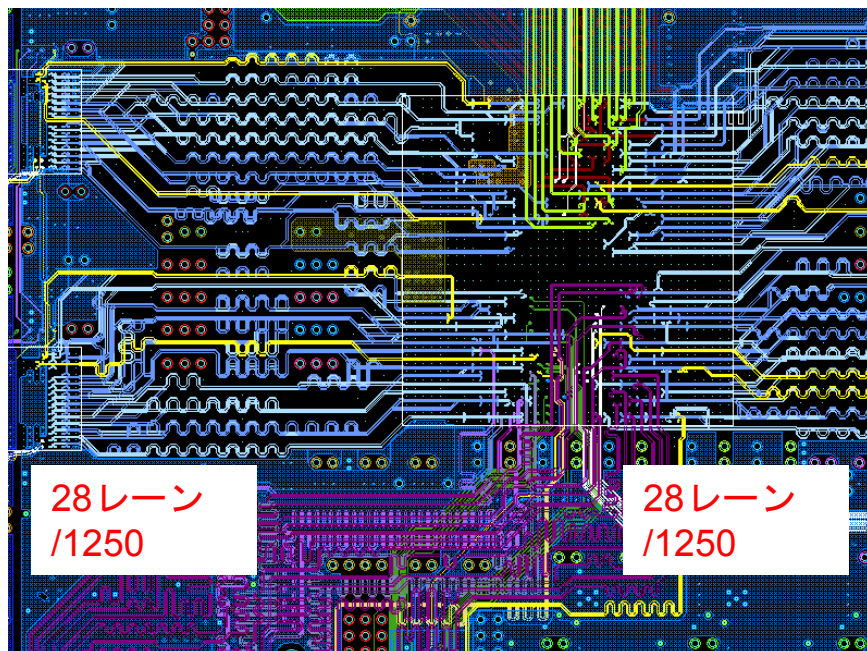
- ▶ FPGAとコンバータを高速シリアルインタフェースで接続する技術
 - JEDEC策定、FPGA : field-programmable gate array
 - 高速シリアルI/F (SERDES、RocketIO、トランシーバー)、JESD204A 3.125Gbps
- ▶ **JESD204B 最大12.5Gbps** (JESD204Aからのスピードアップ)
 - シリアルインタフェース化することで配線数を削減

DACボード 配線パターンの比較

▶ AD9739 2.5GSPS 14bit DAC

▶ LVDSインターフェース

4層 バス配線

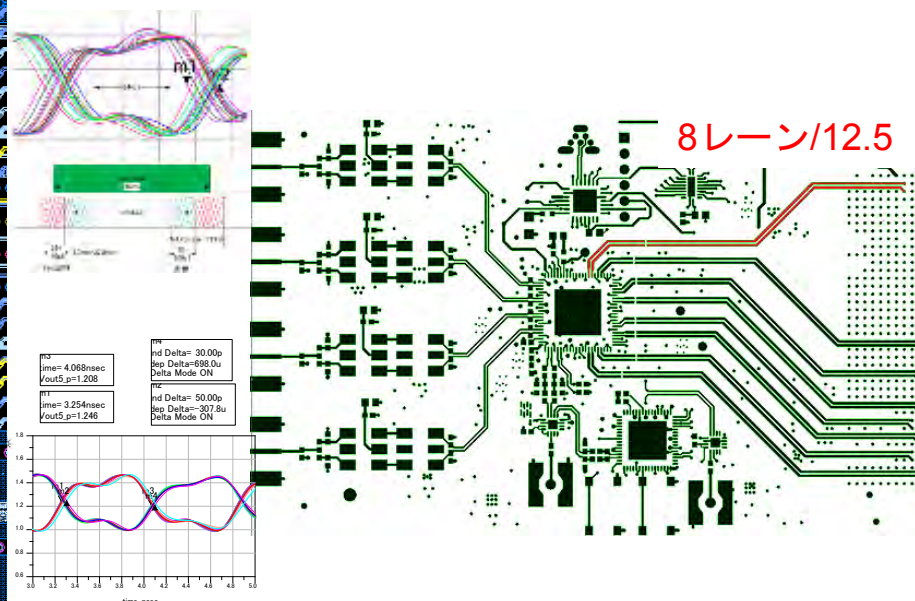


等長配線してもスキューが見える。配線、デバイス内部の影響

- シビアなスキュー調整の限界

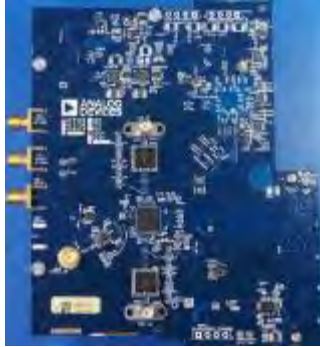
AD9144 2.8GSPS 14bit 4CH

JESD204Bインターフェース



大幅に配線数を減らす。

JESD204Bのメリット



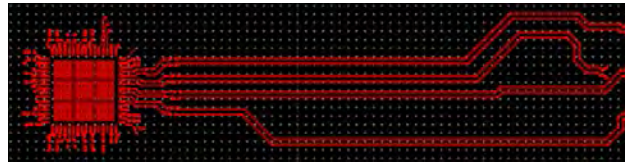
JESD204B基板



JESD204B基板

Laneあたり、312.5Mbps-12.5Gbps

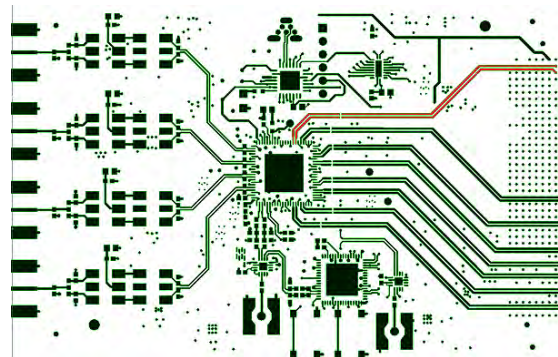
ADC



FPGA

4レーン接続の基板パターン

DAC



FPGA

8レーン接続の基板パターン

- ▶ 高速サンプリングコンバータを少ない配線、面積で利用できる。

JESD204B注意点

▶ 1、JESD204B回路設計

- トランシーバ
- CLK回路
- 電源回路
- FMCコネクタ
- SPI回路

▶ 2、基板設計

▶ 3、FPGA設計

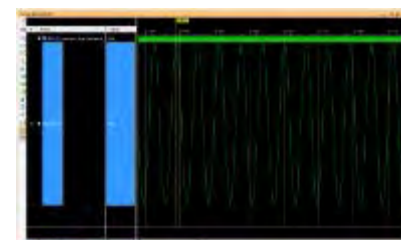
▶ 4、事前評価

▶ 5、解析、計測技術

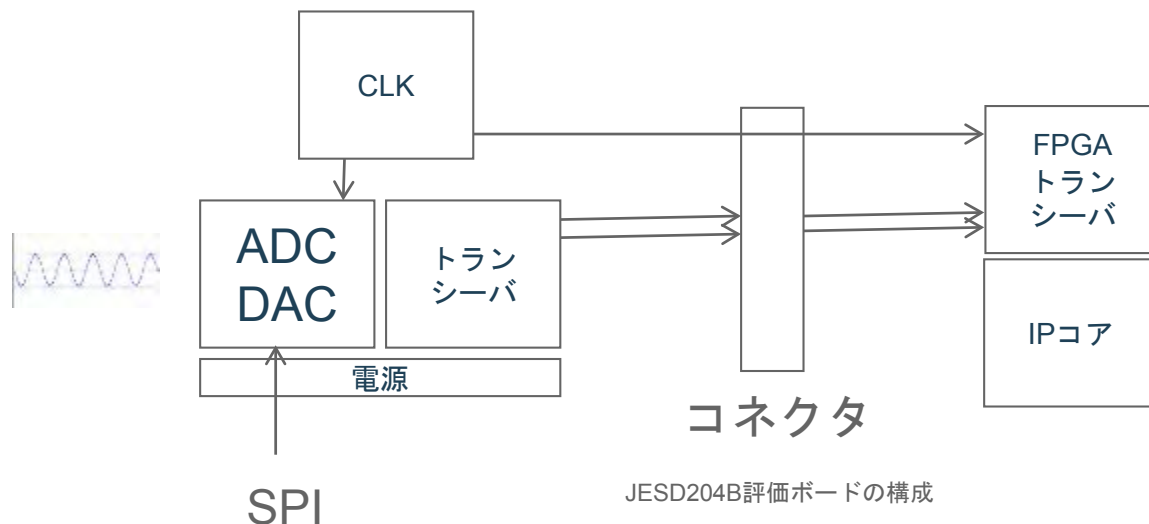
上記5項目の注意点を紹介します。



JESD204B評価ボード



Tool観測波形





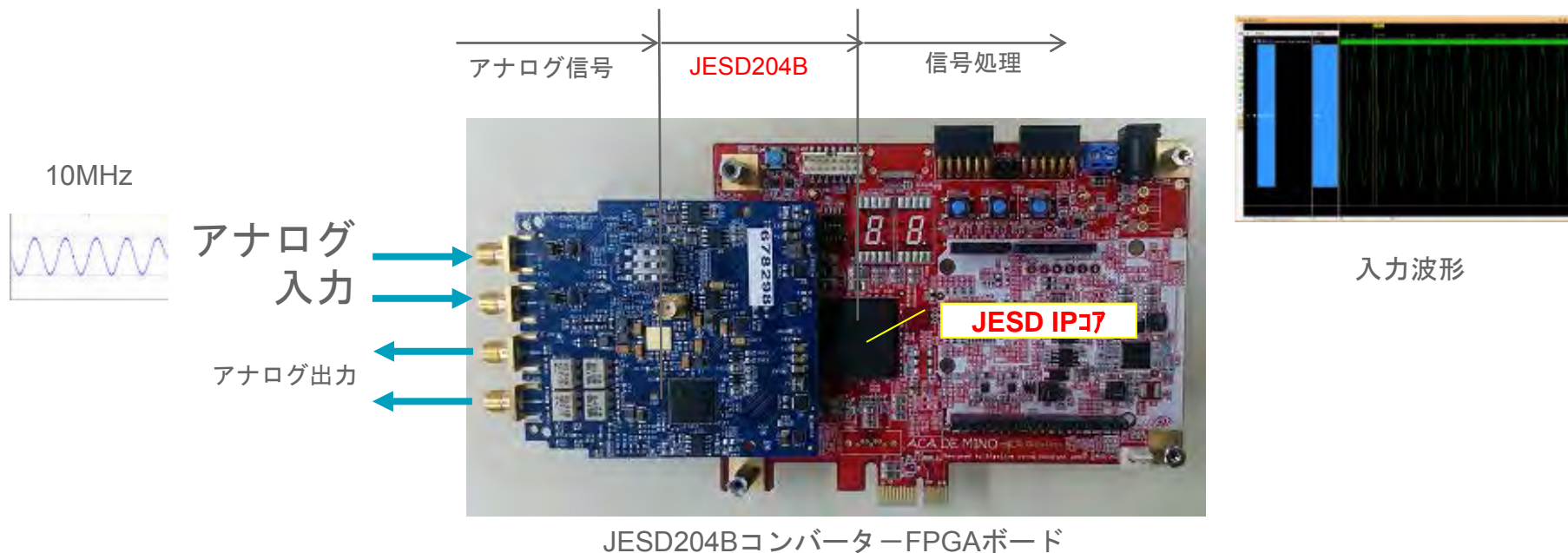
想像を超える可能性を
AHEAD OF WHAT'S POSSIBLE™

JESD204B導入事例

FPGA接続の基礎とIPコア

FPGA開発ツール（VIVADO）評価機能

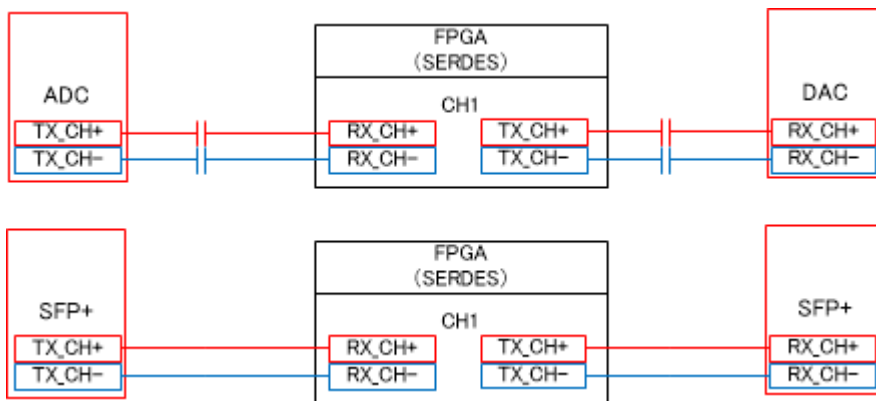
FPGA接続の基礎とIPコア



- ▶ JESD204BコンバータとFPGAの接続ピン？
- ▶ FPGA内部のIPコアの接続はどうなっているのでしょうか？

JESD204BコンバータとFPGAの接続ピン

- JESD204Bの信号はFPGAのどのピンに接続できるのでしょうか
- ▶ FPGAのトランシーバチャンネルへ接続します。
- ▶ ADCはRXチャンネルへ
- ▶ DACはTXチャンネルへ



- ▶ 基板パターンは100Ω 差動伝送線路

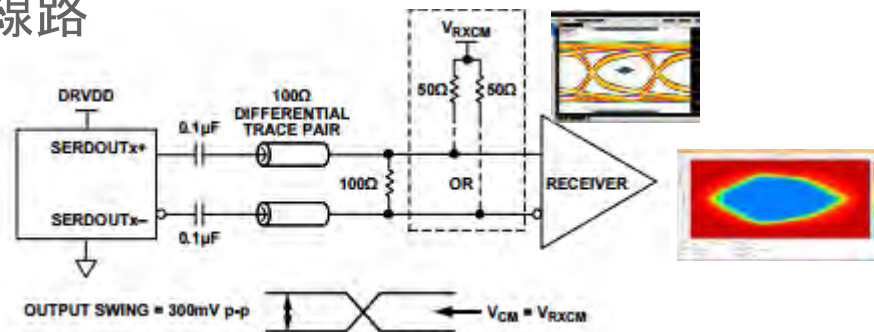
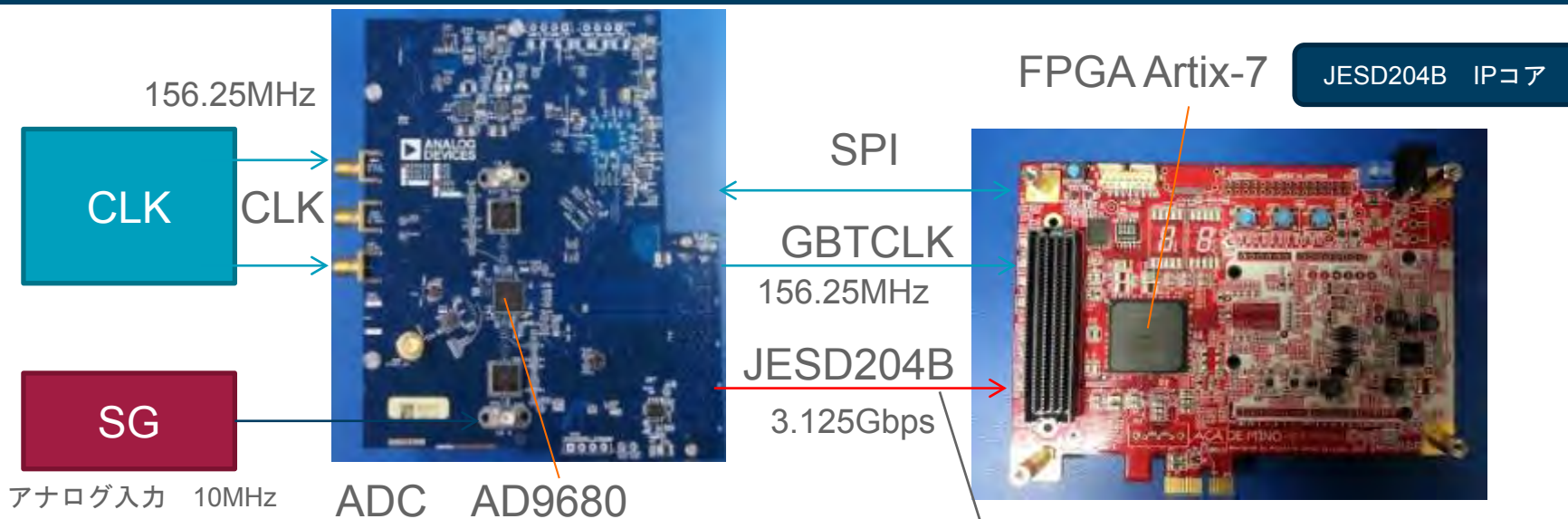
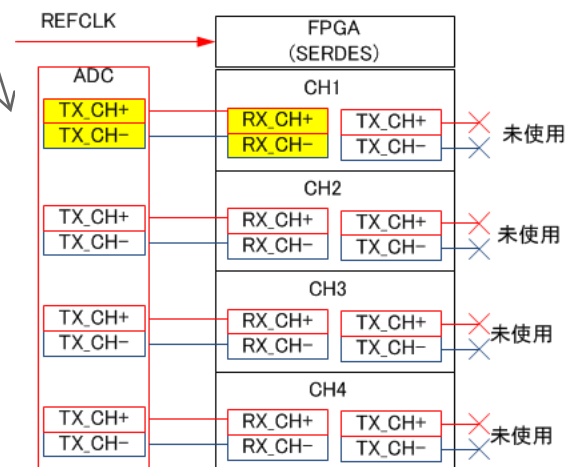


Figure 132. AC-Coupled Digital Output Termination Example

JESD204B ADCとの接続（評価ボードの組み合わせ例）

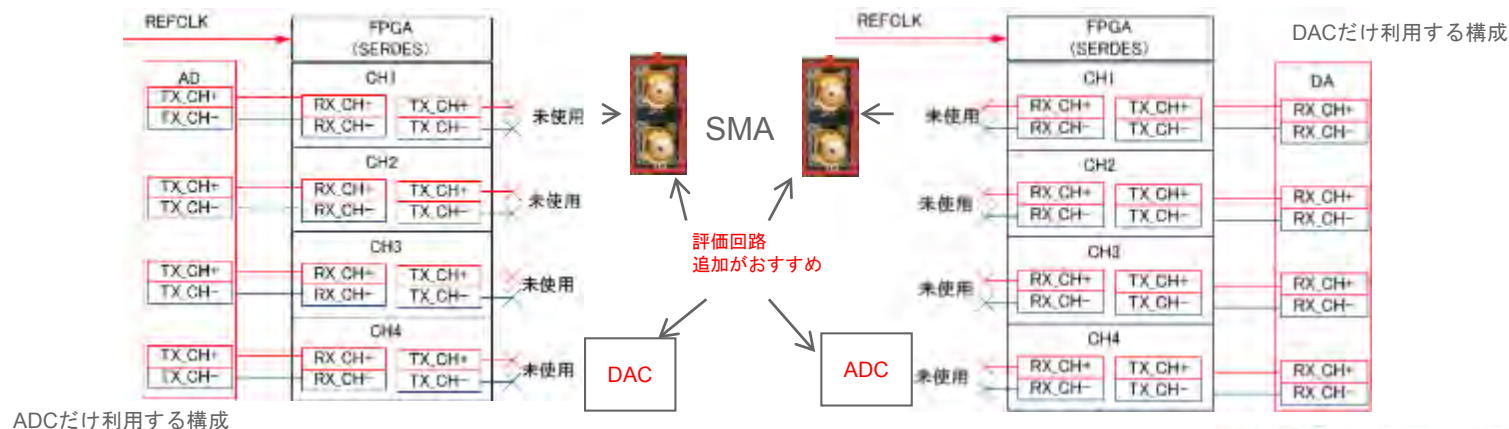


- ▶ 図のように複数レーンで接続されています。
 - 1レーンでも利用できます。（帯域が足りれば。）
 - 転送速度を下げたいときはレーンを増やす。
 - チャンネル数が多いFPGAなら多く接続できます。

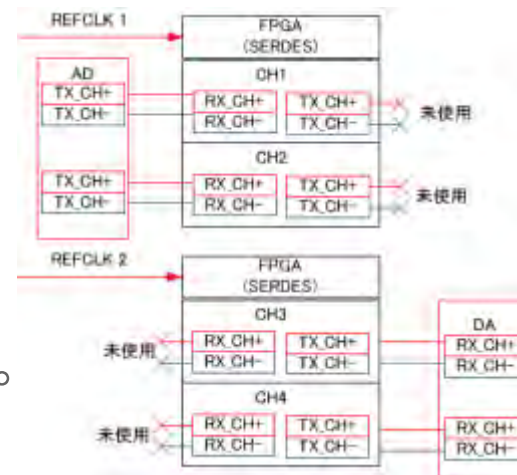


FPGA接続時の注意

- ▶ トランシーバTX/RXが未使用の場合。評価しやすくしておくくと便利です。



- ▶ REFCLKは必ずトランシーバへ接続。
 - 転送レートが異なる例
 - REFCLK1 156.25MHz → 3.125GHz
 - REFCLK2 245.76MHz → 4.9152GHz
- ▶ FPGA内部のPLL配線、他IPに注意してください。
 - 構成できないこともあります。



AD,DAを別ブロックにした例

FPGA接続の基礎とIPコア

▶ IPコアの入手はどこから？

- WEBからJESD204B IPコアが事前入手検証できます。

▶ IPコアとライセンス

- XILINX IPコア名 **JESD204 v6.1**
 - シミュレーション実行可能
 - メーカーWEBからライセンス申請。

▶ IPコア仕様と制限

- IPコアは1-12レーン
- データシートを確認 [pg066-jesd204.pdf](#)

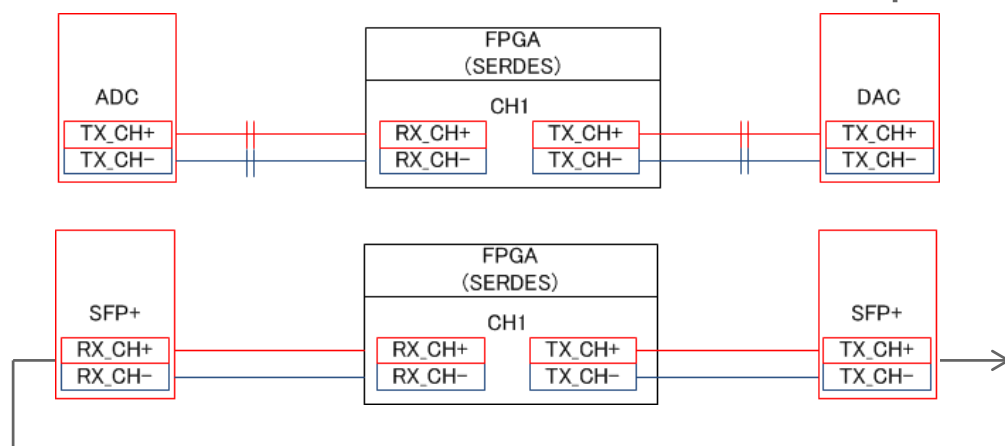
▶ JESD204B転送レート注意

- 転送レートはFPGAのスピードグレードと、コンバータの転送レート値に合わせたREFCLKの周波数で決まります。



FPGA トランシーバーの動作確認方法

- ▶ 最初にFPGA トランシーバーの動作確認方法を紹介します。
- ▶ FPGAだけでも高速シリアル試験 (Gbps) を行うことができます。



ループ
バック

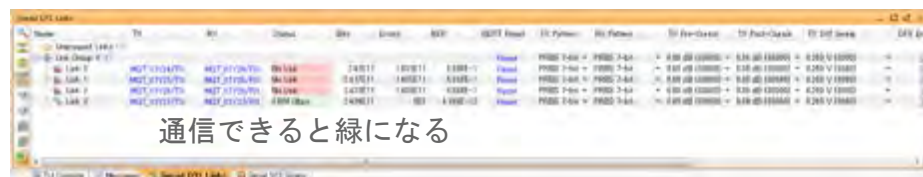
- BERT(Bit Error Ratio Test)試験
- LINKが確立する。誤りが無い状態。
 - 図は6GbpsでLINKした状態

- ▶ ADC,DACも機能があります。

ISE



Vivado



アイパターンの確認

- ▶ **アイパターン (Eye Pattern)** は、高速デジタル信号品質の指標として確認されています。高速デジタル信号波形の遷移を重ね合わせて表示すると、波形はアイ（目）の形のパターンが得られます。

- ▶ 大きいアイ開口は品質が良く、逆に開口が小さく波形位置がずれているのは悪い波形として確認できます。

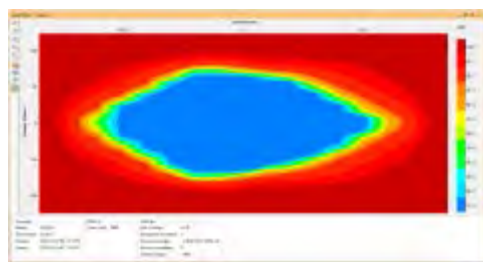


Vivadoアイパターン表示機能

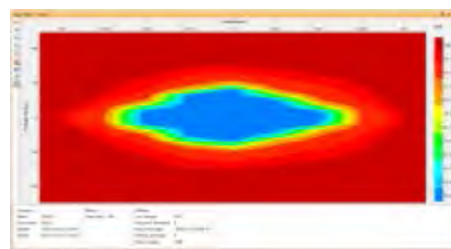


オシロで見るアイパターン

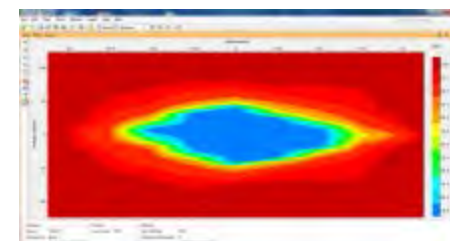
- ▶ FPGA開発ツールでも確認できます。



Bit rate=6Gbps



Bit rate=10Gbps



Bit rate=12.5Gbps

- ▶ BERT確認時に、アイパターンも確認してください。

検索キーワード **Using Vivado Serial IO Analyzer**

低速な

JESD204B設計事例紹介

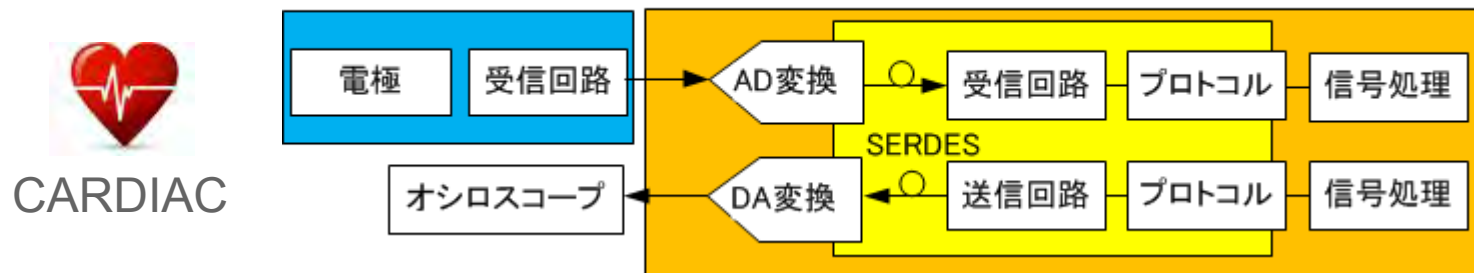
ADC AD9680 ARTIX-7 FPGA制御

DAC AD9144 ARTIX-7 FPGA制御

FMCボード利用の注意点

【展示デモ】 低速通信レート/高速サンプリング JESD204B

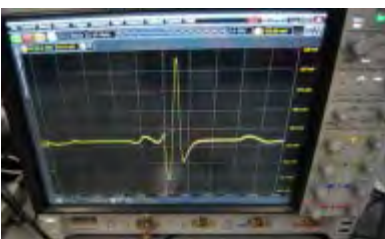
- ▶ ADC/DACで156MSPSした信号を入出力したデモを展示しています。
デジタル信号処理



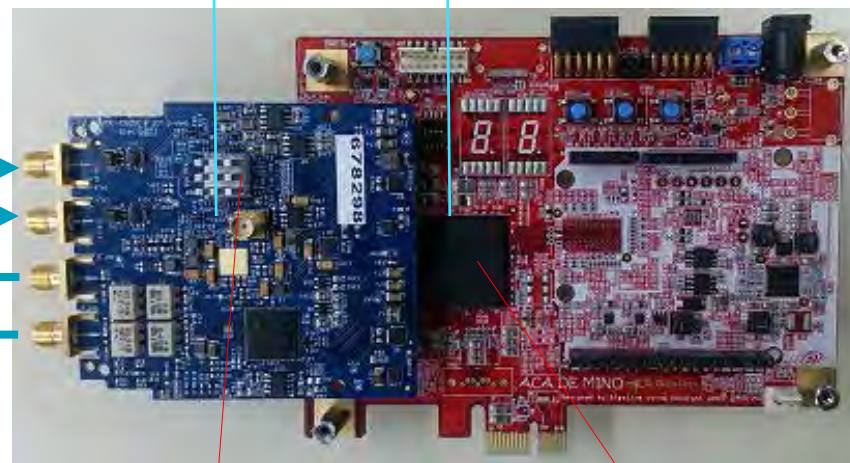
アナログ信号 → JESD204B → 信号処理



アナログ
入力



アナログ出力

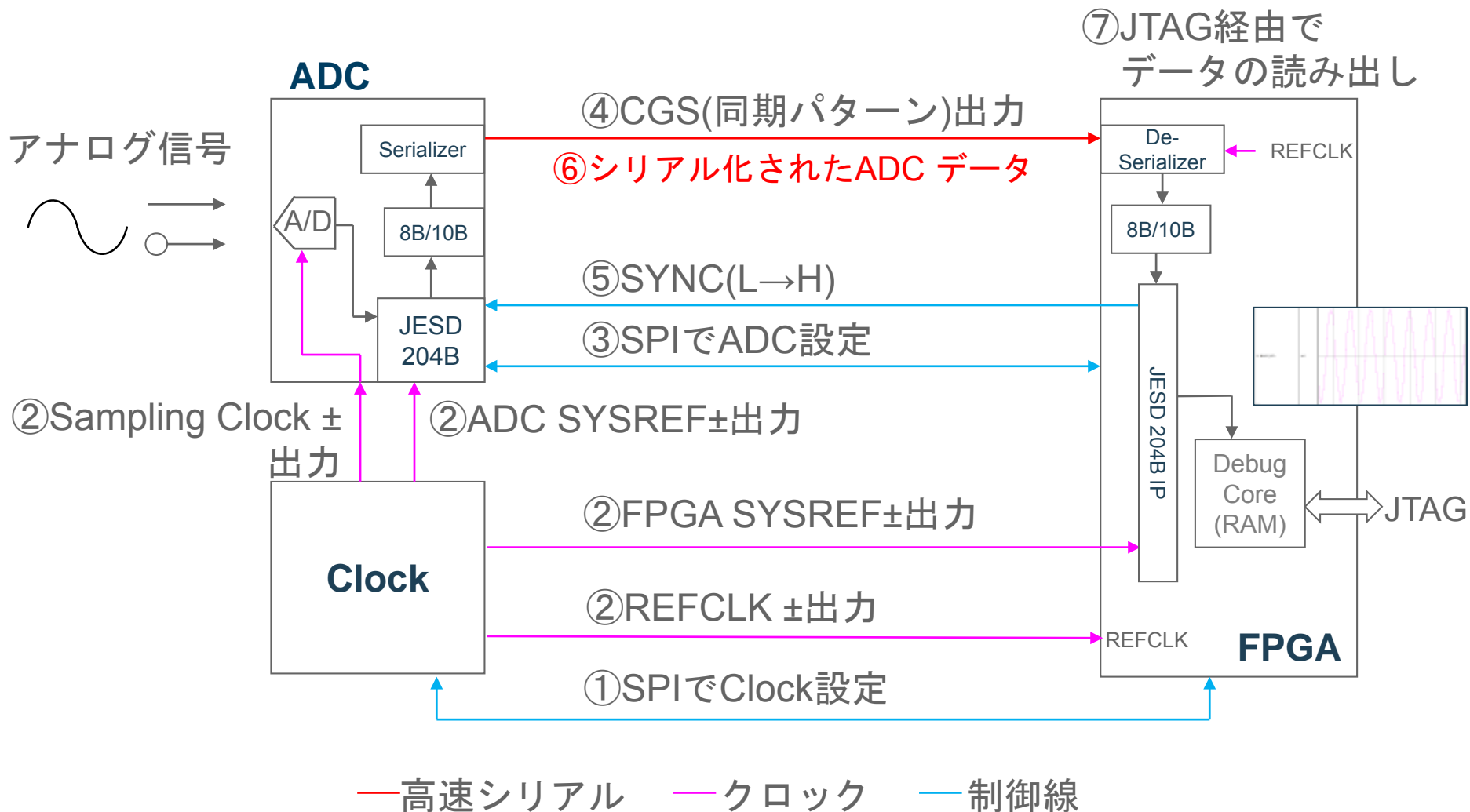


FMCDQA2

ADC AD9680 14bit ADC
DAC AD9144 16bit DAC

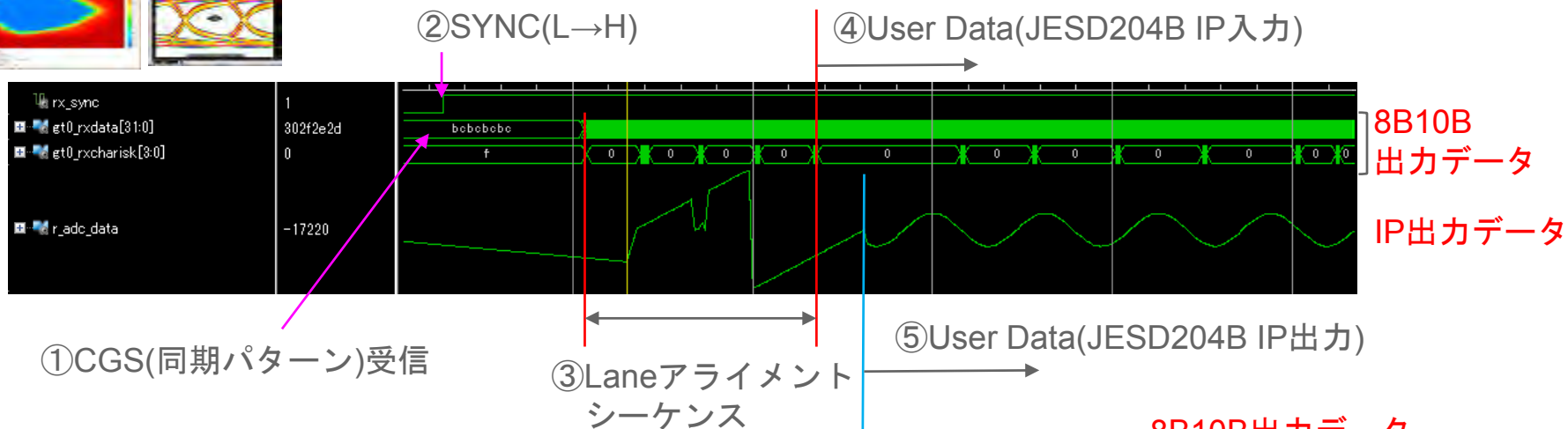
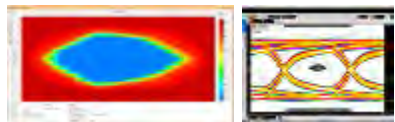
ACADEMINO FPGA/ARTIX-7
JESD204B/IP、デザイン

JESD204Bの設定順序 アニメーション



FPGA

JESD204B IP入出力



8B10B出力データ
上：データ列
下：同期コード位置

▶ JESD204B IP 検証手順

▶ ①CGS(同期パターン)受信

▶ ②SYNC(L→H)

▶ ③Laneアライメントシーケンス(Linkコンフィグレーションデータ)

▶ ④⑤User Data(④はJESD204B IP入力 / ⑤はJESD204B IP出力)

Vivadoによる設定が必要



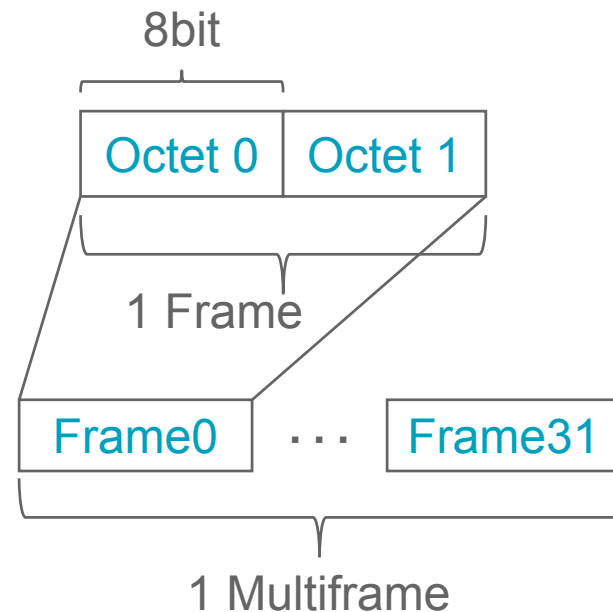
JESD204Bのパラメータ (参考)

【デモの設定値】

- ▶ パラメータ L = 1 : Lane数
- ▶ パラメータ M = 1 : コンバータ数
- ▶ パラメータ N = 16 : Resolution 16bit
- ▶ パラメータ N' = 16 : bits/sample(word size)
- ▶ パラメータ CS = 0 : control bit(2bit)
- ▶ パラメータ S = 1 : Samples/Converter/Frame
- ▶ パラメータ F = 2 : Octets/Frame
- ▶ パラメータ K = 32 : Frames/Multiframe
- ▶ パラメータ T = 0:Tail bit (T=N'-N-CS=16-16-0)
- ▶ パラメータ HD=0: High density mode

	Octet0	Octet1
MSB	A15	A7
	A14	A6
	A13	A5
	A12	A4
	A11	A3
	A10	A2
	A9	A1
LSB	A8	A0

A15-0:データ



CLK設定

AD-FMCDQAQ2-EBZ

- ▶ JESD204Bボード搭載CLK部品（AD9523）のSPI設定について





AD9523 出力設定（125MHzオンボード）

サンプリングCLK	156.25MHz
リファレンスCLK	156.25MHz
SYSREF	2.44MHz



- ▶ **SYSREF周波数は以下の計算式を使用して求めています。**
 - SYSREF周波数 = $f_{\text{DATA}} / (K \times (F/S))$ [Hz]
= $156.25\text{MHz} / (32 \times 2/1) = 2.44140625\text{MHz}$
 - f_{DATA} はデジタルデータ1クロックの周波数
 - K,F,SはJESD204Bのパラメータで、K=32,F=2,S=1

JESD204B ADC 評価ボード AD-FMCDQAQ2-EBZとAD9680-EBZボードの比較

評価ボード	AD9680 AIN ch	CLOCK	FMC LANE数	SYSREF	おすすめ ポイント
AD9680-EBZ 	14ビット 1GSPS 800M 500M 2ch BAL0006SM	外部SMA CLK分配 SG必要	4LANE DP0 DP1 DP2 DP3	外部SMA	製品に合わせたサンプリングにしたい！ DAC未使用 ADS7 ACADEMINO
AD-FMCDQAQ2-EBZ 	14ビット 1GSPS 2ch Etc1-1-13	オンボード 125MHz AD9523-1 外部CLK 非対応 TRIG SMA	4LANE DP0 DP1 DP2 DP3	AD9523-1	簡単に ADC、DAC 両方使用 CLK搭載 VC707 ZC706 KCU105 KC705 ACADEMINO

JESD204B DAC

AD-FMCDAQ2-EBZとAD9144-FMC-EBZボードの比較

評価ボード	AD9144 AOUT ch	CLOCK	FMC LANE数	SYSREF	おすすめポイント
 AD9144-FMC-EBZ	16ビット 2.8GSPS 4ch	外部SMA CLK分配 SG必要	8LANE DP0 DP1 DP2 DP3 DP7	AD9516	製品に合わせたサンプリングにしたい! ADC未使用 ADS7 ACADEMINO
 AD-FMCDAQ2-EBZ	16ビット 2.8GSPS 2ch	オンボード 125MHz AD9523-1 外部CLK 非対応 TRIG SMA	4LANE DP0 DP1 DP2 DP3	AD9523-1	簡単に ADC、DAC 両方使用 CLK搭載 VC707 ZC706 KCU105 KC705 ACADEMINO

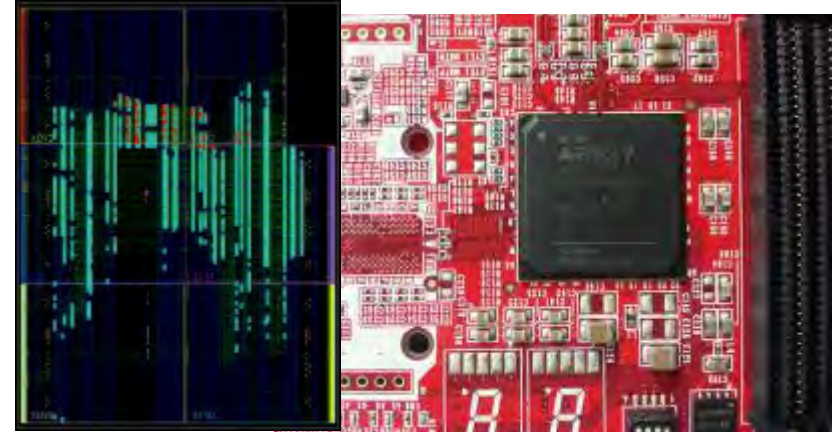
FMC 評価ボードの注意点

- ▶ 搭載コンバータが同じでも仕様が異なる。
- ▶ 違いの例
 - FMCコネクタへのLANEアサイン数
 - AD-FMCDQAQ2-EBZ : 4 LANE
 - AD9144-FMC-ENZ : 8LANE
 - アナログ出力数が異なる
 - AD-FMCDQAQ2-EBZ : 2出力
 - AD9144-FMC-ENZ : 4出力
 - FMCコネクタのJESD204BのLANEアサイン
 - FMCコネクタのADC制御信号のピンアサイン
 - クロック発生器が異なる
- ▶ 設計ボードでも同様になります。

JESD204B IPを使ったArtix-7デモデザインの使用率

IPコアが実装できるFPGAの選定

機能	リソース	使用率
SLICE	2286/8150	28.04%
BlockRAM	40.5/75	54.00%
I/O	23/250	9.20%
BUFG	9/32	28.12%
MMCM	9/32	28.12%



低コストおよび低電力アプリケーション (1.0V, 0.9V) 用に最適化された Artix®-7 FPGA							
製品番号	XC7A15T	XC7A35T	XC7A50T	XC7A75T	XC7A100T	XC7A200T	
ロジックセル	16,640	33,280	52,160	75,520	101,440	215,360	
スライス	2,600	5,200	8,150	11,800	15,850	33,650	
CLB Flip-Flops	20,800	41,600	65,200	94,400	126,800	269,200	
最大 Distributed RAM (Kb)	200	400	600	892	1,188	2,888	
Block RAM/FIFO w/ECC (各 36 Kb)	25	50	75	105	135	365	
全体のブロック RAM (Mb)	900	1,800	2,700	3,780	4,860	13,140	
GTP トランシーバー (6.6 Gb/s 最大レート)(2)	4	4	4	8	8	16	

最高のコストパフォーマンス用に最適化された Kintex®-7 FPGA (1.0V, 0.9V)							
製品番号	XC7K70T	XC7K160T	XC7K325T	XC7K355T	XC7K410T	XC7K420T	XC7K480T
EasyPath™ コスト削減ソリューション(1)	-	-	XCE7K325T	XCE7K355T	XCE7K410T	XCE7K420T	XCE7K480T
スライス	10,250	25,350	50,950	55,650	63,550	65,150	74,650
ロジックセル	65,600	162,240	326,080	356,160	406,720	416,960	477,760
GTX トランシーバー (12.5Gb/s 最大レート)	8	8	16	24	16	32	32

前半終了 ここでクイズです。

▶ 【1】 JESD204Bの最大転送レートは
下の3つの中のどれでしょう？

▶ 1番、 500 kbps

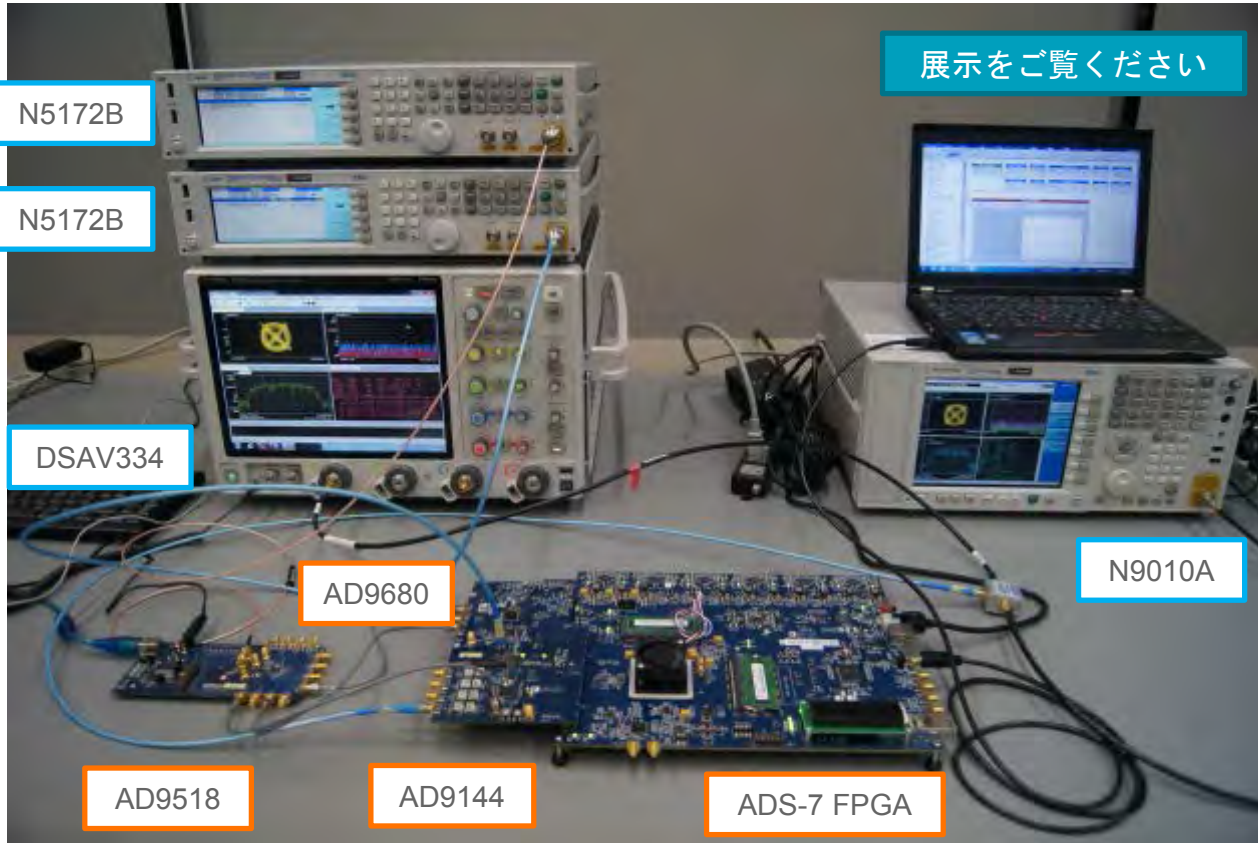
▶ 2番、 250 Mbps

▶ 3番、 12.5 Gbps

高速なJESD204B開発 の注意点

評価ボードに見る基板設計の注意点

通信レート12.5Gbps/高速サンプリング ADS-7/AD9144/AD9680 無線ソリューション

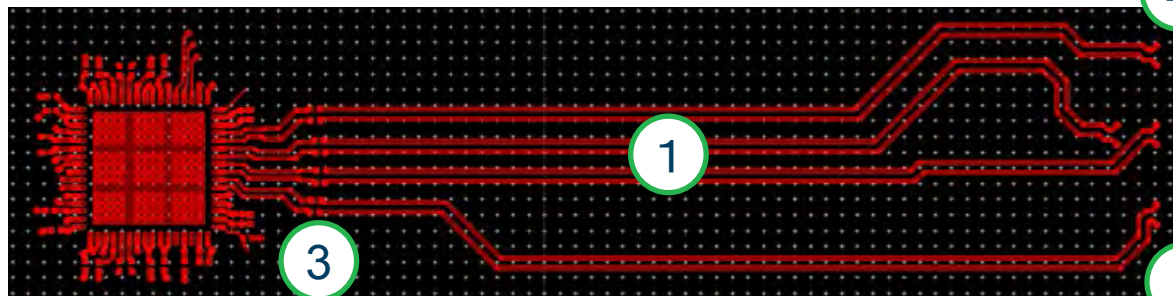


高速なJESD204B開発の注意点

基板設計、パターン設計



AD9680EBZ Board JESD204B L1 LAYOUT



▶ ADC評価ボードの基板仕様

- Material MCL-HE-679G DK 3.8 DF 0.011 層構成、基板情報

L	0.25/S	0.37	mm
レーン1,	63.7,	63.8	
レーン2,	63.0,	63.0	
レーン3,	61.5,	61.5	
レーン4,	64.4,	64.4	

▶ PCBレイアウトから、どんなルールかを分析してみてください。

- ▶ **【1】 | Z | 制御配線。L2層でL1層をインピーダンスコントロール**
- ▶ **【2】 等長配線（誤差0.1mm）、クロストーク影響ない配線ギャップ**
 - **【3】 ACカップリングコンデンサ位置**
 - **【4】 コネクタ部は差動両サイドGND VIA。。インピーダンス制御を崩さない。**

できるだけ最短。デジタルでは最優先。

JESD204B伝送路設計 の注意点

IBIS-AMI伝送路シミュレーション

基板配線パターンの電磁界解析方法

多くのADC/DAC機器設計者
には未経験の領域

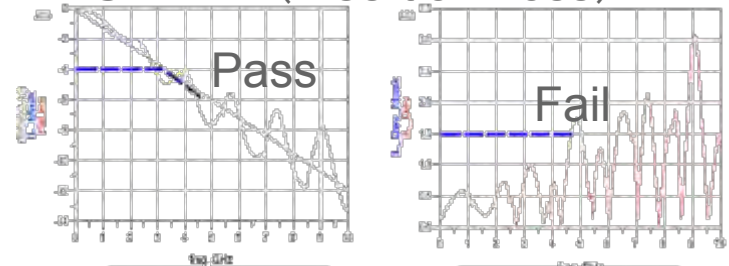
▶ 高速化に伴うチャレンジ

最大12.5 Gbps高速データレート

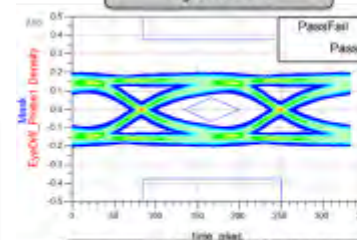
- 伝送線路設計
 - 特性インピーダンス、ロス、ビア
 - クロストーク
- ジッタ、BER評価
- 回路図解析IBIS-AMI
- 基板解析 電磁界解析

Sパラメータ
評価

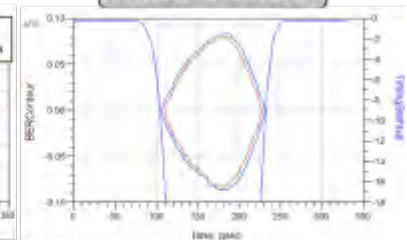
SDD21 (Insertion Loss)



Eye Mask



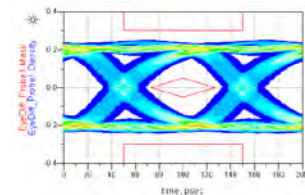
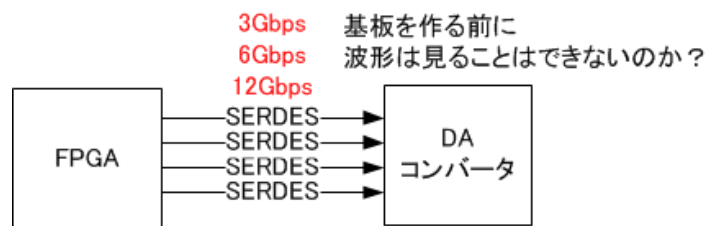
Bathtub & Contour



アイパターン
&
BER

IBIS-AMI伝送路シミュレーション

- ▶ 例えば、DAコンバータとFPGAを接続した基板を作る前に波形が見たい場合は？

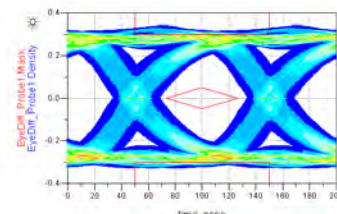
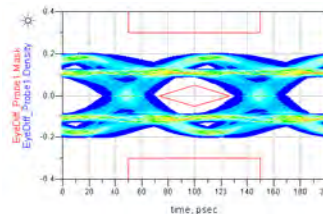


- ▶ **IBIS-AMIモデルがあればアイパターンのシミュレーションができます。**

- IBIS-AMI (Algorithmic Modeling Interface) は、その名の通り、高速デバイスの様々な機能を扱えるようにIBISを拡張したものです。さらにIBIS-AMIは高速に膨大なビット数をシミュレーションする新たなシミュレーション手法を前提にしています。

IBIS-AMIを使うとトランシーバの調整機能の検証ができます。

(図はADCのインファス、電圧調整アイパターン)



- ▶ アナログ・デバイセズからのモデル入手

- ▶ AD9144 IBIS-AMIのfile名 (例)

- [analog_devices_AD9144_AD9152_AD9154_deserializer_ami_r1p0_release_customer.zip](#)

IBIS-AMI解析とADSの入手

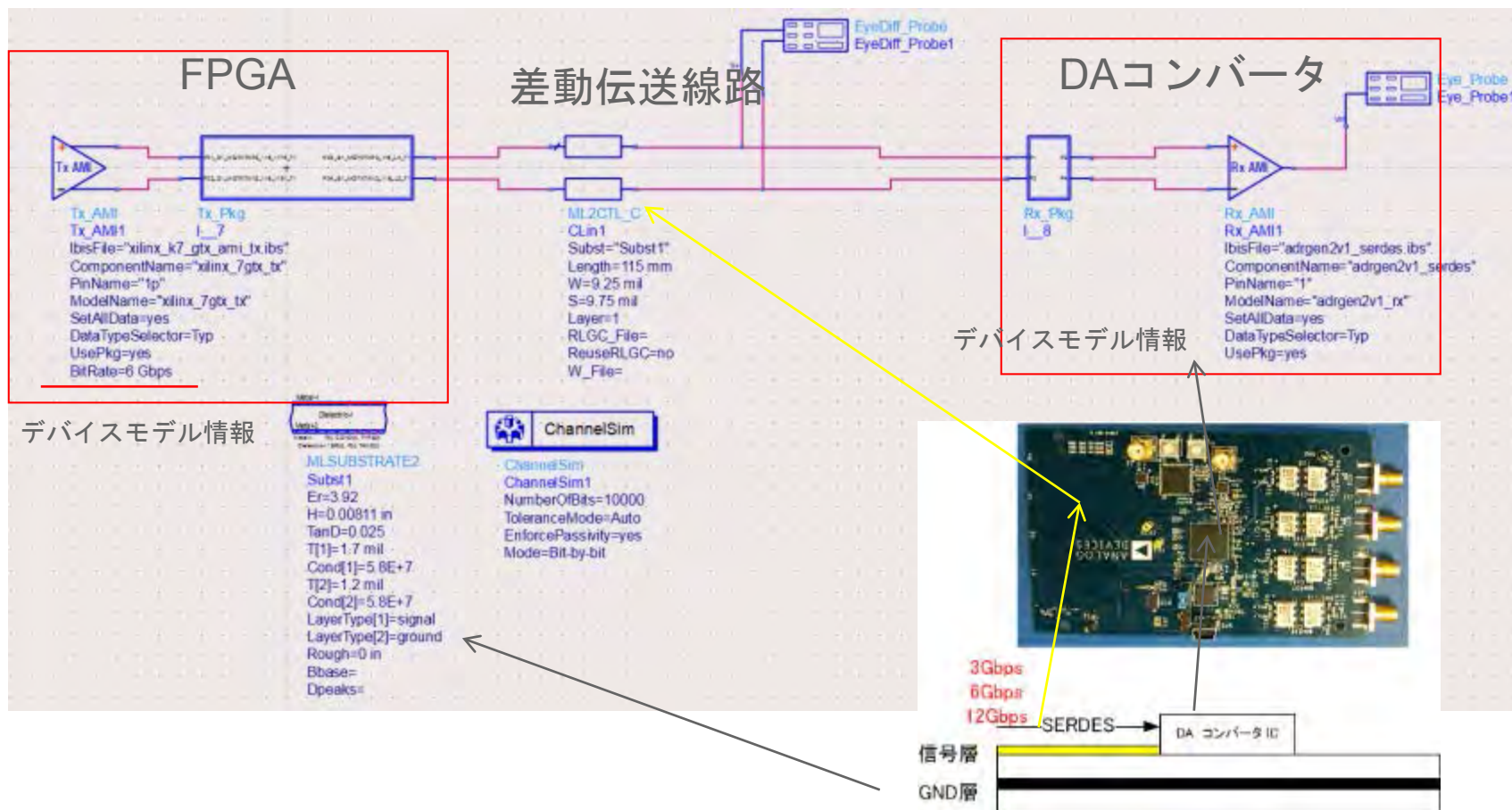
- IBIS-AMI解析ができるソフトウェア
- キーサイト・テクノロジー社
- Advanced Design System (ADS・エーディーエス)
- ▶ ツールの入手 Keysight ADS2015.01



- IBIS-AMI回路図を作成して、ADSで解析する。
 - IBIS-AMIを体験したい方、アンケートに記載ください。
 - Ibis-ami

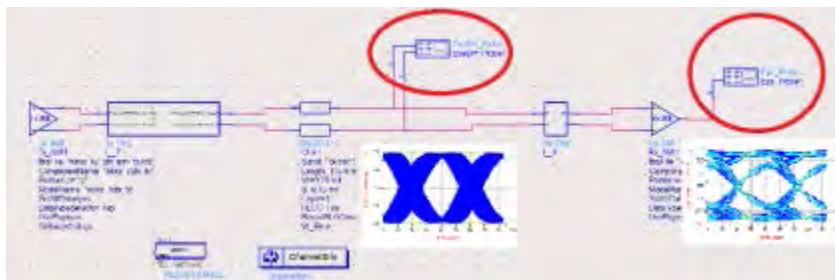
JESD204B DAコンバータのIBIS-AMI解析例

- ▶ DAボードのアイパターンを確認するための回路図を作成します。

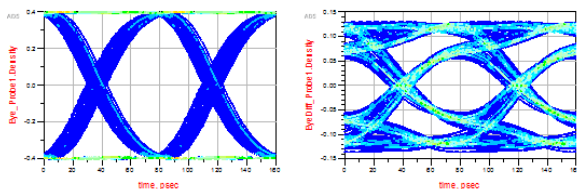


IBIS-AMIシミュレーションでのアイパターン

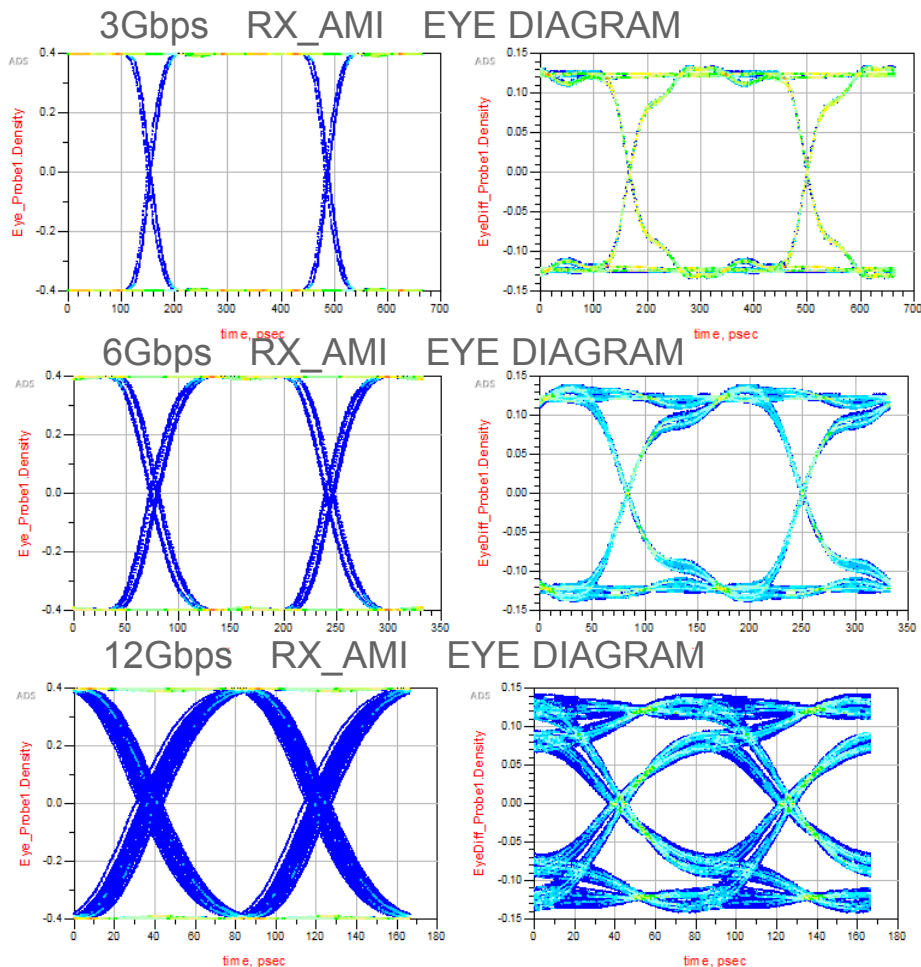
- ▶ 図の観測点のアイパターン
- ▶ 伝送レートを可変



- ▶ プリ解析のポイント
 - デバイスモデル、内部設定、振幅、エンファシス
 - 配線長、配線幅、配線間隔
 - 基板 層構成
 - 部品追加、コンデンサ、コネクタ
 - S-パラメータ、インピーダンス

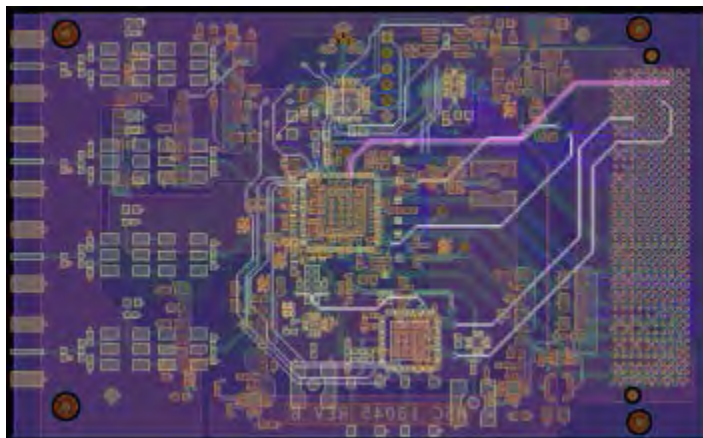


FMCコネクタのSparaを追加



電磁界解析の方法 (AD9144-FMC-EBZ PCBの解析)

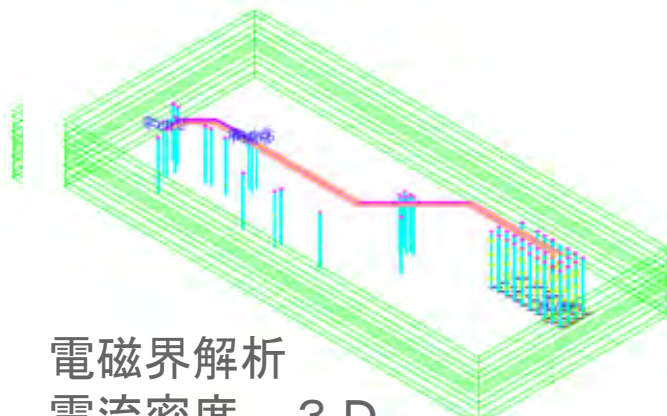
- ▶ PCBデータから、JESD配線パターンを取り出して、電磁界解析。



ガーバーデータ

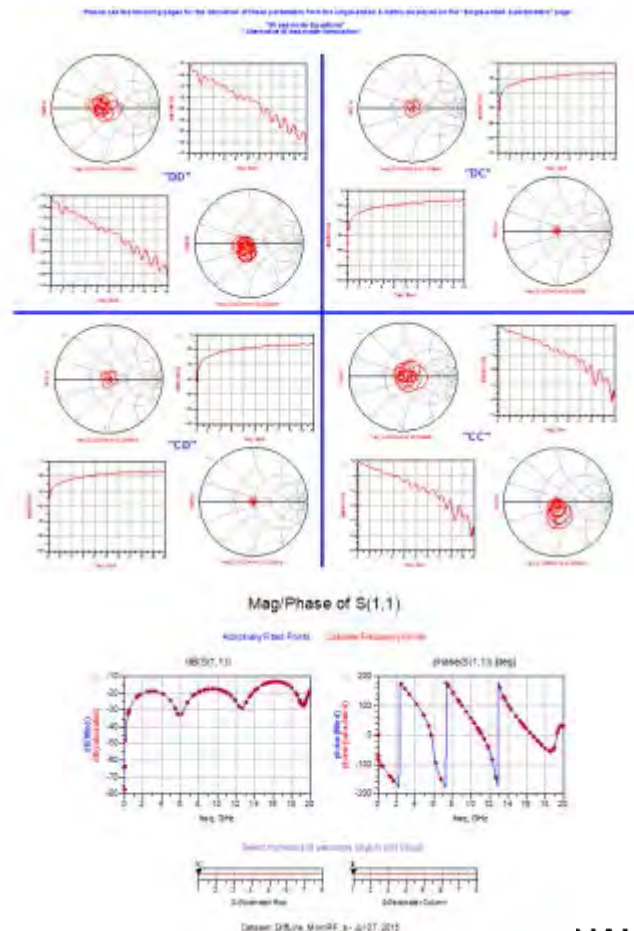
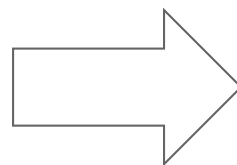


層構成、材質



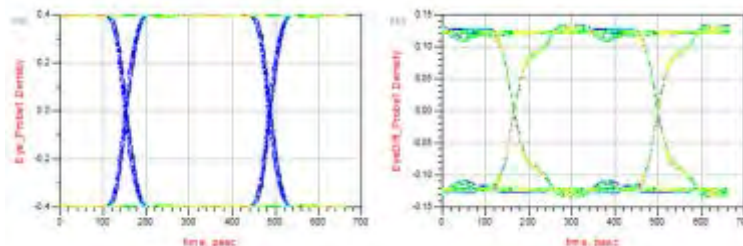
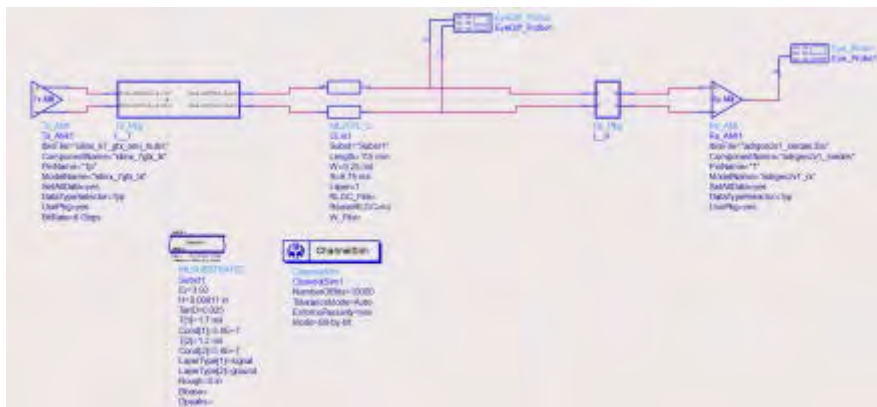
電磁界解析
電流密度、3D

Sパラメータ

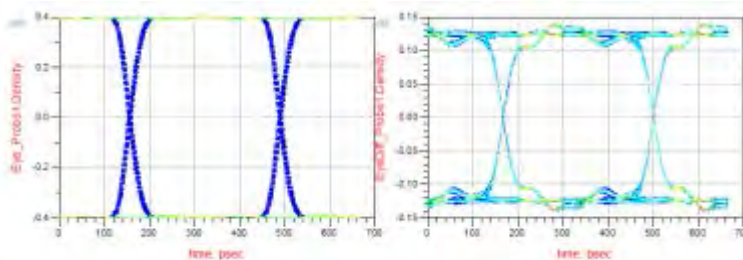


回路図解析から電磁界解析へ

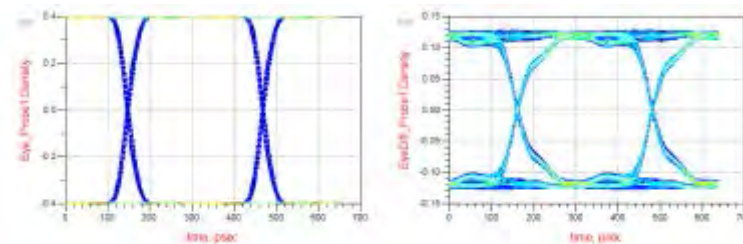
- ▶ 先の回路図の伝送線路を、電磁界解析結果と交換して解析してみました。



回路図解析のアイパターン



電磁界解析のアイパターン

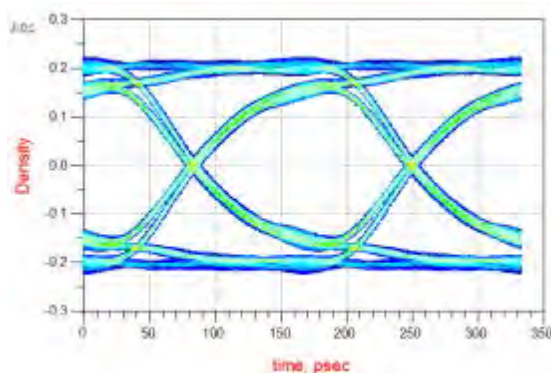


部品モデル FMCコネクタのSパラを追加したアイパターン

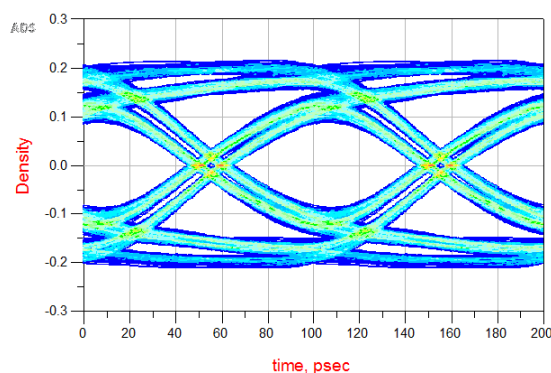
AD9680評価ボード シミュレーションと解析の比較

ADS Simulation EYE & Line rate

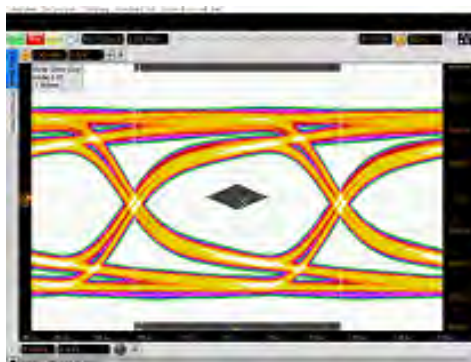
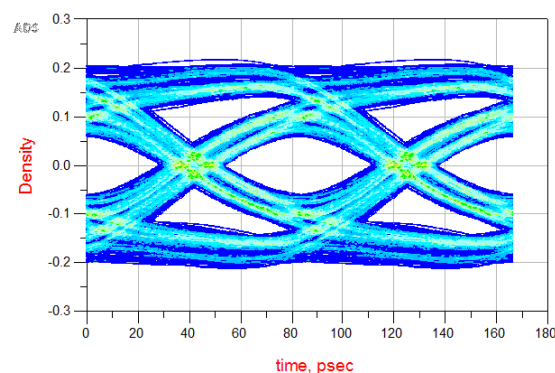
▶ Bit rate=6Gbps



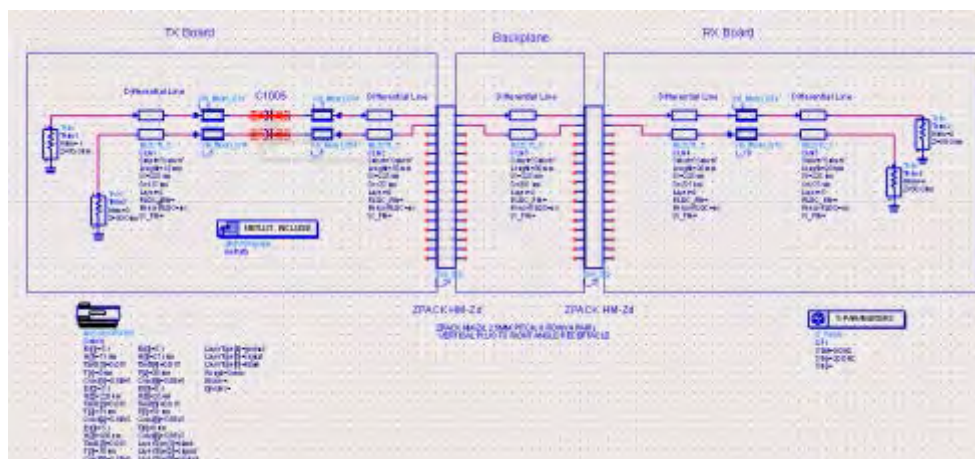
Bit rate=10Gbps



Bit rate=12.5Gbps



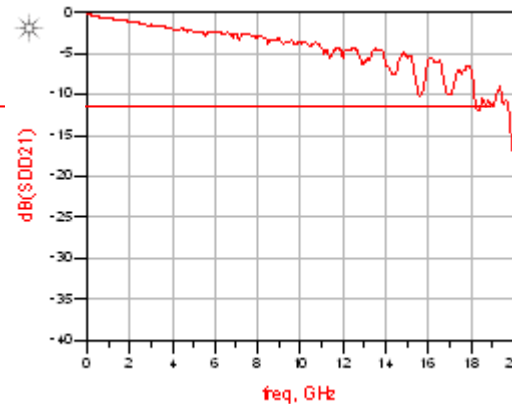
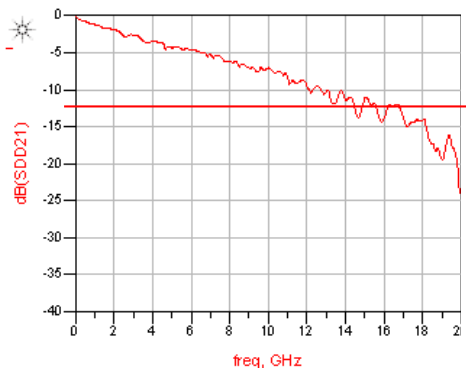
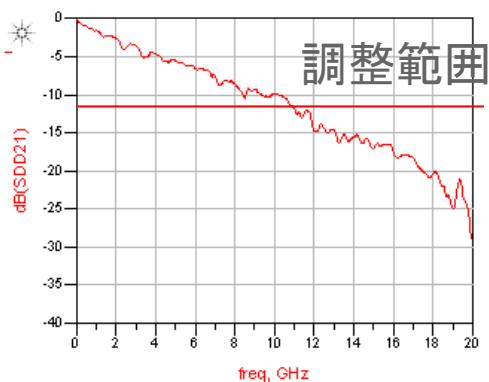
差動伝送路の特性（シミュレーション）例



FR-4

FR-5

高周波材





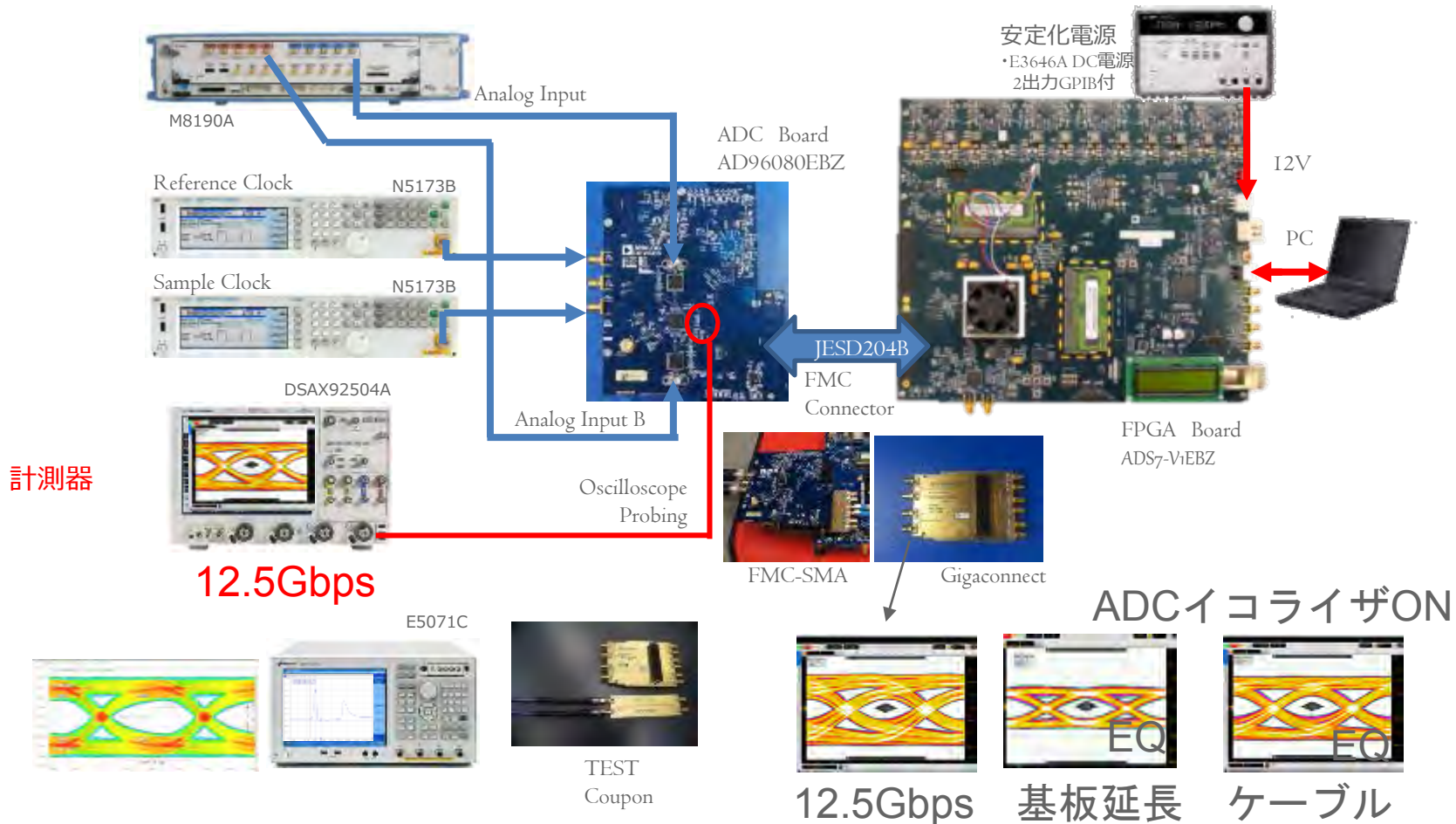
想像を超える可能性を
AHEAD OF WHAT'S POSSIBLE™

高速JESD204Bの計測方法 と注意点

計測デバッグのしやすい基板設計

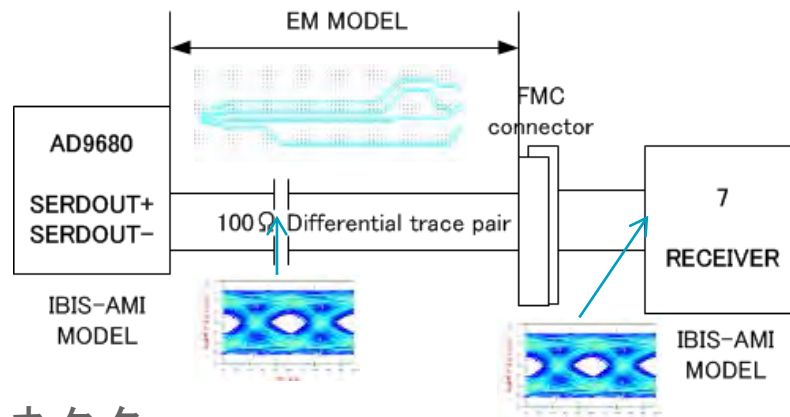
12.5Gbps 高速JESD204Bの計測方法と注意点

- ▶ 実測をするためには、高速なクロックや、信号発生装置の準備が必要です。

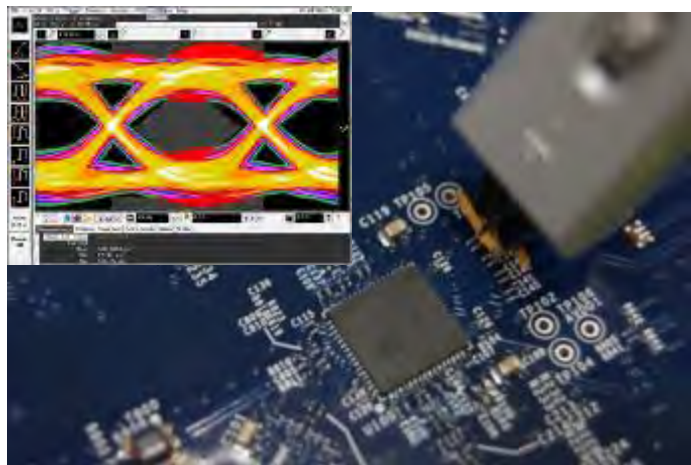


計測デバッグのしやすい基板設計

- ▶ 計測デバッグのしやすい基板設計
- ▶ JESD計測ポイント
 - ADC TXOUT
 - FPGA RXP/RXN



FMCコネクタ



・ 0603コンデンサで計測

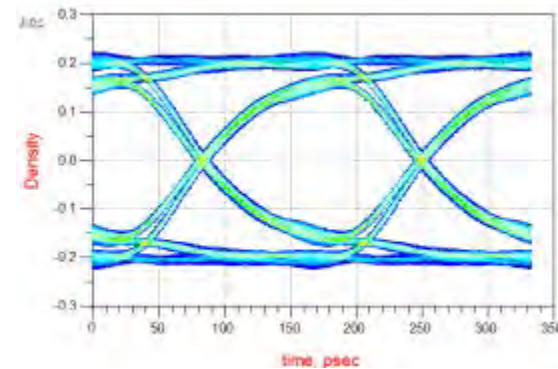


FPGA RXP/RXN pin
レジストで計測できない。

まとめの前に ラスト クイズ

- ▶ 【2】 長時間サンプリングをして重ね合わせたときにできる、図の目のようなパターンは何という名前でしょうか？

- ▶ 1番、ワンパターン
- ▶ 2番、IBIS-AMI
- ▶ 3番、アイパターン





想像を超える可能性を
AHEAD OF WHAT'S POSSIBLE™

JESD204Bまとめ

まとめ

- ▶ AD/DAの新しいインタフェースJESD204Bは、高速サンプリングボードを少ない配線数で実現できるため、様々な小型の新しい機器を生み出すと思います。
- ▶ 反面、新しいことを覚える必要があります。
- ▶ 紹介したVIVADOの機能や、JESD204B信号の流れは特に調べてみてください。
- ▶ JESD204Bに関する情報はJESD204Bサバイバルガイド、FPGAに関しては、IPコア、トランシーバとロジックアナライザ機能、アイスキャン、BERTをご確認ください。
- ▶ 低速伝送レートのJESD204Bの事例は問題も少なく取扱い易いので、高速に入る前に確認していただくことをお勧めします。
- ▶ すぐにJESD204Bを始められる方は、評価ボードで始めるのが低コストにスタートできます。計測器、SGなど環境準備もご検討ください。
- ▶ 12.5Gbpsに向かうほど、伝送路の影響が受けやすく、超高速設計される方は、伝送線路シミュレーションを早い段階で実施されてみると超高速アナログ技術がつかみ易いです。
- ▶ 本セッションの情報が皆様のお役に立てることを期待いたします。

- ▶ JESD204BコンバータとFPGAを使った開発のご相談がありましたら、ご相談ください。

セミナー特典とアンケートのお願い

▶ 1、キーサイトJESD登録サイトの紹介

▶ <http://www.keysight.co.jp/find/jesd>

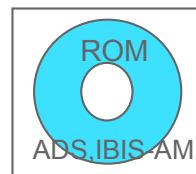
■ JESD204B技術情報サービス（チラシ記載）

- 最新JESDアップデート
- JESD204B計測ガイド.PDF
- セミナー情報。。。。メール登録でご案内いたします。

JESD204B技術情報
提供のご案内

▶ 2、CDROMの提供（限定）

- JESD204B IBIS-AMIテンプレートデザイン
- **すぐに始められるチュートリアル**



▶ （本日受けて頂いた基調講演・セッションの中で、さらに詳しく内容を聞きたいものはありますか？）

▶ 3、アンケートのコメント欄にコメントもいただけますと助かります。

- 【CDROM希望】、【登録希望】等もお願いします。

▶ ご清聴ありがとうございました。



- ▶ Contact US
- ▶ info@gigafirm.com
- ▶ <http://www.gigafirm.com/home>