

ADI 器件应用丛书

ADI 模数转换器应用笔记 (第 1 册)

ADI 公司 编译

北京航空航天大学出版社

内 容 简 介

由 ADI 工程师亲自参与设计、调试并验证的模数转换器应用笔记。通过这些应用笔记,为许多通用应用提供解决方案。每款模数转换器电路包含详细的设计文档。电路功能和性能已经过硬件验证。

本书将是广大工程技术人员、高等学校师生进行电路设计的参考书。

图书在版编目(CIP)数据

ADI 模数转换器应用笔记. 第 1 册/ADI 公司编译. --

北京:北京航空航天大学出版社,2011.7

ISBN 978-7-5124-0415-1

I. ①A… II. ①A… III. ①模-数转换器—研究
IV. ①TP335

中国版本图书馆 CIP 数据核字(2011)第 072420 号

版权所有,侵权必究。

ADI 模数转换器应用笔记(第 1 册)

ADI 公司 编译

责任编辑 张 楠 王 松

*

北京航空航天大学出版社出版发行

北京市海淀区学院路 37 号(邮编 100191) <http://www.buaapress.com.cn>

发行部电话:(010)82317024 传真:(010)82328026

读者信箱:emsbook@gmail.com 邮购电话:(010)82316936

印刷有限公司印装 各地书店经销

*

开本:787×960 1/16 印张:14.75 字数:330 千字

2011 年 7 月第 1 版 2011 年 7 月第 1 次印刷 印数:4 000 册

ISBN 978-7-5124-0415-1 定价:32.00 元

序 言

这些年,在与电子技术领域的工程师、学者以及大学师生交流的时候,他们的聪明才智和创新能力给我留下了深刻的印象。而他们所做的设计和项目,无一不让我感觉到中国工程师队伍成长之快,和中国电子行业巨大的发展潜力。但另一方面,他们的经历和成功,也带给了我很多思考。

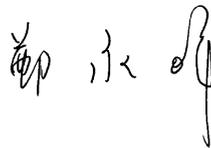
ADI 在模拟和数字信号领域中已经发展了 40 多年。在这几十年间,我们不断推动技术的创新和进步,不断提高相关领域的各类产品性能以满足客户的广泛需求,包括消费类、通信、医疗、运输和工业等方面。令人欣慰的是,至 2009 年,ADI 已经拥有遍布世界各地的 60 000 余家客户。而通过大学计划、培训、研讨会等活动所积累起来的资源更是不计其数。如何让我们的客户,让 ADI 技术产品的使用者和爱好者,真正准确、有效、快捷地掌握相关知识与设计技巧,是我们需要考虑的,也是我们为所有用户提供的非常重要的服务之一。

经过多年的运行和完善,ADI 已经拥有了一整套对中国工程师以及在校工科类学生的培养计划,如每年一届的中国大学创新设计竞赛,在高校建立的联合实验室,各类线上线下研讨会,还有在多个城市开展的高水平培训课程等等。这些计划架起了 ADI 与用户之间最直接、最有效的沟通桥梁。同时,为了使更多的电子技术领域从业者和爱好者了解数字信号处理和电子产品设计理念,我们还邀请了业内具有较深影响力的专家、学者、教授共同编写并出版一套基于 ADI 模拟和数字产品的应用技术丛书。

该丛书详细介绍了 ADI 产品在医疗电子、通信、工业仪器仪表、汽车电子等行业的应用,以理论与实际案例相结合的方式为读者们讲解了世界先进处理器的设计与使用。

丛书的出版凝聚了来自众多院校老师、专家丰富的经验和智慧。在此,感谢他们对 ADI 出版计划的大力支持。同时,也感谢北京航空航天大学出版社对本丛书的出版所做出的贡献!

衷心希望能得到读者朋友的意见反馈,在你们提出的问题和建议下,我们将不断完善 ADI 器件应用丛书,不断完善 ADI 的产品和技术,与客户们一起共同开拓中国市场。



ADI 公司亚太区总裁

目 录

第一部分 ADC 产品的应用

AN-0972 应用笔记: AD7329 如何帮助降低成本	3
AN-0979 应用笔记: 数字滤波器的选择: AD7190、AD7192	10
AN-1011 应用笔记: AD7150 的 EMC 保护	17
AN-1021 应用笔记: 基于 MMSE 的触摸屏应用多点校准算法	29
AN-354 应用笔记: 应用工程师问答(1)	42
AN-351 应用笔记: 应用工程师问答(2)	44
AN-586 应用笔记: 高速模数转换器的 LVDS 数据输出	48
AN-609 应用笔记: Σ - Δ ADC 上的斩波	55
AN-614 应用笔记: 在低功耗应用中使用 AD7782	60
AN-639 应用笔记: 常见问题解答: Analog Devices 电能计量(ADE)产品	63
AN-665 应用笔记: Σ - Δ ADC 的通道切换	89
AN-877 应用笔记: 通过 SPI 与高速 ADC 接口	93
AN-893 应用笔记: 将 AD7656/AD7657/AD7658 配置为串行和菊花链接口工作模式	121
AN-925 应用笔记: AD7147 和 AD7148 CapTouch 控制器应用中的传感器设计	127
AN-935 应用笔记: ADC 变压器耦合前端设计	133

第二部分 ADC 基本概念指标和测试评估

AN-276 应用笔记: 使用电压频率转换器实现模数转换	145
AN-282 应用笔记: 采样数据系统基本原理	159
AN-835 应用笔记: 高速 ADC 测试和评估	194
AN-931 应用笔记: 了解 PulSAR ADC 支持电路	222

第一部分 ADC 产品的应用

AN-0972 应用笔记

AD7329 如何帮助降低成本

作者: Claire Croke Jakub Szymczak

简介

AD7329 是一款 8 通道、12 位带一个额外符号位的双极性输入 ADC。该器件有 4 种软件可选输入范围： $\pm 4 \times V_{\text{REF}}$ 、 $\pm 2 \times V_{\text{REF}}$ 、 $\pm V_{\text{REF}}$ 和 $0 \sim 4 \times V_{\text{REF}}$ 。每个模拟输入通道支持独立编程，可设为 4 个模拟输入范围之一。AD7329 采用工业 CMOS (*i*CMOS) 工艺制成，与当今市场上的其他双极性 ADC 解决方案相比，这种 ADC 不但可以输入较大的双极性模拟信号，同时还能提升性能，降低功耗并减小封装尺寸。

AD7329 采用极其灵活的设计，可根据多种应用要求进行配置。本应用笔记将简要介绍如何通过 AD7329 实现极高的输入阻抗，同时保持输入较大的双极性模拟信号的能力。同时还将讨论如何配置 AD7329，以支持较小输入信号并保持较高性能水平。

图 1 为 AD7329 功能框图。

AD7329 模拟输入

AD7329 模拟输入可配置为 8 个单端输入、4 个真差分输入对、7 个伪差分输入或 4 个伪差分输入对。

AD732x 系列 ADC 采用 *i*CMOS 工艺设计，可输入真双极性模拟信号。有些双极性输入 ADC 在模拟输入上采用一种电阻式结构，以便对双极性信号进行缩放和电平转换处理，使其处于内部 ADC 要求的电压范围之内。这类电阻式模拟输入 ADC 的不足之处在于，这些模拟输入的驱动源只能实现极低的源阻抗，因而需要用较大输入电流来驱动这些输入。

AD7329 的等效模拟输入结构如图 2 所示。AD7329 直接在 ADC 采样电容上对双极性模

拟输入信号采样,因此,与电阻式输入 ADC 相比,驱动 AD7329 输入结构只需较少电流。

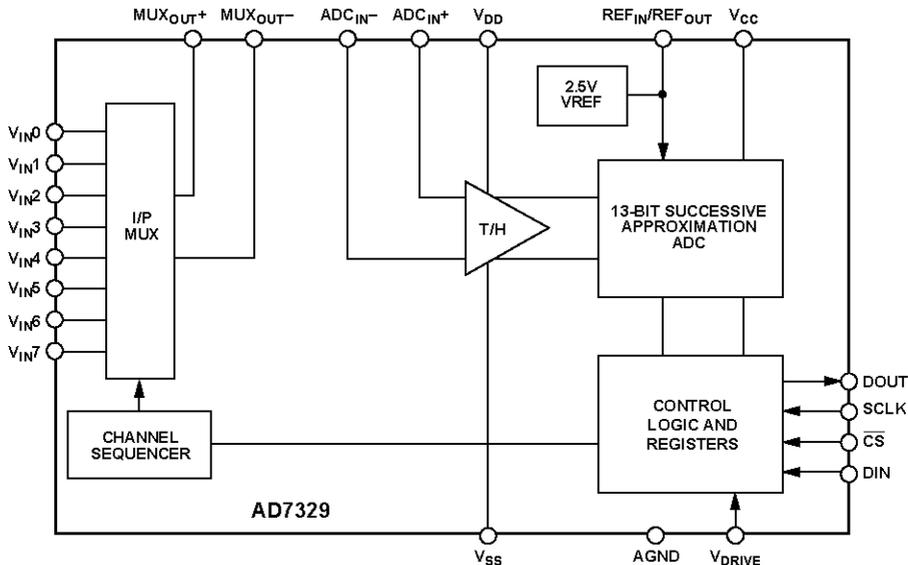


图 1 AD7329 功能框图

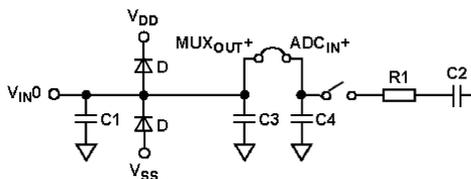


图 2 AD7329 模拟输入结构——单端模式

AD7329 上的模拟输入通道通过一个片内多路复用器,该复用器的输出通向 MUXOUT+ 引脚和 MUXOUT- 引脚。AD7329 还具有 ADCIN+ 和 ADCIN- 引脚。通过 ADCIN+ 和 ADCIN- 两个引脚,可访问 AD7329 采样保持电路和 ADC 上的采样电容。

当 MUXOUT+ 引脚直接连接至 ADCIN+ 引脚时,AD7329 应用与许多其他 ADC 类似。输入信号直接通过采样电容采样。在这种配置中,AD7329 驱动源需提供用于驱动 ADC 输入的电流,并要在 ADC 采样时间(300 ns)内建立至所需精度。

图 3 显示的是当 MUXOUT+ 引脚短接至 ADCIN+ 引脚时 AD7329 模拟输入所需要的驱动电流。从坐标图可以看出,随着采样速率的增加,模拟输入所需驱动电流也随之增加。

与所有 SAR 转换器一样,当内部采样保持开关从保持切换至采样时,ADC 会有瞬时反冲。AD7329 驱动源必须能从该瞬变中恢复过来,并在 ADC 采集时间之内建立至所需精度。对于工作于最大采样频率的应用,可能需要用一个输入缓冲放大器来驱动 ADC,并将驱动源

与 ADC 采样保持开关隔离。

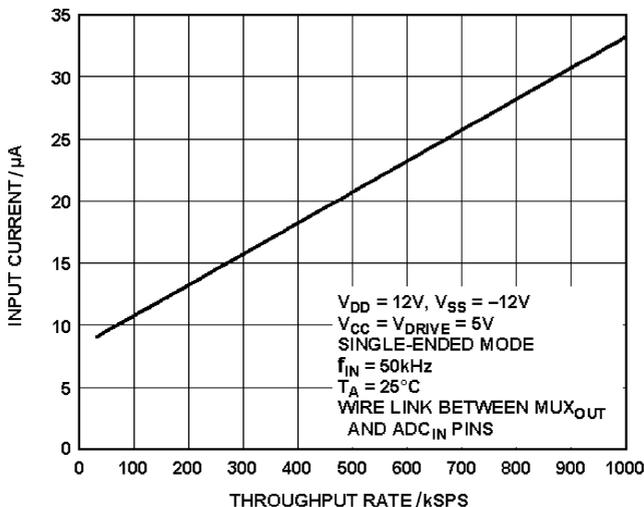


图 3 直接连接 MUX_{OUT} 引脚和 ADC_{IN} 引脚时的输入电流与吞吐速率关系曲线

AD7329 设计灵活,可在 MUX_{OUT} 和 ADC_{IN} 引脚之间放置一个运算放大器。在这种配置中,AD7329 可实现极高的模拟输入阻抗,并且运算放大器可使驱动源与 AD7329 输入结构隔离。

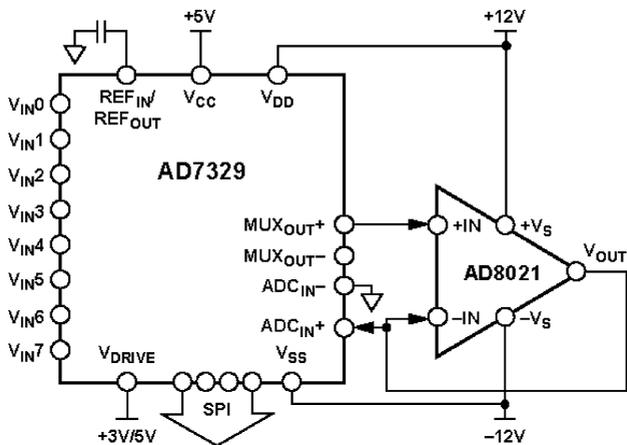
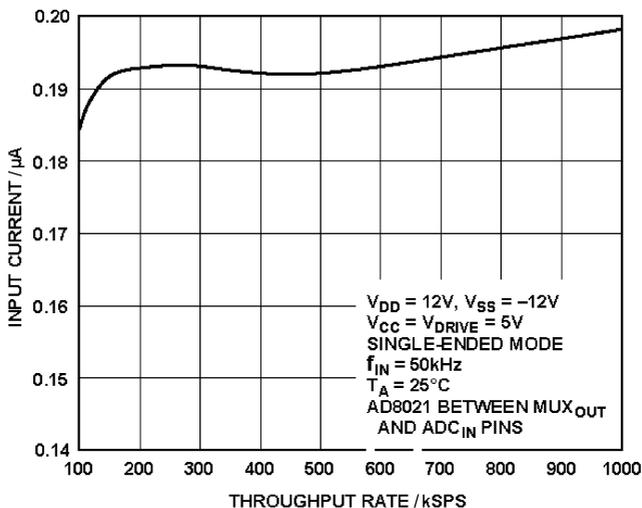
这种配置中使用的运算放大器必须能够接受最高 $\pm 10\text{ V}$ 的双极性信号。来自 MUX_{OUT} 引脚的信号仍为高电压双极性信号。在图 4 中,采用了 AD8021 低噪声高速放大器。AD8021 可输入较大双极性模拟信号,同时还能在 ADC 所需采样时间之内建立信号。

此时,对驱动源来说,AD7329 的输入阻抗为 AD8021 的输入阻抗。这种配置中,AD8021 置于 MUX_{OUT} 引脚与 ADC_{IN} 引脚之间,用于驱动 AD7329 的源电流小于 $0.2\ \mu\text{A}$ 。

图 5 显示的是在采用图 4 所示配置时,AD7329 所需要的驱动电流。该输入电流与吞吐速率关系坐标图生成于单通道转换过程中。

这种配置的优势在于,在最大采样频率下,8 个模拟输入通道只需一个运算放大器即可。在驱动源看来,AD7329 的模拟输入阻抗是 $\text{M}\Omega$ 级的,只需很少电流即可驱动 8 个模拟输入引脚。MUX_{OUT} 引脚与 ADC_{IN} 引脚之间的运算放大器将驱动源与 ADC 输入端隔离。这种配置可减少元件数量,减小电路板面积,降低电路板成本。

根据具体应用要求,比如模拟输入电压、电源电压和采样频率等,可在 AD7329 上的 MUX_{OUT} 引脚与 ADC_{IN} 引脚之间使用其他双极性输入运算放大器。

图 4 在 AD7329 的 MUX_{OUT} 与 ADC_{IN} 引脚之间加缓冲器图 5 用 AD8021 连接 MUX_{OUT} 和 ADC_{IN} 引脚时的输入电流与吞吐速率关系曲线

双极性模拟输入信号

AD7329 上的模拟输入通道支持独立编程,可配置为 4 种输入范围之一。AD7329 可输入 $\pm 4 \times V_{\text{REF}}$ 、 $\pm 2 \times V_{\text{REF}}$ 、 $\pm V_{\text{REF}}$ 和 $0 \sim 4 \times V_{\text{REF}}$ 四种信号。采用内部 2.5 V 基准电压时,这些输入范围即为 $\pm 10 \text{ V}$ 、 $\pm 5 \text{ V}$ 、 $\pm 2.5 \text{ V}$ 及 $0 \sim +10 \text{ V}$ 。AD7329 还允许将一个外部基准电压应用

于 REF_{IN}/REF_{OUT} 引脚。基准电压的输入范围为 $2.5 \sim 3 \text{ V}$ 。采用 3 V 外部基准电压时, AD7329 可输入 $\pm 12 \text{ V}$ 、 $\pm 6 \text{ V}$ 、 $\pm 3 \text{ V}$ 和 $0 \sim +12 \text{ V}$ 的信号。在差分输入模式下,若采用 3 V 外部基准电压,AD7329 可输入 $\pm 24 \text{ V}$ 、 $\pm 12 \text{ V}$ 、 $\pm 6 \text{ V}$ 和 $0 \sim +24 \text{ V}$ 的差分信号,具体取决于所选范围。在增加 AD7329 基准输入电压以提高模拟输入电压范围时,要保证 MUX_{OUT} 引脚与 ADC_{IN} 引脚之间的运算放大器必须能够支持此类较大的双极性输入信号。

当增加 AD7329 上的模拟输入电压时, V_{DD} 和 V_{SS} 电源电压应大于等于 ADC 的最大模拟输入电压。在最大采样频率下,随着 V_{DD} 和 V_{SS} 电源电压的降低,AD7329 的总谐波失真性能会随之下降(见图 6)。因此, V_{DD} 和 V_{SS} 电源电压取决于具体应用所要求的总谐波失真性能。当 V_{DD} 和 V_{SS} 电源电压降低时,输入多路复用器和采样保持开关的导通电阻(R_{ON})会增大。当采用对应于模拟输入范围的最低 V_{DD} 和 V_{SS} 电源电压时,为达到额定性能要求,应降低 AD7329 的采样速率。这样允许 ADC 有更多建立时间,以补偿输入多路复用器导通电阻的增加。

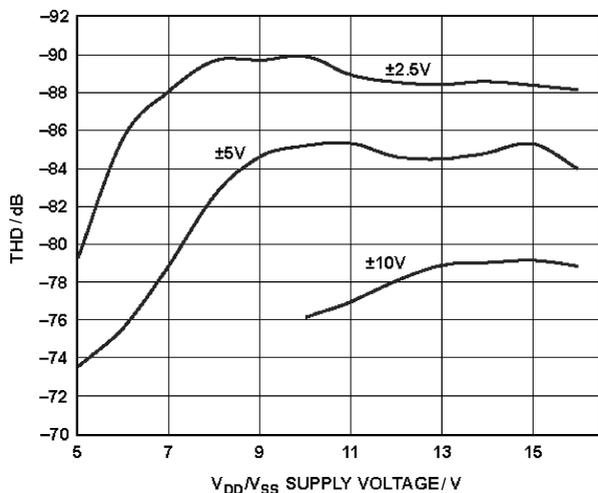


图 6 总谐波失真与电源电压关系曲线

除可以转换较大双极性模拟输入信号外,AD7329 还可以被配置为转换毫伏级信号的 ADC。如图 7 所示,通过运算放大器设置增益,AD7329 可以转换毫伏级小信号。

如使用图 7 所示配置,可将毫伏级的小信号应用于模拟输入;然后通过 AD797 对这些信号进行放大处理。接下来将放大后的信号连接至 ADC_{IN} 引脚,该引脚再通过采样保持开关连接至内部采样电容。

可选择 AD797 上的增益,以确保应用于 ADC_{IN} 引脚的信号利用 ADC 的整个动态范围。这样可从 AD7329 获得更好的结果。

表 1 所列性能为当 AD7329 输入范围为 $\pm 10 \text{ V}$,采样速率为 1 MSPS 时,用单端模式输入

10 kHz 的单音信号,而后改变位于 MUX_{OUT} 引脚与 ADC_{IN} 引脚之间运算放大器 AD797 的增益所获得的结果。

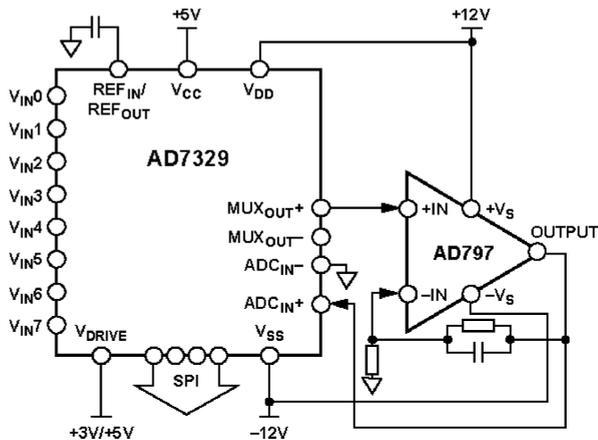


图 7 AD7329 MUX_{OUT} 与 ADC_{IN} 引脚之间的增益级

表 1 在 MUX_{OUT} 引脚与 ADC_{IN} 引脚之间插入不同增益值时的交流特性

增益/(V/V)	信噪比(SNR)/dB	总谐波失真/dB	有效位数/位
1	73.57	-80.80	11.93
20	73.00	-79.91	11.83
50	72.34	-79.90	11.72
100	72.28	-79.81	11.71
200	71.66	-78.99	11.61
500	71.48	-78.46	11.58
1000	69.94	-75.38	11.32

增益越大,信噪比和总谐波失真的性能下降越明显。若采用 AD7329 且按图 7 进行配置,增益设为 1000,转换器仍可取得 11 位以上的有效位数(ENOB)。若在 MUX_{OUT} 引脚与 ADC_{IN} 引脚之间的增益级使用此值,则 AD7329 可取得相当于 21 位 ADC 的极宽动态范围。

在某些应用中,可能需要改变增益,以适应不同输入通道的信号幅度(见图 8)。这种情况下,可在 AD797 反馈通道中使用一个多路复用器,以允许切换不同的电阻值,从而改变增益设置。对于可编程增益放大器(PGA)设计,建议采用 AD797 和 ADG412。图 9 显示的是针对可编程增益放大器应用的推荐原理图。

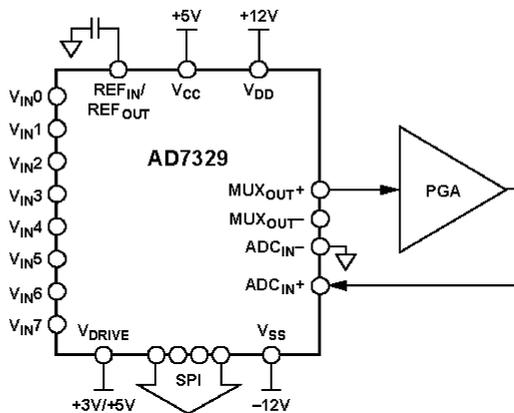
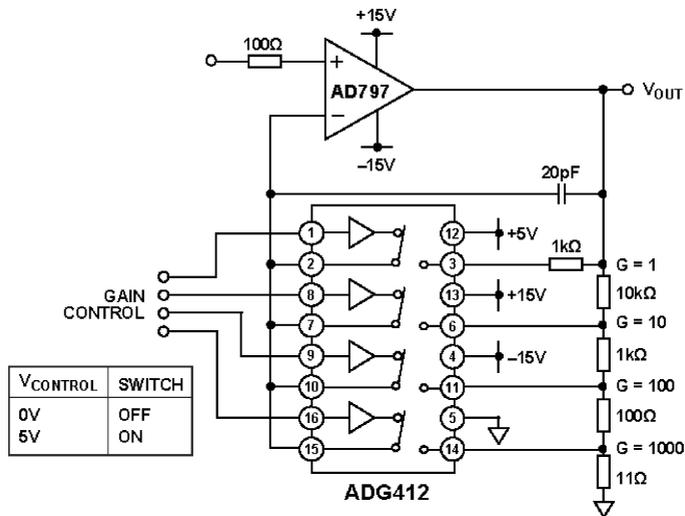
图 8 AD7329 MUX_{OUT}与 ADC_{IN}引脚之间的可编程增益放大器

图 9 采用 AD797 和 ADG412 构建的一种极低噪声可编程增益放大器

结 论

AD7329 是一款多功能器件。在数据采集系统中,该器件可节省物料,从而显著降低成本。只需一个放大器即可提供 8 个模拟输入通道所需要的高输入阻抗,从而省去了 7 个放大器的费用。采用 AD7329 的数据采集系统可连接至动态范围从毫伏级到 $\pm 12\text{V}$ 不等的传感器,这可以通过添加一个可编程增益放大器实现。

AN - 0979 应用笔记

数字滤波器的选择: AD7190、AD7192

作者: Mary McCarthy

简介

标题所列 $\Sigma - \Delta$ ADC 内置用户可选的 sinc^3 和 sinc^4 数字滤波器。本应用笔记将比较这两种滤波器,明确各自的优点以及使用每种滤波器的影响。

sinc 滤波器

$\Sigma - \Delta$ ADC 内置一个 $\Sigma - \Delta$ 调制器,后接一个数字滤波器。调制器以高采样速率对模拟输入连续采样,并输出 1 位数据流。位流中 1 的数量对应于模拟输入电压。然后,数字滤波器处理位流并执行抽取,以产生 24 位转换结果。

sinc 滤波器用作所讨论产品的数字滤波器。输出数据速率 f_{ADC} ,即 ADC 在单一通道上连续转换的速率等于:

$$f_{\text{ADC}} = f_{\text{CLK}} / (1024 \times \text{FS}[9:0])$$

式中:

f_{CLK} 为主时钟频率(标称值 4.92 MHz)。

$\text{FS}[9:0]$ 为模式寄存器 FS9 位至 FS0 位中的码的十进制等效值。

这是禁用斩波时输出数据速率的计算公式。请注意,本应用笔记假设禁用斩波,除非另有说明。

图 1 显示 10 Hz 输出数据速率时 sinc^3 滤波器的频率响应,图 2 显示 10 Hz 输出数据速率时 sinc^4 滤波器的频率响应。陷波位置由输出数据速率决定。陷波宽度取决于滤波器阶数。随着阶数提高,陷波将变得更宽。因此,输出数据速率决定陷波位置,滤波器阶数则决定可以

在陷波周围获得的抑制。随着滤波器阶数提高,滚降、阻带衰减、建立时间和噪声都会受影响。

50 Hz /60 Hz 抑制

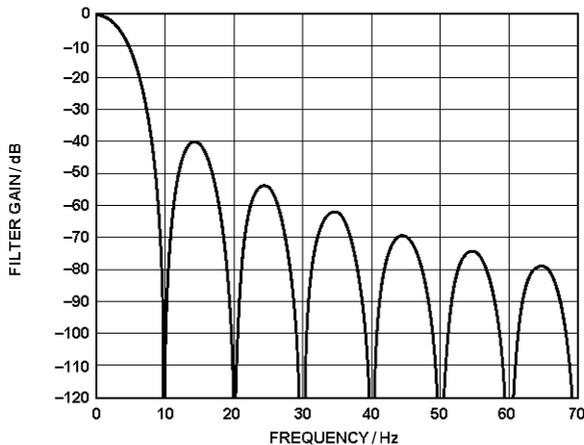


图 1 sinc^3 滤波器响应 ($f_{\text{ADC}} = 10 \text{ Hz}$)

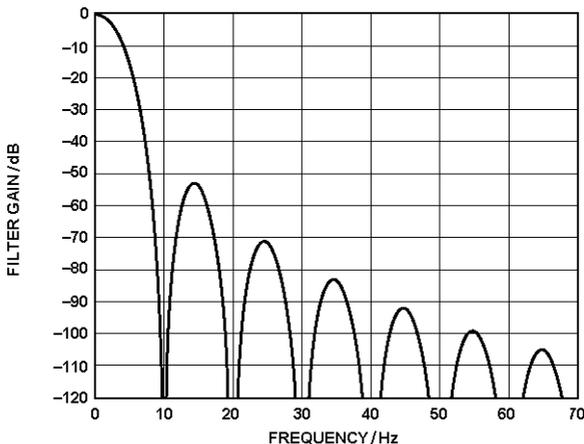


图 2 sinc^4 滤波器响应 ($f_{\text{ADC}} = 10 \text{ Hz}$)

图 1 显示输出数据速率为 10 Hz 时 sinc^3 滤波器的频率响应。陷波出现在输出数据速率及其倍数处。因此,陷波位于 10 Hz、20 Hz、30 Hz 等。可以利用此特性来抑制来自主电源的

干扰,这是许多应用的关键要求。在世界上的一些地区,需要抑制 50 Hz 干扰,而在另一些地区,则需要抑制 60 Hz 干扰。可以利用 sinc 滤波器的陷波来抑制这种干扰。当输出数据速率为 10 Hz 时,陷波位于 50 Hz 和 60 Hz,因而能够实现 50 Hz 和 60 Hz 同时抑制。终端系统如果需要销往世界上的许多国家和地区,则必须具备此特性。

从图 1 可知,当输出数据速率等于 10 Hz 时,50 Hz \pm 1 Hz 和 60 Hz \pm 1 Hz 抑制超过 100 dB;其前提是系统时钟具有低抖动和漂移,例如利用晶振提供系统时钟。

图 2 显示输出数据速率为 10 Hz 时 sinc⁴ 滤波器的频率响应。与 sinc³ 滤波器一样,陷波位于 10 Hz 和 10 Hz 的倍数。但是,由于陷波更宽,50 Hz \pm 1 Hz 和 60 Hz \pm 1 Hz 抑制超过 120 dB。

如果只需要 50 Hz 抑制或 60 Hz 抑制,则可以提高输出数据速率;因此,对于仅 50 Hz 抑制,可以使用的最大输出数据速率为 50 Hz。此时,sinc 滤波器的第一陷波位于 50 Hz。同样,60 Hz 输出数据速率将使第一陷波位于 60 Hz。

当 ADC 以 50 Hz 输出数据速率工作时,有一个片内特性也能使陷波位于 60 Hz。如果模式寄存器的 REJ60 位设为 1,则当输出数据速率为 50 Hz 时,60 Hz 处也有一个陷波。因此,可以将输出数据速率从 10 Hz 提高到 50 Hz,同时仍然能够获得 50 Hz 和 60 Hz 同时抑制。图 3 显示输出数据速率为 50 Hz 且 REJ60 设为 1 时的滤波器响应。最差情况的 50 Hz \pm 1 Hz 和 60 Hz \pm 1 Hz 抑制为 67 dB。当使用 sinc⁴ 滤波器时(见图 4),最差情况的 50 Hz \pm 1 Hz 和 60 Hz \pm 1 Hz 抑制为 82 dB。

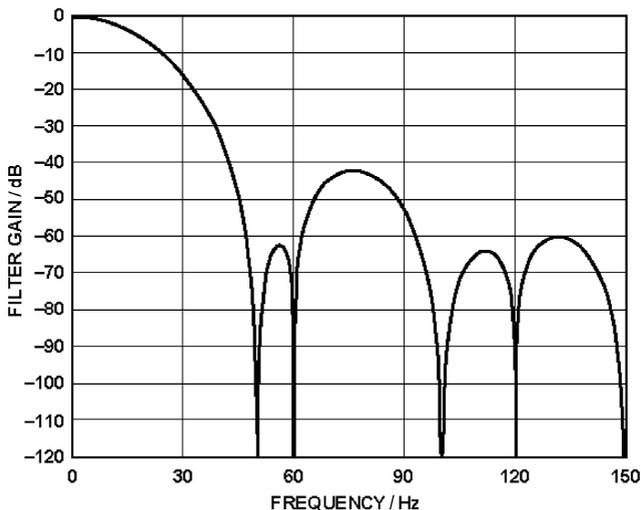
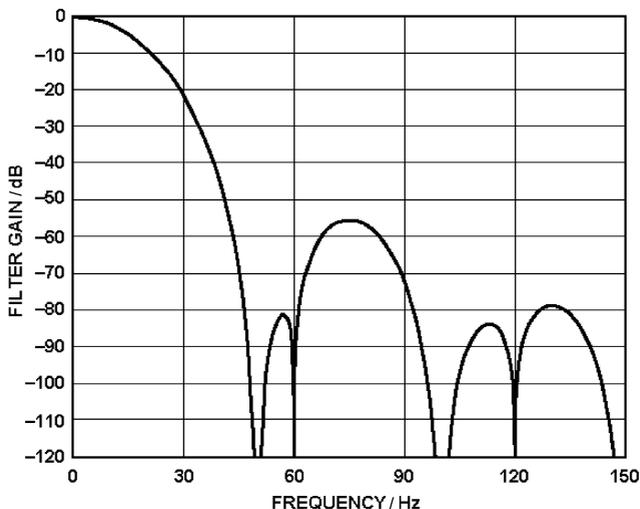


图 3 sinc³ 滤波器响应 ($f_{\text{ADC}} = 50 \text{ Hz}$, REJ60=1)

图 4 sinc^4 滤波器响应 ($f_{\text{ADC}} = 50 \text{ Hz}$, $\text{REJ}_{60} = 1$)

阻带衰减

滤波器阶数会引起的滤波器响应变化,表现为除了影响陷波宽度外,还会改变阻带衰减和滤波器滚降。阻带衰减是指数字滤波器对第一陷波以上频率的衰减(见图 5)。随着滤波器阶数提高,阻带衰减将得到改善。 sinc^3 滤波器的阻带衰减为 40 dB, sinc^4 滤波器则为 53 dB。

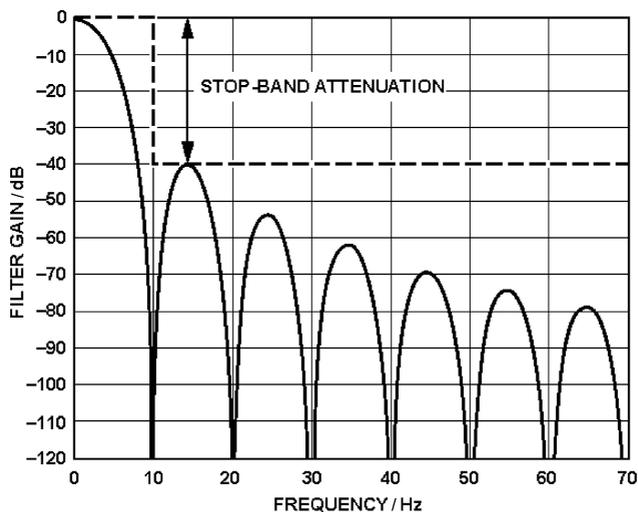


图 5 阻带衰减

噪声和分辨率

这些器件能够以 4.7 Hz 至 4.8 kHz 的可编程输出数据速率工作。除滤波器阶数外,输出数据速率也会影响噪声,从而影响分辨率。输出数据速率较低时, sinc^3 与 sinc^4 滤波器的均方根噪声相似(见图 6)。但是,如果输出数据速率较高(1 kHz 或更高),则 sinc^4 滤波器的均方根噪声性能更优越。图 7 显示不同输出数据速率时的无噪声(峰峰值)分辨率。

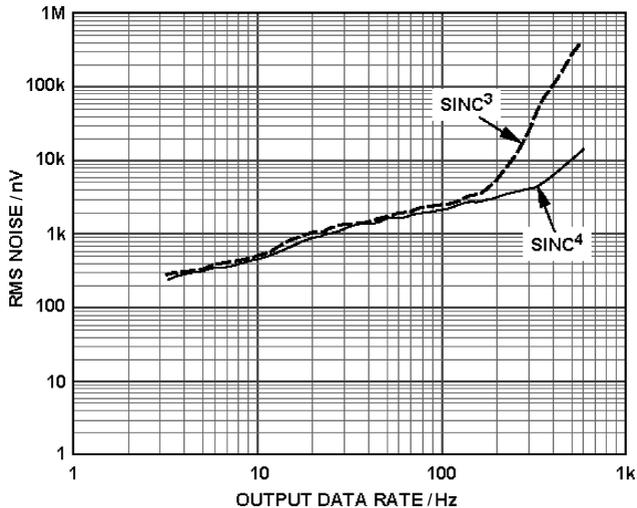


图 6 均方根噪声与输出数据速率的关系(增益=1, $V_{\text{REF}}=5\text{ V}$)

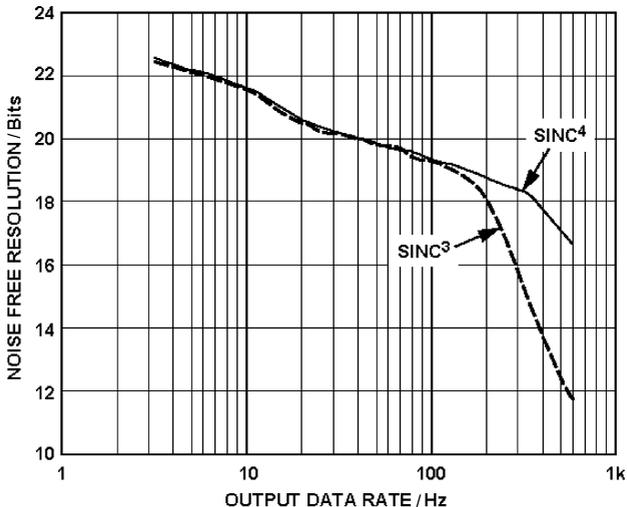


图 7 无噪声分辨率与输出数据速率的关系(增益=1, $V_{\text{REF}}=5\text{ V}$)

建立时间

对于多通道应用,建立时间是需要考虑的另一个参数。当在单一通道上连续转换时,如果模拟输入信号是连续的,ADC 将以设定的输出数据速率输出有效转换结果。然而,如果发生配置变更,例如更改通道、增益或输出数据速率等,则配置变更之后的第一次转换需要花费额外的时间。图 8 显示 ADC 以 10 Hz 输出数据速率工作时通道变更的影响。发生通道变更时,调制器和滤波器将复位。然后,ADC 开始对新的模拟输入采样。必须让滤波器完全建立起来,才能产生第一个有效转换结果。对于 sinc^3 滤波器,建立时间 t_{SETTLE} 等于:

$$t_{\text{SETTLE}} = 3/f_{\text{ADC}}$$

对于 sinc^4 滤波器,建立时间等于:

$$t_{\text{SETTLE}} = 4/f_{\text{ADC}}$$

如果 ADC 在单一通道上执行转换,但模拟输入信号发生阶跃变化,则 ADC 需要处理新的模拟输入。如果阶跃变化与转换过程同步,则必须经过建立时间后,才能提供有效转换结果。ADC 并不检测模拟输入的阶跃变化,因此它会以设定的输出数据速率继续输出转换结果。然而,中间转换结果并不准确;它们反映的是模拟输入的变化,同时精度较低。

如果阶跃变化发生在转换过程当中,则必须等待当前转换结束,再经过适当的建立时间后,才能产生有效转换结果。对于 sinc^3 滤波器,总时间延长至 $4/f_{\text{ADC}}$;对于 sinc^4 滤波器,产生有效转换结果所需的时间则延长至 $5/f_{\text{ADC}}$ 。

总之,当输出数据速率相同时, sinc^3 滤波器比 sinc^4 滤波器建立得更快。虽然 sinc^4 滤波器的均方根噪声性能和无噪声分辨率高于 sinc^3 滤波器,但前者的建立时间更长。

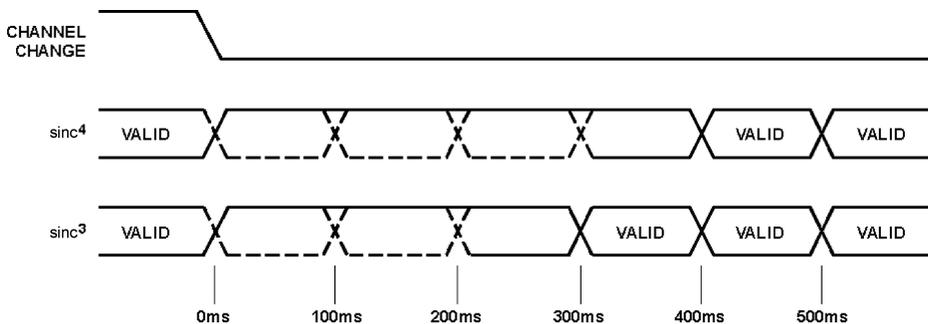


图 8 建立时间(同步阶跃变化)

结 论

sinc 滤波器的阶数影响 $\Sigma - \Delta$ ADC 可实现的性能。高阶 sinc 滤波器可以提供更好的陷波频率抑制和阻带衰减,而且能在高输出数据速率时提供更优的噪声性能和分辨率。缺点是建立时间更长,sinc⁴ 滤波器的建立时间比 sinc³ 滤波器的建立时间长一个转换周期。因此,滤波器选择取决于所需的 50 Hz 和 60 Hz 抑制组合、所用的输出数据速率以及所需的噪声性能和分辨率。对于标题所列 $\Sigma - \Delta$ ADC,表 1 列出了不同数字滤波器影响的多个关键性能参数。

表 1 sinc³ 和 sinc⁴ 滤波器的一些关键性能参数比较

参 数	sinc ³	sinc ⁴
均方根噪声($f_{\text{ADC}}=10$ Hz,增益=1)	350 nV	330 nV
无噪声分辨率($f_{\text{ADC}}=10$ Hz,增益=1)	22	22
均方根噪声($f_{\text{ADC}}=4800$ Hz,增益=1)	442 μ V	14.3 μ V
无噪声分辨率($f_{\text{ADC}}=4800$ Hz,增益=1)	11.5	16.5
50 \pm 1 Hz 和 60 \pm 1 Hz 抑制($f_{\text{ADC}}=10$ Hz)	-100 dB	-120 dB
50 \pm 1 Hz 和 60 \pm 1 Hz 抑制($f_{\text{ADC}}=50$ Hz,REJ60=1)	67 dB	82 dB
阻带衰减	40 dB	53 dB
建立时间	3/ f_{ADC}	4/ f_{ADC}

AN - 1011 应用笔记

AD7150 的 EMC 保护

作者: Holger Grothe Mary McCarthy

简介

AD7150 是为近程应用而设计的电容转数字的转换器(CDC)。此器件测量两个电极之间的电容并将测量结果与阈值进行比较。如果输入电容发生改变(例如手靠近过来),就会设置一个输出标志,指示电容已超过阈值,表明有物体接近。

电磁干扰会使容性传感器周围的电场失真,从而改变电容值,影响转换结果。为了防止 AD7150 和容性传感器受到电磁干扰,需要使用一些外部滤波。然而,增加滤波器是有挑战性的,因为滤波器会降低电容数字转换的精度。本应用笔记讨论 AD7150 引脚上的外部滤波器能达到的 EMC 性能,以及滤波器对 AD7150 精度的影响。

什么是 EMC?

电磁兼容性(EMC)是指没有对环境造成电磁辐射并且能在电磁辐射环境中工作的能力。当达到这个目标时,所有的电子设备可以与其他设备一起正常工作。在一个系统中,会有几个 EMC 耦合路径:空间耦合、传导耦合、电感耦合和电容耦合(见图 1)。

当一个系统针对严酷的环境设计时,必须考虑 EMC 并进行 EMC 测试。EMC 测试有不同的级别:系统级测试,子系统级测试和 IC 级测试。测试方法根据每个 EMC 测试级别进行定义。

子系统或者 IC 器件对 EMC 性能的要求取决于器件的功能及其在系统中的位置。例如,在汽车应用中,如果一个器件与汽车电池或底盘连接,那么它必须有较高的 EMC 性能。如果

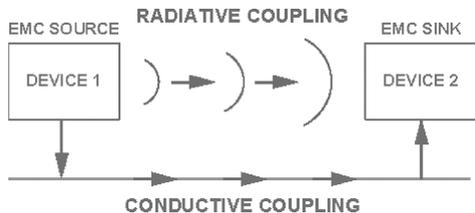


图 1 EMC 耦合路径

器件局限于印制电路板区域内,那么它对 EMC 级别的要求较少。

AD7150 是一个集成电路:因此,依据国际标准 IEC 62132 第 4 部分,用直接电源注入进行 EMC 测试。AD7150 用于近程传感,例如,无钥匙门禁。它局限于 PCB 区域内并与传感器有局部连接。因此,电磁干扰的级别会较低。

电容数字转换器的架构

了解电容数字转换器(CDC)的架构有助于理解 EMC 是如何影响 AD7150 工作的。电容数字转换器利用开关电容技术构建电荷平衡电路来测量电容(见图 2)。

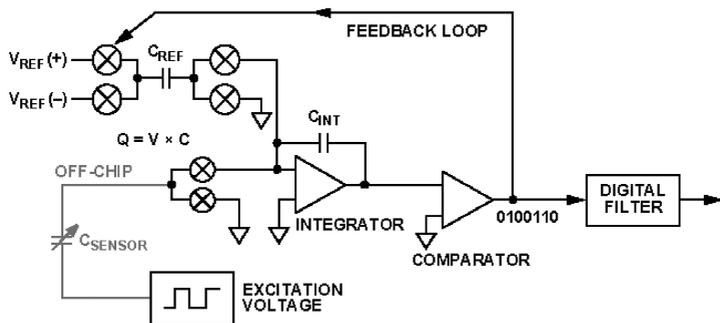


图 2 CDC 架构

检测电容 C_{SENSOR} 和内部参考电容 C_{REF} 以固定采样率进行开关,它们的电荷被输送进入积分器。比较器检测积分器的输出并控制输入开关的相位来关闭反馈环路,从而平衡流过 C_{SENSOR} 和参考路径的电荷。

比较器输出的 0 和 1 的数据流随着环路平衡所需的电荷量而变化。电荷与电压和电容成比例。因为电压 EXC 和 V_{REF} 是固定值,所以 0 和 1 的密度代表输入电容 C_{SENSOR} 与参考电容

C_{REF} 的比值。片内数字滤波器从 0 和 1 组成的时域编码中提取信息形成数字结果。由于滤波是数字的,直流附近的响应在采样频率及其倍频附近重复。因此,片内数字滤波器在采样频率及其倍频附近没有提供抑制。

AD7150

AD7150 使用二阶调制器和三阶 sinc 滤波器。激励频率即容性输入采样频率等于 32 kHz。因此,片内滤波器响应在 32 kHz 及 32 kHz 的倍频处重复(见图 3)。在噪声环境中,需要前端的一些附加滤波对 32 kHz 的倍频进行抑制。32 kHz 信号用于激励和测量电容。这样,理想的外部滤波器应该允许 32 kHz 信号无衰减的通过并在 64 kHz 及其更高的频率进行滤波。

砖墙式滤波器能实现这一响应。然而,因为 CDC 器件测量从激励引脚到容性输入引脚的电荷,所以外部滤波器只能使用无源器件。

实际上,无源滤波器有更慢的滚降。必须在 32 kHz 无衰减地通过与 32 kHz 倍频的衰减之间折中(见图 4)。

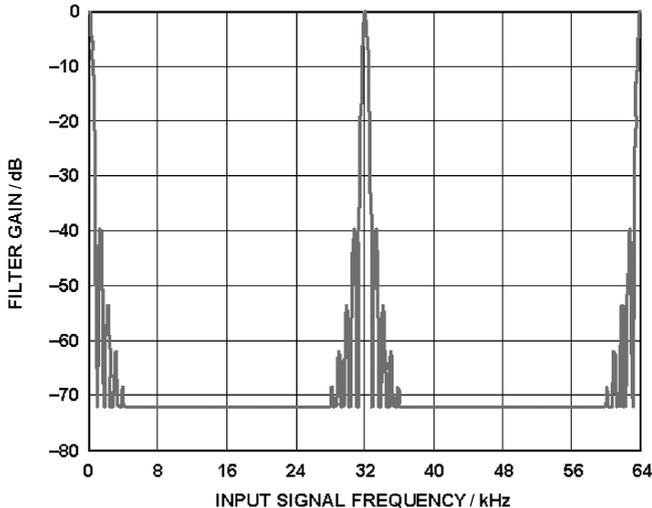


图 3 AD7150 滤波器响应

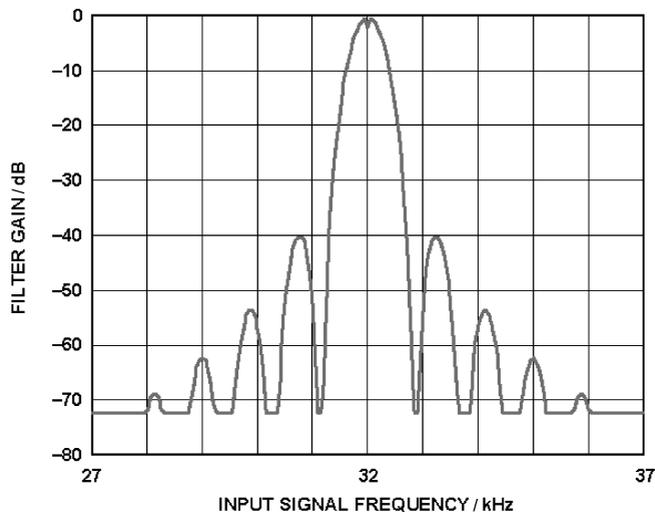


图 4 32 kHz 范围内的频率响应

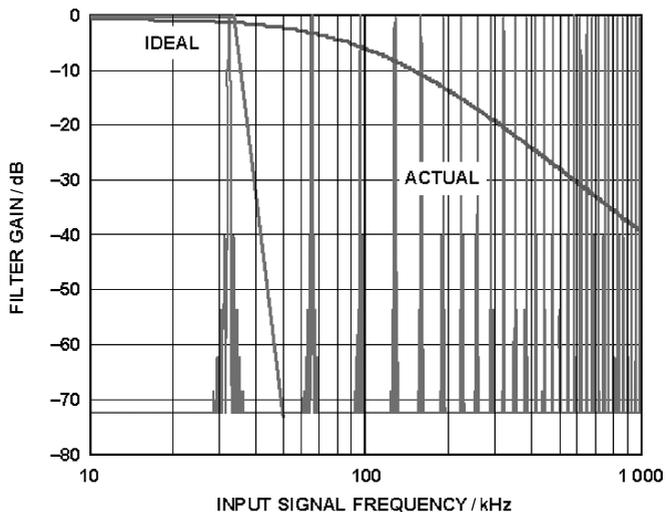


图 5 抗混叠滤波器

EMC 测试

对于 EMC 测试,使用图 6 所示 DPI 设置:这个图摘自 IEC 62132 第 4 部分。DPI 测试设

置包括一个 RF 信号发生器,一个 RF 放大器,一个定向耦合器(耦合器通过探头与一个 RF 功率计连接来测量到 DUT 的前向功率)。测量反射功率是可选的,因为在 DPI 扫描时前向功率必须保持不变。

AD7150 的所有引脚必须进行 EMC 测试。EXC, CIN 和 VDD 引脚是最敏感的。因此,本应用笔记关注重点是这些引脚。根据 IEC 62132 第 4 部分,通过 AC 耦合(见图 7)对 CIN、EXC 和 VDD 引脚逐一施加连续的 RF 频率。测试方法推荐使用 6.8 nF 的 AC 耦合电容。这个电容用在 VDD 引脚。然而,EXC 和 CIN 引脚使用更小的电容(47 pF),因为 IEC 62132 第 4 部分中建议的电容值超过了 AD7150 允许的最大接地电容。

频率以 1 MHz 为步进从 1 MHz 增加到 100 MHz,以 10 MHz 为步进从 100 MHz 增加到 1 000 MHz。ADI 以 50 mW 为目标功率。如果在频率扫描时注入 50 mW 功率后 AD7150 没有误触发,就认为测试通过。如果注入 50 mW 功率后出现误触发,就认为测试失败。如果器件在任一频率没有通过 50 mW 目标功率测试,那么器件没有误触发的最大 RF 功率就确定了。

DPI 测试在更低频率范围从 1 MHz 到 3 MHz 以更小的 200 Hz 为步进重复进行。因为 AD7150 对 32 kHz 信号及其倍频信号敏感,所以进行这个测试,外部 EMC 滤波器在这个频率范围内效率较低。

对所有 EMC 测试,AD7150 的输入范围设置为 2 pF,灵敏度设为十进制的 10。

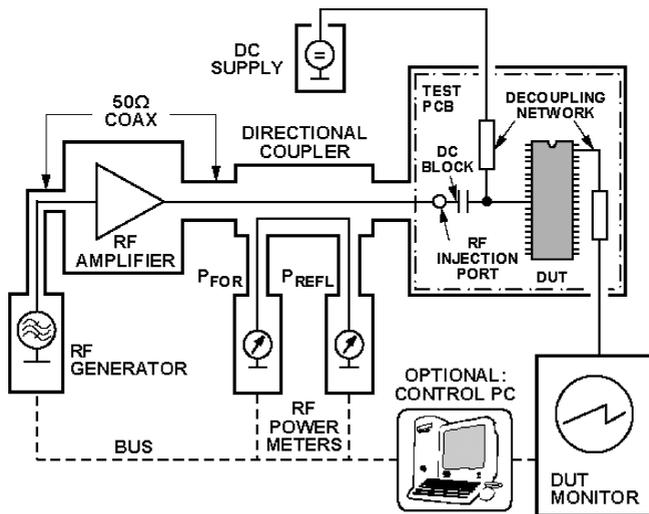


图 6 DPI 测试设置

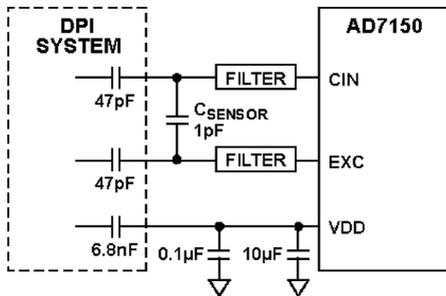


图 7 AD7150 与 DPI 系统的连接

没有外部滤波器时 AD7150 的 EMC 性能

为了确定 AD7150 的 EMC 性能,先对 AD7150 在没有外部滤波器时进行 EMC 测试。由于 CIN 引脚是最敏感的,所以在 DPI 测试中使用这个引脚。如图 8 所示,引起误触发的功率远低于 50 mW 的目标。

请注意,以 50 mW 为目标功率时,AD7150 仍保持正常功能。尽管器件在这个功率测试时有误触发,但它不会被锁死。

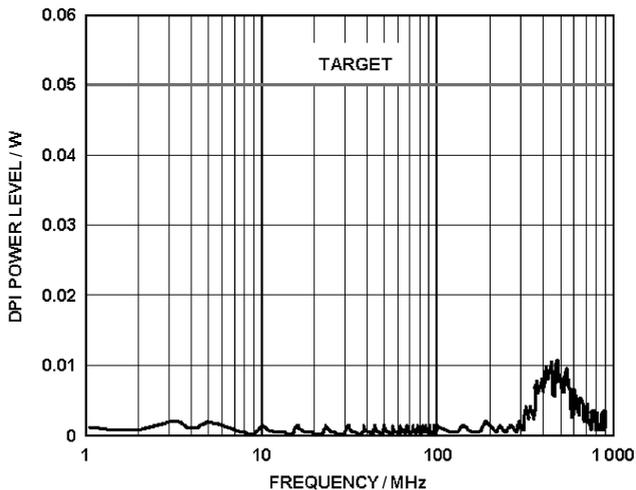


图 8 没有外部滤波器时在引脚 CIN 以 1 MHz 为步进从 1 MHz 到 100 MHz,以 10 MHz 为步进从 100 MHz 到 1 000 MHz 的 DPI 测试

选择外部滤波器

砖墙式滤波器有最佳的滤波器响应——对 32 kHz 信号无衰减,对 64 kHz 附近及更高的频率有抑制。因为 AD7150 不能与有源器件一起使用,所以在 CIN 和 EXC 引脚上对不同种类的无源滤波器进行了评估。

在对几个无源滤波器结构进行评估之后,二阶滤波器被选来用在 CIN 引脚,因为它使用合理的少量非精密器件提供了很好的频率响应和滚降性能。

对于 EXC 引脚,用一阶滤波器足以达到期望的 EMC 性能。最后,VDD 引脚使用标准去耦电容(一个 $0.1\ \mu\text{F}$ 陶瓷电容与一个 $10\ \mu\text{F}$ 钽电容并联到 GND)。用这些去耦电容可以达到期望的 EMC 性能。

选择这些器件是 EMC 性能和 AD7150 近程检测精度最好的折中。虽然 AD7150 的精度降低了,但它仍然能在近程应用中使用。

连接到 CIN 引脚的二阶滤波器和连接到 EXC 引脚的一阶滤波器的值如图 9 所示。一个 $1\ \text{pF}$ 陶瓷电容用在容性传感器的位置。二阶滤波器的截止频率是 $72.76\ \text{kHz}$,在 $32\ \text{kHz}$ 的相移是 -48° ,在 $32\ \text{kHz}$ 的衰减是 $-1.62\ \text{dB}$ 。

图 10 和图 11 分别为二阶无源滤波器的频率响应和阶跃响应。

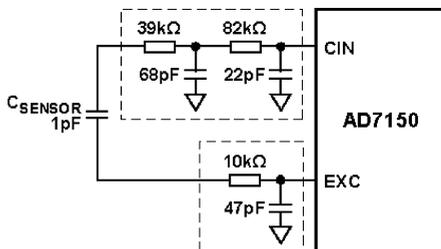


图 9 AD7150 前端的无源滤波器

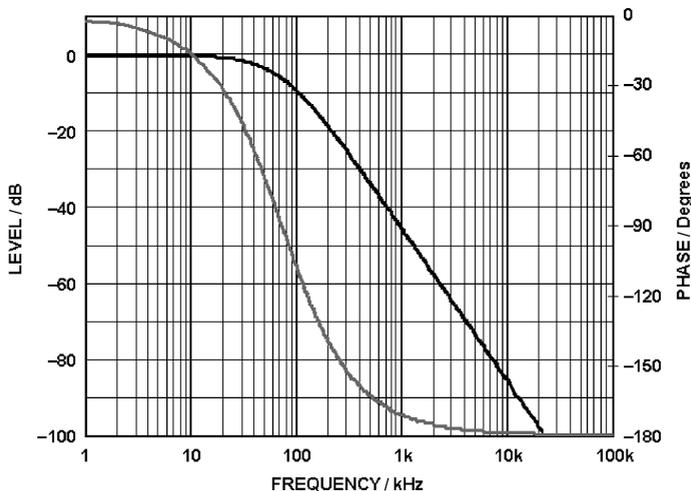


图 10 二阶无源滤波器的频率响应

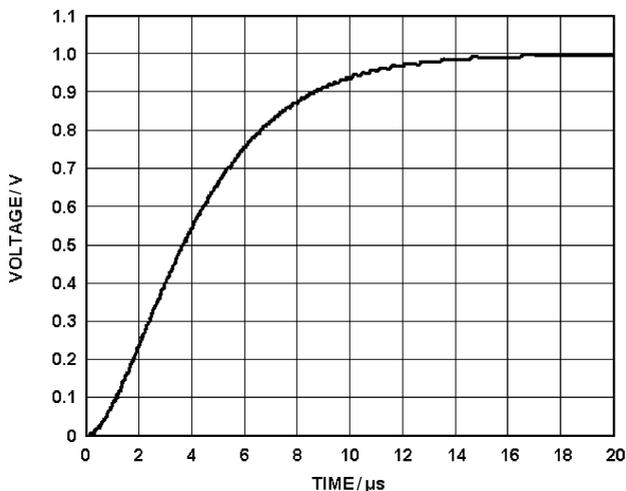


图 11 二阶无源滤波器的阶跃响应

有外部滤波器时 AD7150 的性能

24

与 CIN 和 EXC 引脚连接的外部滤波器影响 AD7150 转换的精度。图 12 表明输入到输出传递函数的变化。有外部滤波器时,失调误差为 0.724 pF,当使用 2 pF 输入电容时增益误差为 -0.859 pF(相当于 -42.9%)。电源抑制降低到 40 fF/V。

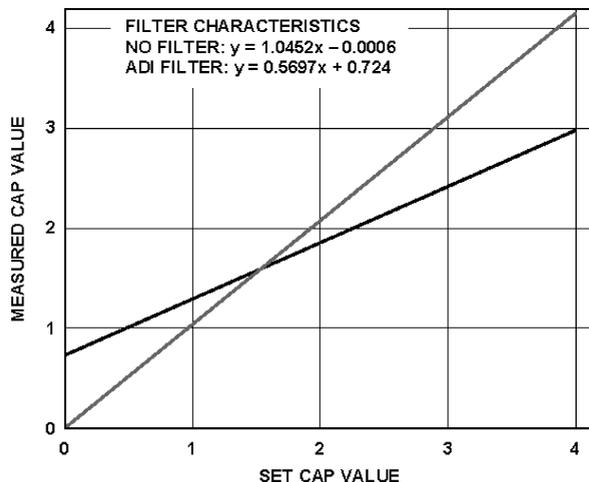


图 12 有外部滤波器和无外部滤波器时 AD7150 的输入到输出传递函数

有外部滤波器时 AD7150 的 EMC 性能

1. 在 CIN 引脚上的 DPI

当 RF 频率以 1 MHz 为步进从 1 MHz 扫描到 100 MHz 和以 10 MHz 为步进从 100 MHz 扫描到 1 000 MHz 时,如图 13 所示,AD7150 的输出端没有误触发出现。如图 14 所示,当以 200 Hz 为步进,从 1 MHz 到 3 MHz 重复 DPI 测试时,外部无源滤波器在 1.9 MHz 以上频率有全面的抗干扰性能。在低频时,外部滤波器不太有效——对 32 kHz 倍频附近的窄带频率仍然有一些敏感性。

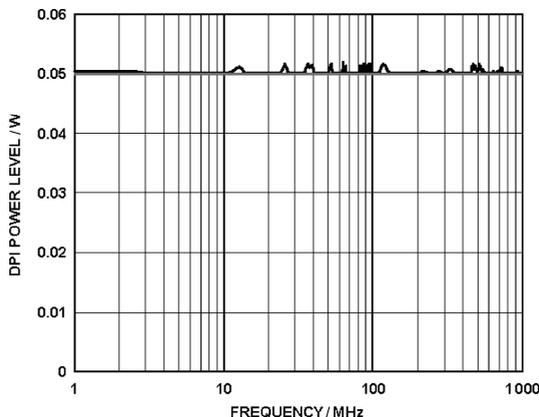


图 13 CIN 引脚:从 1 MHz 到 1 000 MHz 扫描

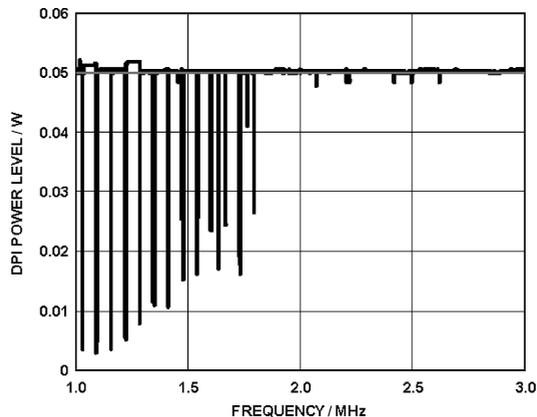


图 14 CIN 引脚:以 200 Hz 为步进从 1 MHz 到 3 MHz 的精细扫描

2. 在 EXC 引脚上的 DPI

在 EXC 引脚上 RF 频率以 1 MHz 为步进从 1 MHz 扫描到 100 MHz 并以 10 MHz 为步进从 100 MHz 扫描到 1 000 MHz 时,如图 15 所示,AD7150 的输出端没有误触发出现。如图 16 所示,当以 200 Hz 为步进,从 1 MHz 到 3 MHz 重复 DPI 测试时,仍然没有误触发出现。这样,当 EXC 引脚连接一阶滤波器时可以达到较高的 EMC 性能。

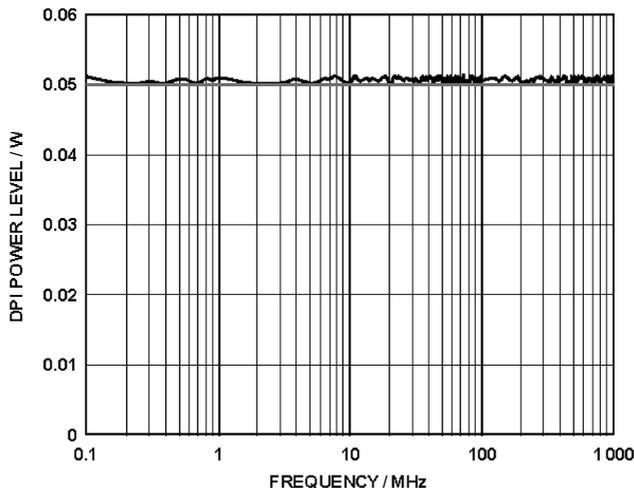


图 15 EXC 引脚:从 1 MHz 到 1 000 MHz 扫描

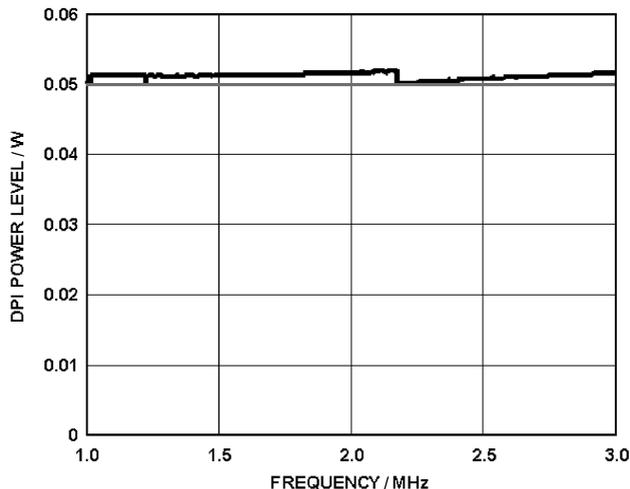


图 16 EXC 引脚:以 200 Hz 为步进从 1 MHz 到 3 MHz 扫描

3. 在 VDD 引脚上的 DPI

在 VDD 引脚上也进行了 DPI 测试。当 RF 频率以 1 MHz 为步进从 1 MHz 扫描到 100 MHz 并以 10 MHz 为步进从 100 MHz 扫描到 1 000 MHz 时,用标准去耦电容连接 VDD 引脚的 AD7150 没有误触发出现(见图 17)。当频率以 200 Hz 为步进从 1 MHz 扫描到 3 MHz 时,仍然没有误触发出现(见图 18)。因此,去耦电容提供了高水平的 EMC 性能。

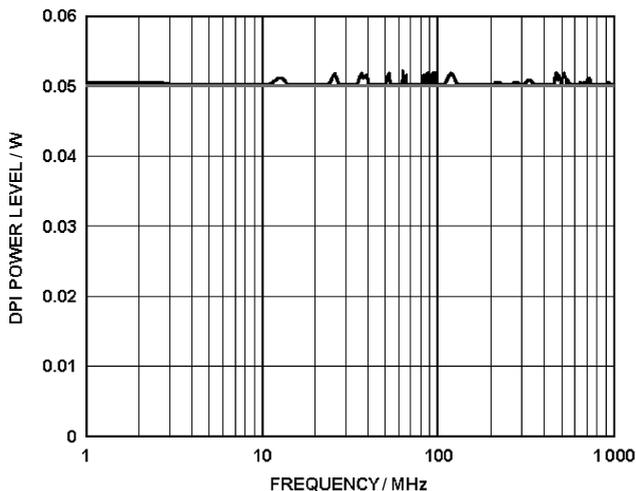


图 17 VDD 引脚在 1 MHz 到 1 000 MHz 范围的 DPI 测试

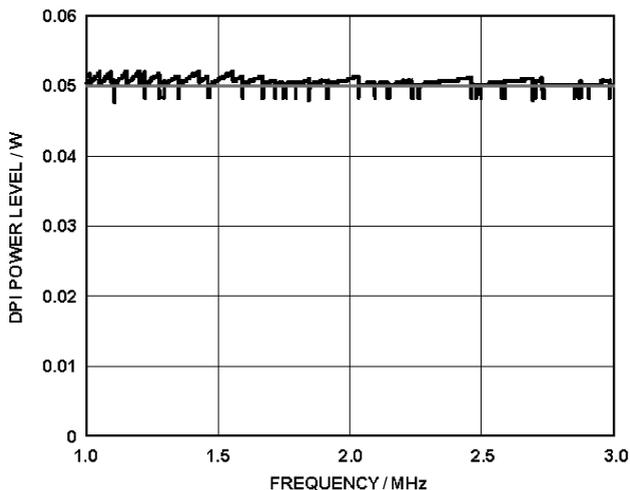


图 18 VDD 引脚以 200 Hz 为步进从 1 MHz 到 3 MHz 扫描

结 论

以目标功率 50 mW 对 AD7150 进行 EMC 测试时,器件没有栓锁。在有 EMC 干扰时,器件继续进行转换,EMC 干扰取消后它能回到预期的精度。

在本应用笔记中,推荐用外部无源滤波器来提高 AD7150 的 EMC 性能。当 CIN 和 EXC 引脚连接外部滤波器并且 VDD 引脚使用标准去耦电容时,器件通过 1.9 MHz 以上频率的 EMC 测试。当频率小于 1.9 MHz 时,器件对 32 kHz 倍频附近范围的频率表现出一些敏感性。

没有外部滤波器并且以 50 mW 为目标功率水平时,AD7150 不能通过在 IEC 62132 第 4 部分中描述的 EMC 测试。然而,AD7150 总能保持正常功能。50 mW 功率水平不会引起 AD7150 的栓锁。

当使用外部 EMC 滤波器时,AD7150 仍能满足近程检测应用的需求。滤波器会导致 AD7150 精度的降低,然而其精度对于近程检测系统来说足够了。

本应用笔记中讨论的外部 EMC 滤波器优化了 AD7150 的 EMC 性能。如果使用不太标准的滤波器,AD7150 的精度会降低一点儿。这是 EMC 性能与 AD7150 精度的折中。

AN-1021 应用笔记

基于 MMSE 的触摸屏应用多点校准算法

作者: Ning Jia

简介

现代设备多以液晶屏及触摸屏技术作为用户界面。因其简单的构造和众所周知的操作原理,电阻式触摸屏是讲求成本型设计的首选。然而,电阻式触摸屏存在的机械对齐误差及缩放因子,影响了触摸屏产生的 X、Y 坐标。因此,很难将触摸屏的坐标与之后显示屏(液晶屏等)完全对齐。含有触摸屏的最终产品出厂时,必须首先执行校准算法。

针对触摸屏的经典校准算法是一种基于三个参照点的三点校准算法。这种经典三点校准算法效率高、效果好,但当触摸屏较大时,性能较低。本应用笔记针对电阻式触摸屏,提出了一种基于最小均方误差(MMSE)的多点校准算法,采用三个以上的参照点。数学推导和实验均证明,本算法的精度优于经典三点校准算法。

数学原理

图 1 所示红色圆形的理想中心为 O(原点),理想半径为 R。假定该红色圆形代表的是触摸屏下方液晶屏所显示的图像。蓝色椭圆表示用户沿着液晶屏所示红色圆形进行触摸时,触摸屏产生的一组点(图中为夸张的显示)。因此,受电阻式触摸屏本身机械对齐误差和缩放因子的影响,重构后的图像在各坐标轴上均以不同的因子旋转、平移和缩放。校准算法面临的挑战是如何将触摸屏产生的坐标转换成精确代表所示图像的一组坐标。

设存在一点,其理想坐标为 $P(x, y)$,且触摸屏产生的坐标为 $P'(x', y')$ 。(P 点位于红色圆形上,与其对应的 P' 点则位于蓝色椭圆上。)设 $P'(x', y')$ 旋转 θ 角度,然后在 X 和 Y 轴分别缩放 K_X 和 K_Y ,分别平移 T_X 和 T_Y ,可以回到其理想坐标 $P(x, y)$ 。校准算法的目的是计算系

数 θ 、 K_X 、 K_Y 、 T_X 和 T_Y 。然后可利用这些系数对触摸屏直接产生的坐标进行校准。

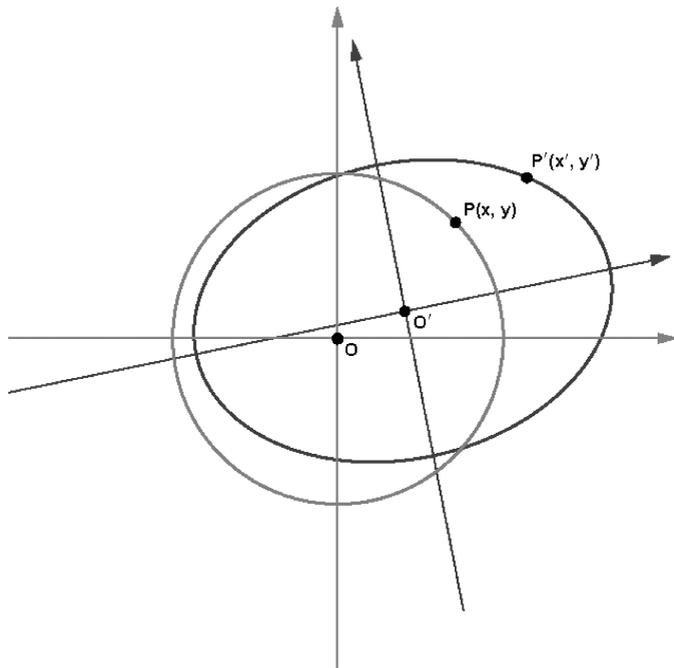


图 1 触摸屏误差

为了便于大家理解以上分析,不妨假设 $P'(x', y')$ 为触摸屏直接产生的坐标,其等价极坐标表达式 $P'(R\cos\theta_0, R\sin\theta_0)$ 。另外假设,与 $P'(x', y')$ 对应的理想坐标为 $P(x, y)$ 。鉴于 $P'(x', y')$ 与 $P(x, y)$ 的关系,可得:

$$P(x, y) = P(K_X R \cos(\theta_0 + \theta) + T_X, K_Y R \sin(\theta_0 + \theta) + T_Y)$$

根据三角函数,有

$$\cos(\theta_0 + \theta) = \cos\theta_0 \cos\theta - \sin\theta_0 \sin\theta$$

及

$$\sin(\theta_0 + \theta) = \sin\theta_0 \cos\theta + \cos\theta_0 \sin\theta$$

可得以下方程式:

$$\begin{cases} x' = R \cos\theta_0 \\ y' = R \sin\theta_0 \end{cases}$$

$$\begin{cases} x = K_X R \cos(\theta_0 + \theta) + T_X = K_X R (\cos\theta_0 \cos\theta - \sin\theta_0 \sin\theta) + T_X \\ y = K_Y R \sin(\theta_0 + \theta) + T_Y = K_Y R (\sin\theta_0 \cos\theta + \cos\theta_0 \sin\theta) + T_Y \end{cases}$$

则有

$$\begin{cases} x = \cos\theta K_X x' - \sin\theta K_X y' + T_X \\ y = \cos\theta K_Y y' - \sin\theta K_Y x' + T_Y \end{cases}$$

其中:

θ 、 K_X 、 K_Y 、 T_X 和 T_Y 均为常数。

设:

$$\begin{aligned} \cos\theta K_X &= KX_1 \\ -\sin\theta K_X &= KX_2 \\ T_X &= KX_3 \\ \sin\theta K_Y &= KY_1 \\ \cos\theta K_Y &= KY_2 \\ T_Y &= KY_3 \end{aligned}$$

则前述方程式可改写为:

$$\begin{cases} x = KX_1 x' + KX_2 y' + KX_3 \\ y = KY_1 y' + KY_2 x' + KY_3 \end{cases}$$

可利用以上方程式来校准 $P'(x', y')$, 从而得到 $P(x, y)$ 。对于 X 轴和 Y 轴而言, 各方程式中均含有三个未知系数。

经典三点校准算法

通过上述分析, 我们得到了 X 轴或 Y 轴的校准方程式。对于 X 轴或 Y 轴, 各方程式均含有三个未知系数。因此, 如果可获得三个不相关参照点的信息, 则可构建出线性方程组, 通过解方程来获得未知系数的解。

设三个参照点的理想坐标为 (x_0, y_0) 、 (x_1, y_1) 和 (x_2, y_2) , 其对应的采样坐标分别为 (x'_0, y'_0) 、 (x'_1, y'_1) 和 (x'_2, y'_2) , 则 X 轴和 Y 轴的方程式分别为

$$\begin{cases} x_0 = KX_1 x'_0 + KX_2 y'_0 + KX_3 \\ x_1 = KX_1 x'_1 + KX_2 y'_1 + KX_3 \\ x_2 = KX_1 x'_2 + KX_2 y'_2 + KX_3 \end{cases}$$

及

$$\begin{cases} y_0 = KY_1 x'_0 + KY_2 y'_0 + KY_3 \\ y_1 = KY_1 x'_1 + KY_2 y'_1 + KY_3 \\ y_2 = KY_1 x'_2 + KY_2 y'_2 + KY_3 \end{cases}$$

基于此, 可将以上述方程改写为矩阵模式:

$$\begin{bmatrix} x'_0 & y'_0 & 1 \\ x'_1 & y'_1 & 1 \\ x'_2 & y'_2 & 1 \end{bmatrix} \cdot \begin{bmatrix} \text{KX}_1 \\ \text{KX}_2 \\ \text{KX}_3 \end{bmatrix} = \begin{bmatrix} x_0 \\ x_1 \\ x_2 \end{bmatrix}$$

及

$$\begin{bmatrix} x'_0 & y'_0 & 1 \\ x'_1 & y'_1 & 1 \\ x'_2 & y'_2 & 1 \end{bmatrix} \cdot \begin{bmatrix} \text{KY}_1 \\ \text{KY}_2 \\ \text{KY}_3 \end{bmatrix} = \begin{bmatrix} y_0 \\ y_1 \\ y_2 \end{bmatrix}$$

在此基础上,可以通过解方程算出校准系数 KX_1 、 KX_2 、 KX_3 、 KY_1 、 KY_2 和 KY_3 。

通过消元法求得的结果如下:

设 $k = (x'_0 - x'_2)(y'_1 - y'_2) - (x'_1 - x'_2)(y'_0 - y'_2)$, 则

$$\text{KX}_1 = \frac{(x_0 - x_2)(y'_1 - y'_2) - (x_1 - x_2)(y'_0 - y'_2)}{k}$$

$$\text{KX}_2 = \frac{(x_1 - x_2)(x'_1 - x'_2) - (x_0 - x_2)(x'_1 - x'_2)}{k}$$

$$\text{KX}_3 = \frac{y'_0(x'_2 x_1 - x'_1 x_2) + y'_1(x'_0 x_2 - x'_2 x_0) + y'_2(x'_1 x_0 - x'_0 x_1)}{k}$$

$$\text{KY}_1 = \frac{(y_0 - y_2)(x'_1 - x'_2) - (y_1 - y_2)(y'_0 - y'_2)}{k}$$

$$\text{KY}_2 = \frac{(y_1 - y_2)(x'_0 - x'_2) - (y_0 - y_2)(x'_1 - x'_2)}{k}$$

$$\text{KY}_3 = \frac{y'_0(x'_2 y_1 - x'_1 y_2) + y'_1(x'_0 y_2 - x'_2 y_0) + y'_2(x'_1 y_0 - x'_0 y_1)}{k}$$

基于 MMSE 的多点校准算法

利用经典三点校准算法得到的系数,可以将三个参照点校准到理想位置。然而,对于不在参照点附近的其他点,校准性能不甚理想,当触摸屏相对较大时尤其如此。示例部分的实验结果同样证实了这个问题。因此,可考虑利用三个以上的参照点,以获得最佳校准系数。

设有 $N+1$ 个参照点 ($N+1 > 3$), 其理想坐标为 (x_0, y_0) 、 (x_1, y_1) 、 \dots 、 (x_N, y_N) , 且其对应的采样坐标为 (x'_0, y'_0) 、 (x'_1, y'_1) 、 \dots 、 (x'_N, y'_N) , 则相应的方程式如下:

$$\begin{cases} x_0 = \text{KX}_1 x'_0 + \text{KX}_2 y'_0 + \text{KX}_3 \\ x_1 = \text{KX}_1 x'_1 + \text{KX}_2 y'_1 + \text{KX}_3 \\ \vdots \\ x_N = \text{KX}_1 x'_N + \text{KX}_2 y'_N + \text{KX}_3 \end{cases}$$

及

$$\begin{cases} y_0 = KY_1 x'_0 + KY_2 y'_0 + KY_3 \\ y_1 = KY_1 x'_1 + KY_2 y'_1 + KY_3 \\ \vdots \\ y_N = KY_1 x'_N + KY_2 y'_N + KY_3 \end{cases}$$

注意,各方程组中的方程数(N+1)均大于未知系数的个数(3)。

可见,我们的目的是算出适合全部(N+1)个参照点的最佳校准系数。获得最佳系数的方法是遵循 MMSE 规则。这正是这种算法称为基于 MMSE 的多点校准算法的原因所在。

以 X 轴为例,定义一个目标函数:

$$FX = \sum_{i=0}^N (KX_1 x'_i + KX_2 y'_i + KX_3 - x_i)^2$$

其中,FX 为参照点的误差平方和。KX₁、KX₂ 和 KX₃ 的最佳系数指使目标函数 FX 最小的那些系数。因此,可使用以下方程式:

$$\begin{cases} \frac{\partial FX}{\partial KX_1} = 0 \\ \frac{\partial FX}{\partial KX_2} = 0 \\ \frac{\partial FX}{\partial KX_3} = 0 \end{cases}$$

即

$$\begin{cases} \frac{\partial FX}{\partial KX_1} = \sum_{i=0}^N 2x'_i (KX_1 x'_i + KX_2 y'_i + KX_3 - x_i) = 0 \\ \frac{\partial FX}{\partial KX_2} = \sum_{i=0}^N 2y'_i (KX_1 x'_i + KX_2 y'_i + KX_3 - x_i) = 0 \\ \frac{\partial FX}{\partial KX_3} = \sum_{i=0}^N 2(KX_1 x'_i + KX_2 y'_i + KX_3 - x_i) = 0 \end{cases}$$

以上方程式可简化为

$$\begin{cases} (\sum_{i=0}^N x_i'^2) KX_1 + (\sum_{i=0}^N x'_i y'_i) KX_2 + (\sum_{i=0}^N x'_i) KX_3 = \sum_{i=0}^N x'_i x_i \\ (\sum_{i=0}^N x'_i y'_i) KX_1 + (\sum_{i=0}^N y_i'^2) KX_2 + (\sum_{i=0}^N y'_i) KX_3 = \sum_{i=0}^N y'_i x_i \\ (\sum_{i=0}^N x'_i) KX_1 + (\sum_{i=0}^N y'_i) KX_2 + N \cdot KX_3 = \sum_{i=0}^N x_i \end{cases}$$

设

$$R = \begin{bmatrix} \sum_{i=0}^N x_i'^2 & \sum_{i=0}^N x_i' y_i' & \sum_{i=0}^N x_i' \\ \sum_{i=0}^N x_i' y_i' & \sum_{i=0}^N y_i'^2 & \sum_{i=0}^N y_i' \\ \sum_{i=0}^N x_i' & \sum_{i=0}^N y_i' & N \end{bmatrix}, \quad KX = \begin{bmatrix} KX_1 \\ KX_2 \\ KX_3 \end{bmatrix}, \quad BX = \begin{bmatrix} \sum_{i=0}^N x_i' x_i \\ \sum_{i=0}^N y_i' x_i \\ \sum_{i=0}^N x_i \end{bmatrix}$$

基于此, 可将各方程式改写为矩阵模式 $R \cdot KX = BX$, 并可通过求解前述方程组算出最佳系数 $KX = R^{-1} \cdot BX$ 。

与 X 轴类似, 设

$$KY = \begin{bmatrix} KY_1 \\ KY_2 \\ KY_3 \end{bmatrix}, \quad BY = \begin{bmatrix} \sum_{i=0}^N x_i' y_i \\ \sum_{i=0}^N y_i' y_i \\ \sum_{i=0}^N y_i \end{bmatrix}$$

然后即可通过求解方程组 $R \cdot KY = BY$, 算出 Y 轴的最佳系数 $KY = R^{-1} \cdot BY$ 。

通过消元法求得的结果如下:

设

$$\begin{aligned} a_0 &= \frac{\sum x_i'^2}{\sum x_i'}, a_1 = \frac{\sum x_i' y_i'}{\sum y_i'}, a_2 = \frac{\sum x_i'}{N} \\ b_0 &= \frac{\sum x_i' y_i'}{\sum x_i'}, b_1 = \frac{\sum y_i'^2}{\sum y_i'}, b_2 = \frac{\sum y_i'}{N}, \\ c_0 &= \frac{\sum x_i' x_i'}{\sum x_i'}, c_1 = \frac{\sum y_i' x_i}{\sum y_i'}, c_2 = \frac{\sum x_i'}{N}, \\ d_0 &= \frac{\sum x_i' y_i}{\sum x_i'}, d_1 = \frac{\sum y_i' x_i}{\sum y_i'}, d_2 = \frac{\sum y_i'}{N} \end{aligned}$$

其中, $\sum \cdot$ 表示 $\sum_{i=0}^N \cdot$ 。

基于此, 可将方程组 $R \cdot KX = BX$ 和 $R \cdot KY = BY$ 分别改写为

$$\begin{bmatrix} a_0 & b_0 & 1 \\ a_1 & b_1 & 1 \\ a_2 & b_2 & 1 \end{bmatrix} \cdot \begin{bmatrix} KX_1 \\ KX_2 \\ KX_3 \end{bmatrix} = \begin{bmatrix} c_0 \\ c_1 \\ c_2 \end{bmatrix}$$

及

$$\begin{bmatrix} a_0 & b_0 & 1 \\ a_1 & b_1 & 1 \\ a_2 & b_2 & 1 \end{bmatrix} \cdot \begin{bmatrix} KY_1 \\ KY_2 \\ KY_3 \end{bmatrix} = \begin{bmatrix} d_0 \\ d_1 \\ d_2 \end{bmatrix}$$

不难发现,以上方程组的格式与前面经典三点算法的方程组相同:

$$\begin{bmatrix} x'_0 & y'_0 & 1 \\ x'_1 & y'_1 & 1 \\ x'_2 & y'_2 & 1 \end{bmatrix} \cdot \begin{bmatrix} KX_1 \\ KX_2 \\ KX_3 \end{bmatrix} = \begin{bmatrix} x_0 \\ x_1 \\ x_2 \end{bmatrix}$$

及

$$\begin{bmatrix} x'_0 & y'_0 & 1 \\ x'_1 & y'_1 & 1 \\ x'_2 & y'_2 & 1 \end{bmatrix} \cdot \begin{bmatrix} KY_1 \\ KY_2 \\ KY_3 \end{bmatrix} = \begin{bmatrix} y_0 \\ y_1 \\ y_2 \end{bmatrix}$$

在此基础上,可利用相同的公式计算系数的结果。

设

$$k = (a_0 - a_2)(b_1 - b_2) - (a_1 - a_2)(b_0 - b_2)$$

则

$$KX_1 = \frac{(c_0 - c_2)(b_1 - b_2) - (c_1 - c_2)(b_0 - b_2)}{k}$$

$$KX_2 = \frac{(c_1 - c_2)(a_0 - a_2) - (c_0 - c_2)(a_1 - a_2)}{k}$$

$$KX_3 = \frac{b_0(a_2c_1 - a_1c_2) + b_1(a_0c_2 - a_2c_0) + b_2(a_1c_0 - a_0c_1)}{k}$$

$$KY_1 = \frac{(d_0 - d_2)(b_1 - b_2) - (d_1 - d_2)(b_0 - b_2)}{k}$$

$$KY_2 = \frac{(d_1 - d_2)(a_0 - a_2) - (d_0 - d_2)(a_1 - a_2)}{k}$$

$$KY_3 = \frac{b_0(a_2d_1 - a_1d_2) + b_1(a_0d_2 - a_2d_0) + b_2(a_1d_0 - a_0d_1)}{k}$$

基于 MMSE 的多点校准算法的分析

通过计算 $a_0, a_1, a_2; b_0, b_1, b_2; c_0, c_1, c_2$ 和 d_0, d_1, d_2 可以发现,可将 a_0, a_1, a_2 当作基于 3 种不同方法的 x'_i 的加权平均值,可将 b_0, b_1, b_2 看作基于 3 种不同方法的 y'_i 的加权平均值。类似地,可将 c_0, c_1, c_2 当作基于 3 种不同方法的 x_i 的加权平均值, d_0, d_1, d_2 则可视作为基于三种不同方法的 y_i 的加权平均。

由于最终方程组与前面经典 3 点算法的方程组具有相同格式,因此,可将基于 MMSE 规则的算法视为另一种 3 点算法。然而,基于 MMSE 的算法的区别在于,其采用的不是任何参照点的直接信息,而是参照点的加权平均信息。换言之,先要算出 $N+1$ 个直接采样点

(x'_0, y'_0) 、 (x'_1, y'_1) 、 \dots 、 (x'_N, y'_N) 的三个加权平均点 (a_0, b_0) 、 (a_1, b_1) 、 (a_2, b_2) 。这 3 个加权平均点对应的理想坐标为 (c_0, d_0) 、 (c_1, d_1) 和 (c_2, d_2) 。可见, 基于 MMSE 的算法等效于对这三个加权平均点而言的经典 3 点算法。

基于 MMSE 的多点校准算法的步骤

完成基于 MMSE 的多点校准算法的下列步骤:

- ① 选择 $N+1$ ($N+1 > 3$) 个参照点 (x_0, y_0) 、 (x_1, y_1) 、 \dots 、 (x_N, y_N) 。
- ② 得到触摸屏产生的参照点的采样坐标 (x'_0, y'_0) 、 (x'_1, y'_1) 、 \dots 、 (x'_N, y'_N) 。
- ③ 利用本应用笔记给出的公式, 算出校准系数 KX 和 KY 。包括以下公式:

$$k = (a_0 - a_2)(b_1 - b_2) - (a_1 - a_2)(b_0 - b_2)$$

$$KX_1 = \frac{(c_0 - c_2)(b_1 - b_2) - (c_1 - c_2)(b_0 - b_2)}{k}$$

$$KX_2 = \frac{(c_1 - c_2)(a_0 - a_2) - (c_0 - c_2)(a_1 - a_2)}{k}$$

$$KX_3 = \frac{b_0(a_2 c_1 - a_1 c_2) + b_1(a_0 c_2 - a_2 c_0) + b_2(a_1 c_0 - a_0 c_1)}{k}$$

$$KY_1 = \frac{(d_0 - d_2)(b_1 - b_2) - (d_1 - d_2)(b_0 - b_2)}{k}$$

$$KY_2 = \frac{(d_1 - d_2)(a_0 - a_2) - (d_0 - d_2)(a_1 - a_2)}{k}$$

$$KY_3 = \frac{b_0(a_2 d_1 - a_1 d_2) + b_1(a_0 d_2 - a_2 d_0) + b_2(a_1 d_0 - a_0 d_1)}{k}$$

- ④ 在正常操作中, 利用校准系数 (KX, KY) 和下列方程式计算 $P'(x', y')$ 的校准点。

$$\begin{cases} x = KX_1 x' + KX_2 y' + KX_3 \\ y = KY_1 x' + KY_2 y' + KY_3 \end{cases}$$

示 例

如图 2 所示, 从触摸屏上选择了 9 个点。其理想坐标为 $(3931, 3849)$ 、 $(2047, 3849)$ 、 $(164, 3849)$ 、 $(3931, 2047)$ 、 $(2047, 2047)$ 、 $(164, 2047)$ 、 $(3931, 246)$ 、 $(2047, 246)$ 和 $(164, 246)$ 。触摸屏产生的对应采样坐标为 $(3927, 3920)$ 、 $(2054, 3936)$ 、 $(193, 3943)$ 、 $(3911, 2119)$ 、 $(2054, 2127)$ 、 $(195, 2164)$ 、 $(3915, 331)$ 、 $(2050, 354)$ 和 $(189, 371)$ 。显然, 理想坐标与对应的采样坐标

之间存在极大的误差。



图 2 选择参照点

接下来的 3 个实验分别采用经典 3 点算法、基于 MMSE 的 5 点算法和基于 MMSE 的 9 点算法：

- 经典 3 点算法选择 3 个参照点,即图 2 中的点 1、点 6 和点 8。相应的校准系数为：

$$KX_1 = +1.011238, KX_2 = -0.003952, KX_3 = -24.638760$$

$$KY_1 = +0.009894, KY_2 = +1.005168, KY_3 = -130.112700$$

利用以上系数,校准后的结果列于表 1 中。

- 基于 MMSE 的 5 点算法选择 5 个参照点,即图 2 中的点 1、点 3、点 5、点 7 和点 9。相应的校准系数为：

$$KX_1 = +1.009899, KX_2 = -0.002260, KX_3 = -23.715720$$

$$KY_1 = +0.008494, KY_2 = +1.006247, KY_3 = -121.821000$$

利用以上系数,校准后的结果列于表 2 中。

- 基于 MMSE 的 9 点算法选择 9 个参照点,即图 2 中的点 1、点 2、点 3、点 4、点 5、点 6、点 7、点 8 和点 9。相应的校准系数为：

$$KX_1 = +1.011161, KX_2 = -0.001887, KX_3 = -25.777180$$

$$KY_1 = +0.009718, KY_2 = +1.006107, KY_3 = -126.258100$$

利用以上系数,校准后的结果列于表 3 中。

表 1 经典 3 点算法的结果

点(X,Y)	1	2	3	4	5	6	7	8	9
理想坐标	(3931,3849)	(2047,3849)	(164,3849)	(3931,2047)	(2047,2047)	(164,2047)	(3931,246)	(2047,246)	(164,246)
采样坐标	(3927,3920)	(2054,3936)	(193,3943)	(3911,2119)	(2054,2127)	(195,2164)	(3915,331)	(2050,354)	(189,371)
校准坐标	(3931,3849)	(2037,3846)	(155,3835)	(3922,2039)	(2044,2028)	(164,2047)	(3933,242)	(2047,246)	(165,244)
误差	(0,0)	(-10,-3)	(-9,-14)	(-9,-8)	(-3,-19)	(0,0)	(+2,-4)	(0,0)	(+1,-2)
误差平方和	(276,650)								

表 2 基于 MMSE 的 5 点算法的结果

点(X, Y)	1	2	3	4	5	6	7	8	9
理想坐标	(3931, 3849)	(2047, 3849)	(164, 3849)	(3931, 2047)	(2047, 2047)	(164, 2047)	(3931, 246)	(2047, 246)	(164, 246)
采样坐标	(3927, 3920)	(2054, 3936)	(193, 3943)	(3911, 2119)	(2054, 2127)	(195, 2164)	(3915, 331)	(2050, 354)	(189, 371)
校准坐标	(3933, 3856)	(2042, 3856)	(162, 3847)	(3921, 2044)	(2046, 2036)	(168, 2057)	(3929, 245)	(2046, 252)	(166, 253)
误差	(2, 7)	(-5, +7)	(-2, -2)	(-10, -3)	(-1, -11)	(4, 10)	(-2, -1)	(-1, +6)	(+2, +7)
误差平方和	(159, 418)								

表 3 基于 MMSE 的 9 点算法的结果

点(X, Y)	1	2	3	4	5	6	7	8	9
理想坐标	(3931, 3849)	(2047, 3849)	(164, 3849)	(3931, 2047)	(2047, 2047)	(164, 2047)	(3931, 246)	(2047, 246)	(164, 246)
采样坐标	(3927, 3920)	(2054, 3936)	(193, 3943)	(3911, 2119)	(2054, 2127)	(195, 2164)	(3915, 331)	(2050, 354)	(189, 371)
校准坐标	(3938, 3856)	(2044, 3854)	(162, 3842)	(3925, 2044)	(2047, 2034)	(167, 2053)	(3932, 245)	(2046, 250)	(165, 249)
误差	(7, 7)	(-3, +5)	(-2, -7)	(-6, -3)	(0, -13)	(3, 6)	(+1, -1)	(-1, +4)	(+1, +3)
误差平方和	(110, 363)								

结 论

如前述实验结果所示,无论采用哪种校准算法,校准坐标均远远优于直接采样坐标。另外,通过比较 3 种实验,可得出以下结论

- 经典 3 点校准算法有助于将 3 个参照点校准到理想位置。另外,对于靠近 3 个参照点的点,其性能表现非常好。然而,对于不在参照点附近的点,经典 3 点校准算法的表现不甚理想。这种算法的误差平方和是测试所用 3 种算法中最大的。因此,对于触摸屏尺寸相对较大的应用,经典 3 种校准算法并非好的选择。
- 对于某些点(接近参照点的点),基于 MMSE 的多点校准算法的表现不如经典 3 点校准算法。然而,就整个触摸屏来看,基于 MMSE 的多点校准算法的误差平方和小于经典 3 点算法,因为它利用了 3 个以上参照点的信息。因而,总体而言,其性能优于经典 3 点算法。
- 对于基于 MMSE 的多点校准算法,使用的参照点越多,性能越佳。

实验结果与数学推导相符合。

代码执行

以 C 语言编写的校准算法代码见“编码”部分。有 3 个参照点时,代码执行经典 3 点校准算法。有 3 个以上的参照点时,代码执行基于 MMSE 的多点校准算法。代码已通过 ADuC7026 测试(ADuC7026 是 ADI 公司出品的一款 MCU 产品)。3 个示例实验的结果均采用该代码计算得到。

编 码

```
#define N 9 // number of reference points for calibration algorithm
signed short int ReferencePoint[N][2]; // ideal position of reference points
signed short int SamplePoint[N][2]; // sampling position of reference points
double KX1, KX2, KX3, KY1, KY2, KY3; // coefficients for calibration algorithm

void Do_Calibration(signed short int * Px, signed short int * Py) // do calibration for point(Px, Py)
// using the calculated coefficients
{
    * Px = (signed short int)(KXi * (* Px) + KX2 * (* Py) + KX3 + 0.5);
    * Py = (signed short int)(KYi * (* Px) + KY2 * (* Py) + KY3 + 0.5);
}

int Get_Calibration_Coefficient() //calculate the coefficients for calibration algorithm:
//KX1, KX2, KX3, KY1, KY2, KY3
{
    int i;
    int Points = N;
    double a[3], b[3], c[3], d[3], k;
    if(Points < 3)
    {
        return 0;
    }
    else
    {
        if(Points == 3)
        {
            for(i = 0; i < Points; i++)
            {
```

```
        a[i] = (double)(SamplePoint[i][0]);
        b[i] = (double)(SamplePoint[i][1]);
        c[i] = (double)(ReferencePoint[i][0]);
        d[i] = (double)(ReferencePoint[i][1]);
    }
}
else if(Points>3)
{
    for(i = 0; i<3; i++)
    {
        a[i] = 0;
        b[i] = 0;
        c[i] = 0;
        d[i] = 0;
    }
    for(i = 0; i<Points; i++)
    {
        a[2] = a[2] + (double)(SamplePoint[i][0]);
        b[2] = b[2] + (double)(SamplePoint[i][1]);
        c[2] = c[2] + (double)(ReferencePoint[i][0]);
        d[2] = d[2] + (double)(ReferencePoint[i][1]);
        a[0] = a[0] + (double)(SamplePoint[i][0]) * (double)(Sample-
            Point[i][0]);
        a[1] = a[1] + (double)(SamplePoint[i][0]) * (double)(Sample-
            Point[i][1]);
        b[0] = a[1];
        b[1] = b[1] + (double)(SamplePoint[i][1]) * (double)(Sample-
            Point[i][1]);
        c[0] = c[0] + (double)(SamplePoint[i][0]) * (double)(Referen-
            cePoint[i][0]);
        c[1] = c[1] + (double)(SamplePoint[i][1]) * (double)(Referen-
            cePoint[i][0]);
        d[0] = d[0] + (double)(SamplePoint[i][0]) * (double)(Referen-
            cePoint[i][1]);
        d[1] = d[1] + (double)(SamplePoint[i][1]) * (double)(Referen-
            cePoint[i][1]);
    }
    a[0] = a[0]/a[2];
    a[1] = a[1]/b[2];
    b[0] = b[0]/a[2];
    b[1] = b[1]/b[2];
    c[0] = c[0]/a[2];
    c[1] = c[1]/b[2];
    d[0] = d[0]/a[2];
```

```
    d[1] = d[1]/b[2];
    a[2] = a[2]/Points;
    b[2] = b[2]/Points;
    c[2] = c[2]/Points;
    d[2] = d[2]/Points;
}
k = (a[0] - a[2]) * (b[1] - b[2]) - (a[1] - a[2]) * (b[0] - b[2]);
KX1 = ((c[0] - c[2]) * (b[1] - b[2]) - (c[1] - c[2]) * (b[0] - b[2]))/k;
KX2 = ((c[1] - c[2]) * (a[0] - a[2]) - (c[0] - c[2]) * (a[1] - a[2]))/k;
KX3 = (b[0] * (a[2] * c[1] - a[1] * c[2]) + b[1] * (a[0] * c[2] - a[2] * c[0]) + b[2]
      * (a[1] * c[0] - a[0] * c[1]))/k;
KY1 = ((d[0] - d[2]) * (b[1] - b[2]) - (d[1] - d[2]) * (b[0] - b[2]))/k;
KY2 = ((d[1] - d[2]) * (a[0] - a[2]) - (d[0] - d[2]) * (a[1] - a[2]))/k;
KY3 = (b[0] * (a[2] * d[1] - a[1] * d[2]) + b[1] * (a[0] * d[2] - a[2] * d[0]) + b[2]
      * (a[1] * d[0] - a[0] * d[1]))/k;
return Points;
}
}
```

参考文献

Vidales, Carlos E. "How to Calibrate Touch Screens, Embedded Systems Design." Embedded.com, May 31, 2002. Embedded Systems Design, May 27, 2009.

AN - 354 应用笔记 应用工程师问答 (1)

作者: James Bryant

几个问题

问: 我的多路复用 ADC 系统不太正常, 是什么原因?

答: 在进一步查找原因之前, 你是否已经把多路复用器所有未使用的通道接地了?

问: 没有。但是你怎么知道是这个问题呢?

答: 因为悬空的引脚是导致含有 COMS 多路复用器的系统出现问题的最常见的原因之一。未使用的多路复用器的输入和输出引脚(无论是集成在多路复用 ADC 中的或者属于独立多路复用器一部分的)能将来自杂散场的信号引入器件的衬底, 形成杂散衬底器件。此后, 甚至在未使用的通道处于关闭状态时, 开启状态的通道的性能也可能会严重下降(在可能性很小的极端情况下, 杂散信号的注入会形成 4 层杂散器件并损坏某些芯片)。

每当使用多路复用器时, 其输入和输出引脚必须连接到供电轨范围内的电位。处理未使用通道的最好办法是把它们接地, 但是也许连接到供电轨范围内的电位更方便。

启动时的问题

问: 为了降低功耗, 我的 ADC 只有在进行测量时上电。系统在连续工作时很精确, 但是电源接通时却不太稳定。为什么?

答: 每当 ADC 的电源接通进行转换时, 可能有 3 个原因导致其工作不正常: 参考电压的慢开启、随机的初始逻辑状态和系统闩锁。

对于不同的原因——热稳定性、电容充电、使用 PNP 晶体管带隙基准电压源时再生电流镜的缓慢启动——上电后几个毫秒内一些参考电压有较大误差的情况并不罕见。在 ADC 进行转换时,外部和内部参考电压上的这种误差会导致不准确的转换结果。

在启动时,典型 ADC 的逻辑是一个随机状态;对于此时触发的转换,ADC 可能不会正常工作。在一个转换触发后,逻辑应该返回正确的预转换状态——但是在 ADC 达到稳定并进行有效转换前需要两个转换周期。因此,一个比较好的一般方法是在上电后获得可信的转换结果前先进行两次“假”转换。可以清楚记得,一些 ADC 在上一次转换完成前又被触发进行转换会很不稳定,在这种情况下发生时,需要一到两个“假”转换来让逻辑返回到一个已知状态。

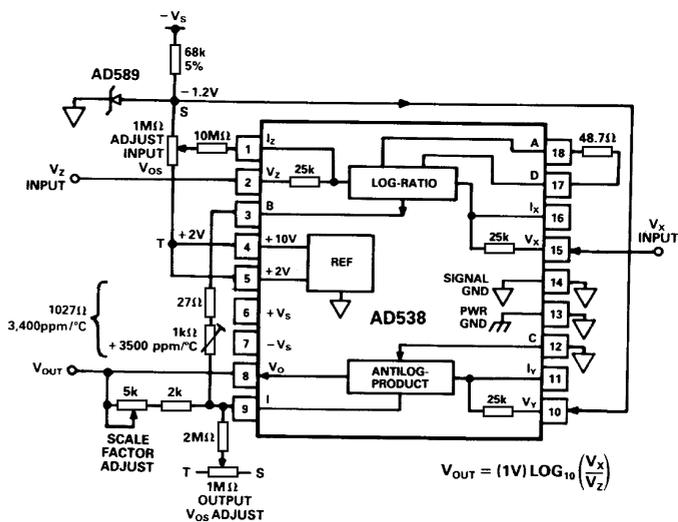
如果 ADC 的外部逻辑使 ADC 的忙信号延长,这个忙信号只有在开始下一次转换时才结束,重要的是要认识到,如果转换器上电后处于忙状态,那么这个忙信号可能会保持闩锁,直到接收到转换启动脉冲后才结束。在这种情况下,系统不能自启动。如果忙信号总是在上电时出现,在进行系统设计时,这个问题肯定会被认识到并得到解决;但是如果忙信号只是在上电时偶尔出现,系统可能会难以预测闩锁。作为一项规则,在启动时 ADC 的控制信号不应该取决于逻辑忙状态。

关于对数补偿电阻

问:使用 AD538 Y[Z/X]m 类似的电路在内的对数电路设计:(例如,AD538 多功能单元数据手册中的图 6)需要“ kT/q 补偿电阻”。这是什么?我从哪里能获得它们?

答:有两个相对的硅结,一个承载电流 I ,另一个承载电流 I_{REF} ,这两个硅结上的 V_{BE} 差值是 $(kT/q) \ln(I/I_{REF})$ 。这里, k/q 表示玻尔兹曼常数与一个电子上的电荷(大约 $1/11605 \text{ K/V}$)的比值, T 表示绝对温度(单位:开尔文)。

虽然在等温对中应用类似的结消除了反向饱和电流的温度灵敏度,但是 kT/q 仍与温度相关。为了在应用中消除这个相关性,必须在增益与结的绝对温度成反比例的电路中使用对数电压。在接近 20°C 的合理温度范围,这可以通过使用具有约 $3400 \text{ ppm}/^\circ\text{C}$ 正温度系数的 $1 \text{ k}\Omega$ 增益设置电阻来实现,并使其与结保持相同温度。



AN-351 应用笔记 应用工程师问答(2)

作者:James Bryant

关于调整……

问:我需要一些关于调整失调和增益的建议。

答:不要调整!——除非确有必要。尝试以下替代办法:(a)采用无须调整即符合规格要求的器件、元件和电路;(b)利用系统应用中的数字技术,通过软件进行调整。有时,如果考虑到电路设计、温度、振动以及性能和稳定性的持续寿命等因素的影响,还有随之而来的大量文档、复杂的调整细节等,采用调整电位计以及规格不达标的器件,虽然表面上节省了成本,但实际上是得不偿失的。

问:不过,如何调整模拟电路中的失调和增益误差呢?

答:调整时顺序要正确,输入端也要正确。如果考虑到待调整电路的传输特性,方法一般都非常直观。

简单来说,线性模拟电路(如放大器、ADC、DAC)的理想传输特性通过以下公式得到:

$$OP = K \times IP \quad (1)$$

其中,OP为输出,IP为输入,K为比例因子(请注意,这种简化表达式隐藏了多种问题:ADC中的量化误差、当输入和输出采用不同形式时(如电压输入/电流输出)K的量纲、意向失调等。)

在实际(非理想型)电路中,失调和增益误差,即OS(折合至输入)和 ΔK 同时分别出现在公式中,即:

$$OP = (K + \Delta K) \times (IP + OS) \quad (2)$$

$$OP = (K \times IP) + [(K \times OS) + (\Delta K \times IP) + (\Delta K \times OS)] \quad (3)$$

公式(2)和公式(3)并不完整,因为它们假定只存在一种失调——即输入端的失调——但

这是最常见的情况。输入和输出失调相独立的系统,我们稍后再作探讨。

从公式(3)可知,当存在未知失调时,直接调整增益是无法做到的。必须首先调整失调。当 IP 设为 0 时,只有 OP 同为 0 时,才可调整失调。在此基础上,就可以调整增益了:当输入接近满量程(FS)时,则会调整增益,以使输出符合公式(1)的要求。

问:双极性 ADC 和 DAC 又如何呢?

答:许多 ADC 和 DAC 可以在单极性与双极性两种工作模式间来回切换,对于这类器件,应尽可能在单极性模式下调整其失调和增益。行不通时,或者当转换器仅工作于双极性模式下时,可以考虑其他方法。

可以将双极性转换器看作失调较大的单极性转换器(确切来说,其失调为 1 MSB——满量程范围的一半)。根据所用架构,该双极性失调(BOS)可能受到增益调整的影响,也可能不受其影响。受影响时,公式(1)成为:

$$OP = K \times (IP - BOS) \quad (4)$$

此时,在模拟零点处,失调进行调整,之后在接近 FS 时调整增益——无论 FS 为正还是负,但通常为正值。这种方法通常用于双极性失调处于 DAC 范围内的 DAC。

若双极性失调不受增益调整影响,则有:

$$OP = K \times IP - BOS \quad (5)$$

此时,在负 FS 处调整失调,在(或接近,详见下文)正 FS 处调整增益。这种方法适用于多数 ADC 和 DAC,其中,双极性失调通过 DAC 之外的运算放大器和电阻来实现。

无疑,我们应该始终遵循数据手册中建议的方法,但是,当无数据手册可用时,一般而言,应在模拟零点处调整 DAC 失调,在负 FS 处调整 ADC 失调,并在接近正 FS 处调整二者的失调。

问:为什么您一直提到“接近”满量程?

答:放大器和 DAC 可以在零值和满量程时进行调整。对于 DAC 而言,全 1 时——最大的数字输入——对应产生低于“满量程”1 LSB 的输出,其中,“满量程”为基准电压的一定常数倍数;由于 DAC 的输出为基准电压与数字输入的归一化乘积,自然就得到上述结论。

ADC 不在零值和 FS 处进行调整。理想 ADC 的输出均经量化处理,第一个输出转换(从 00...00 至 00...01)发生于全“0”以上 1/2 LSB 时。此后,模拟输入每增加 1 LSB,就转换一次,直到最终转换发生于比 FS 低 1 个 1/2 LSB 时。非理想 ADC 的调整方法是,将其输入设为目标转换的标称值,然后进行调整,直到 ADC 输出在两个值之间均衡闪烁时。

可见,ADC 的失调是通过对应于第一个转换的输入进行调整的(即,比零值或负 FS 高 1/2 LSB 时,“接近”零或“接近”负 FS);增益则是在最后一个转换时进行调整的(即比负 FS 低 1 个 1/2 LSB,“接近”正 FS)。在失调调整过程中,以上程序会导致增益和失调误差相互影响,但可忽略不计。

问:还有需要在“接近”满量程而非满量程处进行调整的其他异常现象吗?

答:同步电压频率转换器(SVFC),当其输出频率与其时钟频率存在谐波关系时,即当其输入非常接近时钟频率的 1/2、1/3 或 1/4 时,则很容易发生注入闭锁现象。SVFC 的 FS 为时钟频率的 1/2。使用调整工具可能会加重这个问题。因此,可以在 FS 的 95%左右调整 SVFC 的增益。

问:同时需要调整“输入”和“输出”失调的电路怎么办?

答:仪表放大器、隔离放大器等电路,一般有两个直流增益级,而且输入级增益可能是可变的。因此,对于二级放大器,若存在输入失调 IOS、输出失调 OOS、单位增益输入级,且第一级增益为 K,则其(零输入)输出 OP 为:

$$OP = OOS + K \times IOS \quad (6)$$

从公式(6)可以看出,如果增益保持不变,我们只需调整 IOS 或 OOS 二者之一即可使总失调归零(尽管在输入端采用长尾式双极性晶体管对时,如果同时调整 IOS 和 OOS,可以改善失调温度系数,但对于 FET 长尾对来说,情况不一定如此)。如果第一增益级可变,则必须同时调整两个失调。

这是通过迭代过程实现的。在零输入下,增益设为最大值,对输入失调进行调整,直到输出同样等于零为止。然后将增益减小至最小值,并对输出失调进行调整,直到输出再次为零为止。重复上述两步,直到无需进一步调整为止。增益必须在 IOS 和 OOS 都归零后进行调整;失调调整中使用的实际高增益值和低增益值并不重要。

问:增益和失调调整应使用什么电路?

答:许多放大器(及部分转换器)配有专门的引脚,可用于调整增益和失调。更多的产品不存在这样的引脚。

一般情况下,失调是通过连接于两个指定引脚之间的电位计进行调整的,其游标(有时通过电阻)连接至任一电源。正确的连接方法和元件值,请参阅相应器件的数据手册。运算放大器之间最常见的差异之一在于失调校正电位计的值及其应连接的电源。

当放大器未提供独立的失调调整引脚时,通常可以向输入信号中添加一个失调调整常数。两种基本可能方法分别如图 1(a)和图 1(b)所示。对于差分输入运算放大器用作逆变器的情況(也是最常见的情況),如果需要对系统进行校正,图 1(a)所示方法最适合校正器件失调而非系统失调。对于单端连接,图 1(b)所示方法可用于系统失调,但是在小器件失调中应尽量避免这种方法,因为这种方法常用要求极大的求和电阻值(相对于信号输入电阻),才可:①避免求和点过载;②正确缩放校准电压并产生充分的衰减,以将差分电源电压漂移的影响降至最低限度。建议在电源与电位计之间设置电阻,以提高调整分辨率,降低功耗。

当电路中提供了增益调整引脚时,该引脚一般由一个可变电阻构成。关于其值和连接的详情,请参阅相应器件的数据手册。在不需要调整增益时,可以用其电阻值相当于建议调整电位计最大值一半的固定电阻替代该电阻。

在未提供增益调整引脚时,一般需要添加外部可变增益级才可实现增益调整。在此以采用

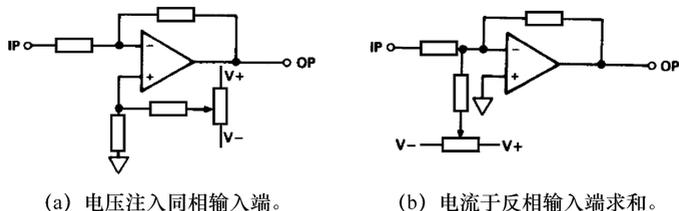


图 1 用于失调调整的两种连接

梯形网络的 DAC 为例进行说明。如果梯形网络采用电流模式(图 2(a)),基准引脚的输入阻抗不随数字码而变动,且该 DAC 的增益可以通过与基准输入引脚或反馈电阻串联的小可变电阻进行调整。然而,如果该 DAC 采用电压模式(图 2(b)),则基准输入阻抗随数字码而变动,且只能通过改变基准电压——这种可能性并非始终都存在——或缓冲放大器的增益来调整增益。

可见,对于未搭载增益调整功能的电路,调整增益的可能性因具体情况而异,每种情况都需单独评估。

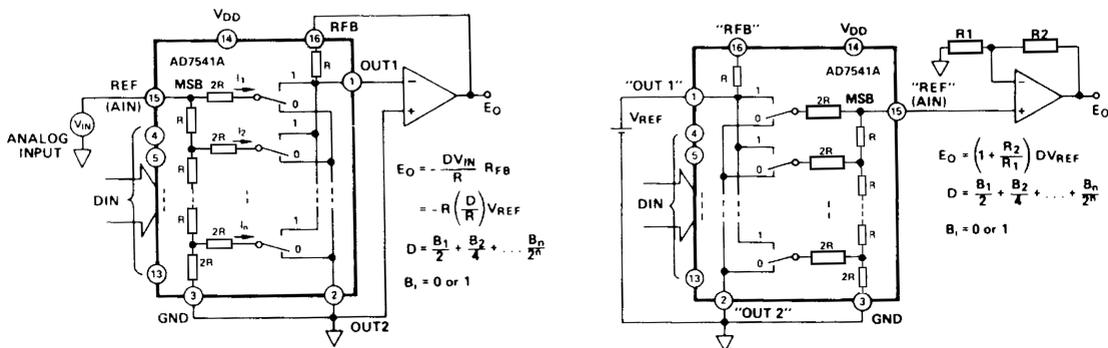


图 2 基本 DAC 电路比较

AN-586 应用笔记

高速模数转换器的 LVDS 数据输出

作者: Cindy Bloomingdale Gary Hendrickson

多年来,为了满足在通信、仪器仪表和消费市场的各种应用中新的带宽需求,模数转换器(ADC)的采样速率稳步提升。伴随在信号链前端对信号进行数字转换从而利用数字信号处理技术的需求,推动了高速 ADC 内核的开发,它们能够以 8 到 12 位分辨率在超过 100 MHz 到 200 MHz 时钟速率下进行数字转换。

在独立的转换器中,ADC 需要能够驱动接收逻辑及其 PCB 走线所产生的电容。由于要驱动负载,电流开关瞬变会耦合到 ADC 的模拟前端电路,对性能造成负面影响。将这种影响降到最低的一种方法是复用两个输出端口,以时钟速率的一半速率来提供输出数据,这降低了信号边沿的速率,增加了开关瞬间的建立时间。AD9054A、AD9884、AD9410 和 AD9430 是最新的例子。

在 ADC 应用中,提供高速数据输出同时将性能限制降到最低的一种新方法是使用 LVDS (低电压差分信号传输)。ADI 正在将 LVDS 输出能力加到一个新的 170 MSPS、12 位 ADC 中——AD9430——并将会把 LVDS 引入到以后的高速 ADC 和 DAC 中。

正如其名字所表述的,LVDS 是一种低电压差分信号传输方案。关键词是低电压(~ 350 mV, 见图 1)和差分。标准机构已经制定了规范,这些将稍后在这篇笔记中讨论。低电压信号摆幅具有更短开关时间的固有优势,这也降低了对 EMI 的考虑(相邻的差分走线会抵消相互之间的 EMI)。

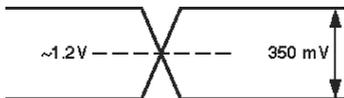


图 1 LVDS 输出电平

差分信号也有众所周知的共模抑制的优点。耦合到信号上的噪声往往在两个信号路径上都存在,这个噪声会被精心设计的差分接受器消除。LVDS 输出是电流输出级,在接收端需要 $100\ \Omega$ 的端接电阻(见图 2),这与不需要端接的 CMOS 输出不同。电流输出导致输出供电电源上有固定直流负载电流,要避免供电电源的尖峰电流耦合到敏感的模拟前端。

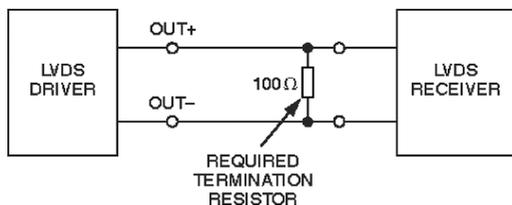


图 2 LVDS 远端端接

标准

有两个标准定义了 LVDS。一个是 ANSI/TIA/EIA - 644, 其标题是《低电压差分信号(LVDS)接口电路的电气特性》。另外一个 IEEE 标准 1596.3, 其标题是《可扩展一致性接口(SCI)的低电压差分信号(LVDS)IEEE 标准》。下面简单总结一下这两个标准。

ANSI/TIA/EIA-644

ANSI/TIA/EIA 标准是在电信工业委员会(TIA)的 TR-30.2 小组委员会下开发的, 它只包含 LVDS 的通用电气规范。它的目的是为点到点连接的数据通信设备之间建立一个通用高速接口标准。最大数据传输速率是 655 Mbps。TIA 小组委员会希望其他标准体系在发射器和接收器之间更完整的接口规范中引用 ANSI/TIA/EIA-644。

IEEE 标准 1596.3

IEEE 标准 1596.3 是作为 1992 SCI 协议(IEEE 标准 1596-1992)的扩展开发的。原来的 SCI 协议适用于高端计算机中的高速包传输, 使用 ECL 电平。然而, 对于低端和功耗敏感的应用, 需要一个新的标准。选用 LVDS 信号是因为电压摆幅比 ECL 输出小, 在功耗敏感的设计中允许使用更低的供电电源。

AD9430 的 LVDS 特性

如上所述, AD9430 是一系列高速模数转换器中第一个有 LVDS 输出选项的产品(同时也

能提供 CMOS 输出)。它是一款 12 位、170 MSPS ADC, 针对宽带载波系统进行了优化, 具有卓越的动态性能。图 3 是 AD9430 LVDS 输出的简化等效电路。

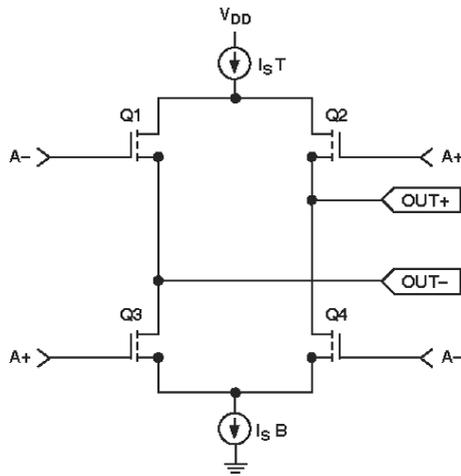


图 3 LVDS 数据输出

图 3 中差分输出由 OUT+ 和 OUT- 表示, OUT+ 是正极或真数据输出, OUT- 为差分信号的补充数据输出。电路原理如下所述(见图 4)。片内电流源(I_{sT})由 V_{DD} 产生并流经 Q2。在这个例子中, 发送的是逻辑 1($V+ > V-$)。100 Ω 接收端电阻为返回驱动器的电流提供了路径, 电流通过 Q3 到更低的电流吸入端(I_{sB})再到地。额定的源/吸电流设置为大约 3.5 mA, 对于 100 Ω 外部端接电阻产生 350 mV 的摆幅。

假定有约 1.2 V 的输出共模电压(共模控制电路没有显示), 输出电阻可以视为两个串联的 50 Ω 电阻, 它们的中心抽头的电压为 1.2 V。这与典型 PCB 走线的 50 Ω 特性阻抗(Z_0)相匹配并将反射降到最低。

AD9430 的 LVDS 输出与 ANSI/TIA/EIA-644 规范更为一致。表 1 对比了 ANSI/TIA/EIA-644 和 AD9430-170 的规格。

表 1 ANSI/TIA/EIA-644 和 AD9430 规格小结

规格	ANSI/TIA/EIA-644		AD9430-170
	最小值	最大值	典型值
输出电流	2.47 mA	4.54 mA	取决于 RSET(额定值为 3.5 mA)
差分输出电压幅度	247 mV	454 mV	350 mV
输出失调电压(共模)	1.125 V	1.375 V	1.2 V
转换时间上升时间(t_R)和下降时间(t_F); 20%至 80%	$\leq 0.3 \times t_{U1} = 0.3 \times 5.88 \text{ ns} = 1.76 \text{ ns}$		0.5 ns

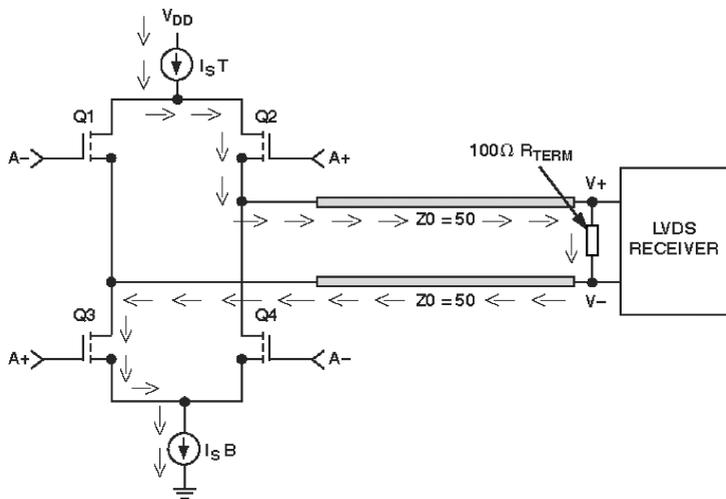


图 4 LVDS 输出电流

输出电流

COMS 是典型的电压输出,不同于 CMOS, LVDS 是电流输出型。AD9430 的输出电流根据一个电阻值来设置,其典型值为 $3.7 \text{ k}\Omega$ 。这个 $3.7 \text{ k}\Omega$ 电阻设置输出电流为 3.5 mA 。注意, 3.5 mA 的额定输出电流 (I_s) 在 AD9430 中是可调的,方便系统设计的灵活性。详情请参见 AD9430 数据手册。

差分输出电压与失调电压

ANSI 规范定义差分输出电压摆幅在 247 mV 和 454 mV 之间。假定 ADC 的输出电流设为 3.5 mA , 接收端输入阻抗为 100Ω , 那么额定差分输出电压为 350 mV 。

AD9430 的输出驱动器设计的额定共模电压为 1.2 V , 这在 ANSI 规范的范围之内。共模电压的范围在 1.1 V 到 1.375 V 之间, 在驱动和接收的地之间的电压差最多为 $\pm 1 \text{ V}$ 。为了达到最好的性能, 在同一块 PCB 上, ADC 的输出和接收端输入之间应该非常的靠近, 在这种应用中就不用担心地平面的电压差。

转换时间

在表 1 中,对于数据信号速率小于或等于 200 MHz 的信号,ANSI/TIA/EIA - 644 规范规定其转换时间要小于或等于 $0.3 \times t_{UI}$ 。 t_{UI} 的值定义为数据信号速率的倒数。以 AD9430 为例,其最大信号速率为 170 MHz,那么 t_{UI} 等于 5.88 ns。用规范定义的公式换算 t_{UI} 的 5.88 ns 为 $0.3 \times 5.88 \text{ ns} = 1.76 \text{ ns}$ 。因此,差分信号上升时间和下降时间的总和应该小于 1.76 ns。AD9430 的上升和下降时间的额定值为 0.5 ns。LVDS 差分输出电压的上升和下降时间的定义如图 5 所示。LVDS 上升和下降时间定义为信号在其最大幅度的 20% 到 80% 之间变化所用的时间,CMOS 输出通常定义的范围是 10% 到 90%。

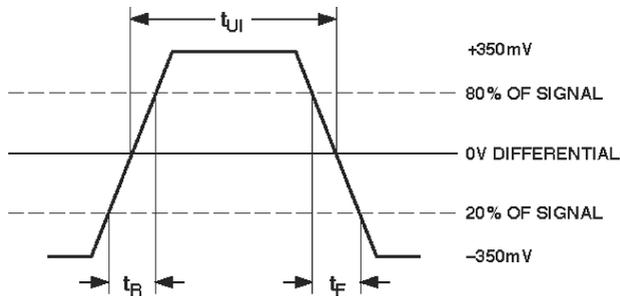


图 5 时序图

LVDS 的 PCB 设计考虑

高性能 ADC 的 LVDS 输出应该与数字逻辑使用的标准 LVDS 输出区别对待。在高速数字应用中标准 LVDS 能驱动 1 到 10 米(取决于数据速率),不建议让高性能 ADC 驱动这么长的距离。建议输出走线的长度要短一些(小于 2 英寸),尽量降低任何噪声从相邻电路耦合到输出上的几率,噪声可能会返回到模拟输入。

差分输出走线应该相互靠近,100 Ω 端接电阻要靠近接收端来提高共模抑制能力。用户应该注意 PCB 走线长度,尽量减小延迟偏斜。

典型差分 PCB 微带线的截面如图 6 所示。

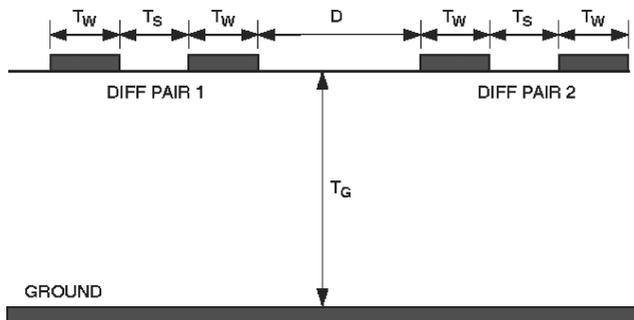


图 6 PCB 走线间距

布线指南

- 相对于走线长度的变化,保持 T_W 、 T_S 和 D 为常量。
- 保持 $T_S \sim < 2 T_W$ 。
- 尽可能避免使用过孔。
- 保持 $D > 2 T_S$ 。
- 尽可能避免 90° 的拐弯。
- 控制 T_W 和 T_G , 使阻抗约为 50Ω 。

对于这些快速边沿 ($< 0.5 \text{ ns}$) 速率的信号,电源的去耦是非常重要的。每一个电源和地引脚都要放置低电感的表面贴装电容,尽可能靠近 ADC 放置。不建议将去耦电容放在 PCB 的另外一面,因为过孔的电感会降低去耦的作用。由于邻近效应,差分 Z_0 会比每根导线的单端 Z_0 略低一些,每条线的 Z_0 应该设计得比 50Ω 高一些。可以对关键应用进行仿真来验证阻抗是否匹配。短期来看,这不是很关键。

其他的考虑

LVDS 也具有降低 EMI 的优点。相反方向的电流产生的 EMI 可以相互抵消(边沿速率相匹配时)。走线长度、偏斜和不连续将会降低这一优点,应该尽量避免。

在相近的数据速率下,相对于解复用的 CMOS 解决方案, LVDS 的时序约束更为简单。解复用的数据总线需要一个同步信号, LVDS 不需要这个信号。在解复用的 CMOS 总线中,需要一个速率为 ADC 采样速率一半的时钟,这增加了成本和复杂度, LVDS 不需要这些。通

常, LVDS 更具有兼容性, 可以为客户提供更简单、干净的设计。

小 结

在转换器的应用中, LVDS 在高速信号转换中的优点可以为性能和整个系统带来好处。在 ADI 的众多 ADC 和 TxDAC 产品中, 这一技术响应了日益增长的高速转换器性能需求。

参考文献

- [1] ANSI/TIA/EIA-644, Electrical Characteristics of Low Voltage Differential Signaling (LVDS) Interface Circuits, March 1996.
- [2] IEEE Std 1596. 3-1996, IEEE Standard for Low-Voltage Differential Signals (LVDS) for Scalable Coherent Interface (SCI), March 1996.

AN-609 应用笔记

Σ - Δ ADC 上的斩波

作者: Adrian Sherry

简介

斩波是一项用于消除失调电压和其他低频误差的技术。本应用笔记简要介绍在 AD7708/AD7718、AD7709、AD7719 和 AD7782/AD7783 高分辨率 Σ - Δ ADC 上是如何实现斩波的,及其带来的好处。

失调误差

在信号处理链路中的很多地方可能会有失调电压误差,例如,当两种不同金属连接时会产生与温度相关的热电偶电压。在集成电路例如 ADC 中,有许多内部失调误差源,例如,放大器输入器件之间的不匹配,采样开关关闭时采样电容上的电荷注入,或者 EMI 辐射的干扰等。如果这些不良失调随温度变化就会带来麻烦,因为一次校准不足以消除各种温度和电源条件下的失调误差。

斩波

Σ - Δ 调制器中的各种放大器带来的失调可以通过本地斩波或自稳零放大器来清除。然而,其他类型的失调误差不能通过这些方法来消除。解决方案是对 ADC 内部的整个模拟信号链路进行斩波,这可以消除任何失调和低频误差,获得极低的失调误差和漂移。此方案如图 1 所示。

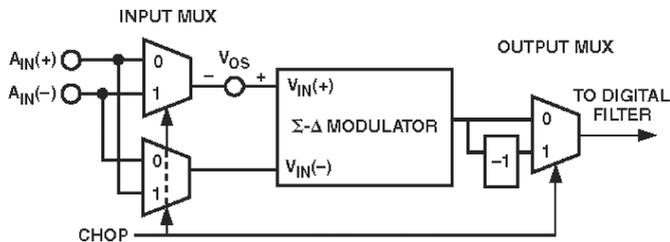


图 1 斩波

调制器的差分输入在输入多路复用器上被交替反相(或斩波),每个斩波相位都会进行 ADC 转换。调制器斩波在传递给数字滤波器前在输出多路复用器内被翻转。

如果我们把 Σ - Δ 调制器的失调建模为叠加到输入信号的一项 V_{OS} ,那么当斩波=0 时的输出是:

$$(A_{IN(+)} - A_{IN(-)}) + V_{OS}$$

当斩波=1 的输出是:

$$-[(A_{IN(-)} - A_{IN(+)} + V_{OS})]$$

在数字滤波器中将这两个结果求平均值以后消除了误差电压,得到:

$$(A_{IN(+)} - A_{IN(-)})$$

这与没有任何失调项的差分输入电压相等。

结果 / 校准

这一结果几乎消除了 ADC 内部产生的任何失调误差,并且,更重要的是将任何随温度变化的失调漂移降到最低。这些 ADC 漂移的典型值是 $\pm 10 \text{ nV}/^\circ\text{C}$ 。实际上,这几乎是无法测量的。从输入多路复用器到调制器输出的整个模拟电路是经过斩波的。因此,不需要 ADC 失调校准。ADC 失调误差典型值是 $\pm 3 \mu\text{V}$ 。这是插入 PCB 插座的器件在 0 V 输入的时候测得的,由于不同的触点(PCB 走线、焊锡、引线框、键合线和芯片金属化等)使用不同的金属,它包含了热电偶误差。

理解阶跃响应

由于 ADC 需要进行斩波=0 和斩波=1 的转换,ADC 的第一个输出占用两个转换周期 ($2 \times T_{ADC}$),因此第一个输出需要两个转换周期的建立时间,后续的输出发生在每个转换周期

(T_{ADC})。

在通道改变、PGA 增益改变或者 ADC 模式改变后会出现这样的两个转换周期的延迟。例如,电源掉电后,没有中间/无效输出产生——通道变化后的第一个输出是在新通道电压 100% 建立后。

如果 ADC 外部的模拟输入发生一个阶跃变化,例如,一个传感器的输出突然变化或者一个外部多路复用器进行开关,ADC 不会自动“知道”有改变发生,它会根据新输入和旧输入的加权平均来产生输出,除非当外部多路复用器开关后,ADC 中断当前的工作,直接开始新的转换,这时,重新启动 ADC 后它会经过 $2 \times T_{ADC}$ 的延迟产生输出。

在输入信号发生变化后 ADC 产生一个中间值的情况很常见。这与模拟滤波器的特性相同。如果模拟低通滤波器的输入信号发生阶跃变化,在一段时间内,它的输出会反映旧模拟输入与新模拟输入结合后的值。只有在足够多个时间常数之后,它的输出才会完全反映新输入的值。

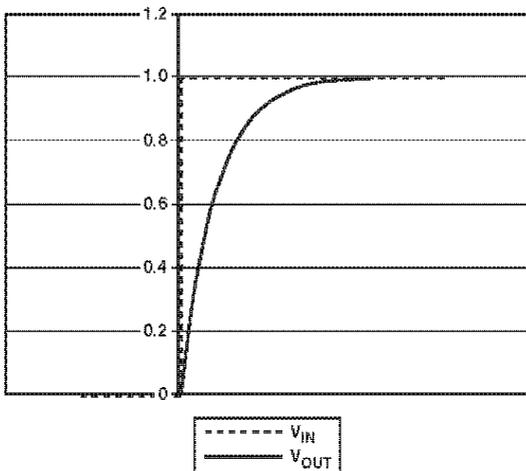


图 2 模拟滤波器的阶跃响应

这些 $\Sigma\text{-}\Delta$ ADC 包含一个给定的 3 dB 频率和建立时间的低通 FIR 滤波器,因此,虽然有有限脉冲/阶跃响应,但它的响应在离散时间上类似。

这些 ADC 唯一不定的特性就是在模拟输入发生改变后会有两个中间输出。这是斩波造成的结果。如上所述,具有斩波的 ADC 的输出是当前 ADC 转换和之前一个转换的平均值。如果模拟输入在 ADC 转换周期中发生改变,那么当前 ADC 转换是旧模拟输入和新模拟输入的综合反映,平均后的结果是一个中间值。下一个(非平均)转换会真正反映新的输入。然而,当与之前的转换平均时,它还不能产生最终的值,所以它产生第二个不稳定的输出。只有第三个输出才完全稳定(见图 3(i))。

一些其他的 Σ - Δ ADC 将 ADC 转换输出限制在每 $2 \times T_{\text{ADC}}$ 一次, 即最大吞吐量的一半。在这种情况下, 由于较慢的 ADC 转换速率, 模拟输入变化后最多只有一个中间结果 (见图 3 (ii))。这种情况习惯以“无延迟”表示, 但实际上这样的 ADC 与 ADI 公司的 ADC 相比对于阶跃输入具有更大的延迟。

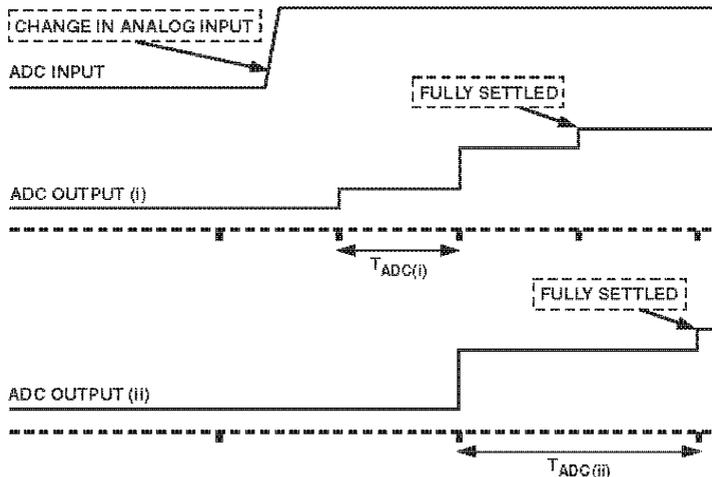


图 3 具有 (i) 和没有 (ii) 额外中间结果的 ADC 延迟的对比

那种方案是最好的? 在大多数应用中, 尽可能快地得到信息的需求是最重要的。例如, 在安全至关重要的控制系统中, 您得到一个反应即将过热的指示越快, 采取纠正的措施就越快。

在 ADC 有更快的输出时, 模拟输入发生变化后会比只有每 $2 \times T_{\text{ADC}}$ 提供一次输出的 ADC 更早得到指示。这会减少 ADC 的有效延迟。

如果阶跃变化是由于外部多路复用器的变化引起的, 通常情况下最好同时中断 ADC 转换并在 $2 \times T_{\text{ADC}}$ 之后获得稳定的结果。但是, 如果输入变化是由于传感器输出的突然改变所引起的, 尽快得到发生变化的指示更为重要, 因为这个变化可能很重要。

频率响应

斩波也会影响频率响应, 但是主要是在好的方面。用 2 平均的操作使陷波频率为 $f_{\text{OUT}}/2$ 的奇数倍, 这可以提高 50 Hz/60 Hz 的抑制。请参考随附的有关 50 Hz/60 Hz 抑制的应用笔记。

小 结

斩波的主要目的是消除失调误差。在 ADI 公司的这些 ADC 上,斩波可以很好的消除失调。一次输出需要两次 ADC 转换可能不是很好,然而,在 ADC 中已经实现的方法在检测输入信号变化的时候会在响应时间上有些损失。关于 Σ - Δ ADC 的延迟响应有一些使人误解的信息,因此这篇应用笔记试图展示这一系列 ADC 能够提供的更理想的解决方案。

AN-614 应用笔记

在低功耗应用中使用 AD7782

作者: Mary McCarthy

简介

本应用笔记介绍在便携式或低功耗应用中如何使用 AD7782。该器件是一款引脚可配置的 24 位精度只读 ADC, 具有 20 Hz 输出数据速率。它含有两个差分模拟输入通道, 适用的模拟输入范围为 ± 160 mV 或 ± 2.56 V。输入信号范围和输入通道选择通过外部引脚进行配置。在两次转换之间, 用户可以利用 AD7782 上的串行数据接口关断器件, 以降低器件的平均功耗。

串行接口

如图 1 所示, AD7782 具有一个三线式串行接口: DOUT/ $\overline{\text{RDY}}$ 、SCLK 和 $\overline{\text{CS}}$ 。MODE 引脚用于设置器件的工作模式: 从模式 (SCLK 由外部提供) 或主模式 (AD7782 提供 SCLK)。器件上电后, 将以 19.79 Hz 的更新速率连续转换。 $\overline{\text{CS}}$ 引脚既可用作关断引脚, 也可用作芯片选择引脚。当 $\overline{\text{CS}}$ 为高电平时, 连续 ADC 转换中断, DOUT/ $\overline{\text{RDY}}$ 变成三态, AD7782 进入待机模式, 并且输出移位寄存器中的任何转换结果都会丢失。在主模式下, SCLK 也会呈三态。在节电模式下, AD7782 的片上晶体振荡器仍然保持工作状态。当 $\overline{\text{CS}}$ 变为低电平时, AD7782 的片上锁相环 (PLL) 建立锁定, 然后器件开始转换选定的通道。

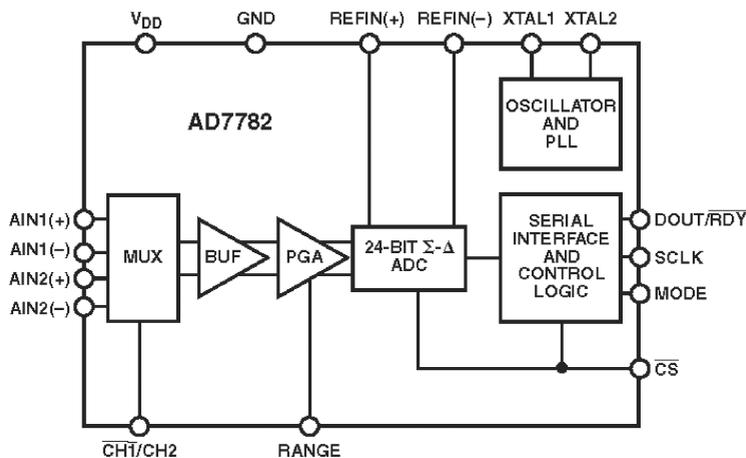


图 1 AD7782 功能框图

图 2 为 AD1782 时序图。

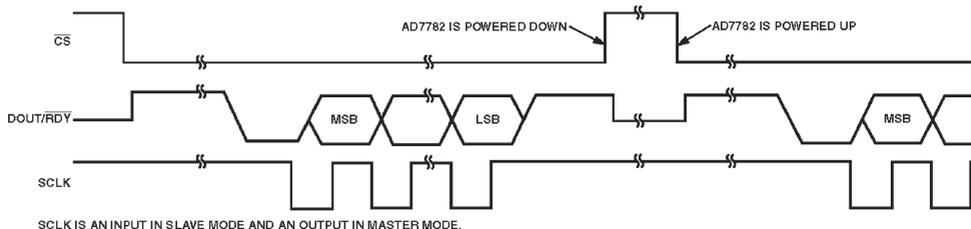


图 2 AD7782 时序图

功 耗

AD7782 上电后, 3 V 时的典型功耗为 1.3 mA, 5 V 时的典型功耗为 1.5 mA。在省电模式下, 该器件 3 V 时的典型功耗为 6 μ A, 5 V 时的典型功耗为 20 μ A。在两次转换之间使 AD7782 处于省电模式可以优化器件的功耗。例如, 如果 AD7782 每秒执行一次转换, 则首先可以使该器件上电以执行转换, 然后利用 $\overline{\text{CS}}$ 将其关断, 直到要求执行下一次转换时为止。

从图 2 可以看出, 将 $\overline{\text{CS}}$ 拉低, AD7782 上电。上电之后, ADC 需要约为 1 ms 的建立时间。然后, 器件开始执行转换。该 Σ - Δ ADC 采用斩波技术, 因而在使器件离开省电模式之后, 为产

生正确的转换结果,需要使用两个转换周期。 \overline{RDY} 仍将保持高电平,直到获得有效的转换结果为止。假设更新速率为 19.79 Hz,则转换周期为 50.5 ms,因此 AD7782 必须在 $(2 \times 50.5) + 1 = 102$ ms 内保持上电状态。转换结果被读取后,该器件便可关断。

如果某一应用要求每秒执行一次转换,则一秒钟内该器件处于上电模式的时间为 102 ms,处于关断模式的时间为 $(1000 - 102) = 898$ ms。假设采用 3 V 电源,则平均功耗等于 $(0.898 \times 6) + (0.102 \times 1300) = 138 \mu\text{A}$ 。

如果采用 5 V 电源,同样是每秒执行一次转换,则平均功耗等于 $(0.898 \times 20) + (0.102 \times 1500) = 171 \mu\text{A}$ 。

在某些应用中,AD7782 用于执行监控功能,每一小时执行一次转换。这种情况下,采用 3 V 电源时的平均功耗为 $(0.99997167 \times 6) + (0.00002833 \times 1300) = 6.04 \mu\text{A}$;

采用 5 V 电源时的平均功耗为 $(0.99997167 \times 20) + (0.00002833 \times 1500) = 20.04 \mu\text{A}$ 。

图 3 显示了平均功耗与转换速率之间的关系图,转换速率为 ADC 执行单次转换的周期,AD7782 在完成单次转换后被置于关断模式。从图中可以看出,当转换之间的时间间隔为 15 秒或更大时,平均功耗接近省电模式的额定值。

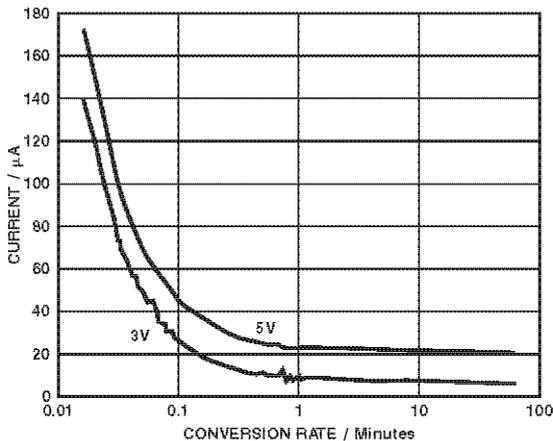


图 3 功耗与转换速率的关系曲线

小结

AD7782 ADC 上电后便会连续执行转换。但是,许多应用所需的更新速率可能低得多,因此许多转换结果不会被读取。对于这些应用,在两次转换之间关断 AD7782 将能降低功耗。由于 \overline{CS} 同时充当芯片选择引脚和关断引脚,而无需微控制器提供额外数字引脚,因此在两次转换之间关断 ADC 不会增加额外开销。

AN - 639 应用笔记

常见问题解答: Analog Devices 电能计量(ADE)产品

作者: Rachel Kaplan

一般问题

如何索取预发布产品及评估板的样片?

请通过当地的授权代理商或销售代表索取预发布产品样片(带原始数据手册的产品)。有关我们的销售及经销商目录,请访问: www.analog.com/salesdir/continent.asp。请务必告诉他们产品已预发布。原始数据手册(若有)的“订购指南”部分会含有评估板产品型号。

计 量

为什么电子式电能表(固态电能表)优于机电式电能表或模拟式电能表?

电子式电能表能在较宽的电流动态范围内取得很高的精度,可以承受较高电流,功耗低、可靠、鲁棒性(稳定性不受时间和温度影响),而且不含易磨损的配件和易在直流电流下饱和的磁体。它们不需要精密机械,且温度容差变化不大。

电子式电能表更容易实现新的功能,如自动抄表(AMR)、多费率计价、防窃电、预付式电度表、限电、停电检测、功率因数检测等。电子式电能表在设计上更为灵活,可轻松进行重装配置和升级(如软件升级)。校准简单、稳定,无需进行硬件调整,生产、运输和安装也更简单。电子式电能表为供电公司提供了更广泛的产品选择——而且激烈的竞争环境有助于降低这一解决方案的成本。

固态电能表的使用寿命如何?

我们通过加速寿命测试对 ADE IC 进行了测试。结果表明, ADE 的精度和可靠性可保持 60 年。这种电能表的使用寿命可能受电能表设计及元器件选择的影响。AN-559 及 AN-563 两篇应用笔记中描述的参考设计提供了一种有效的电能表解决方案, 是固态电能表设计的很好的参考。

有功功率、无功功率及视在功率三者之间有何区别?

有功功率的计量单位是千瓦时, 无功功率和视在功率的计量单位分别是乏 (VAR) 时和伏安 (VA) 时。图 1 显示了有功功率、无功功率及视在功率三者间的关系。图中所示关系在纯正弦波下成立。存在谐波时, 这种关系将不成立。另见常见问题解答: 什么是功率因数?

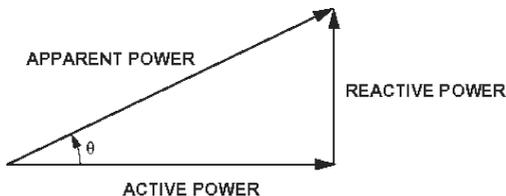


图 1 功率三角关系

关系如下:

$$\text{有功功率} = VI \cos \theta$$

$$\text{无功功率} = VI \sin \theta$$

$$\text{视在功率} = VI$$

$$\text{功率因数} = \cos \theta$$

什么是功率因数?

$\cos \theta$ 被称为功率因数, 其中, θ 为有功功率矢量与视在功率矢量之间的角度 (无谐波)。可见, 功率因数为实际功率与视在功率之比。参见图 1。有的供电公司会对低功率因数罚款。造成低功率因数的常见原因为感应电机和变压器。当电流发生位移或与电压的相移角度达 θ 时, 线路中会出现感抗。

电流传感器

ADE IC 应与哪些电流传感器配合使用?

ADI 公司目前未与任何电流传感器制造商合作, 也不作相关推荐。电能表制造商和其他

客户必须自行评估和选择电流传感器。如要利用 ADE77xx 的全动态范围性能,则须使用能在这—

范围内实现所需精度的电流传感器。

不同电流传感器技术有哪些优势与不足?

传感器	优势	不足
低电阻分流器	极低的成本、良好的线性度	较差的高电流性能、直流偏置、寄生电感
电流互感器	高电流性能、低功耗	直流、相移导致的迟滞/饱和
霍尔效应传感器	高电流性能、宽动态范围	迟滞/饱和、高成本、温度漂移
罗果夫斯基线圈(空芯 CT)	低成本、无饱和限制、低功耗、不受直流偏置影响、宽动态范围、极低温度范围	输出为电压信号导数——要求模拟(或数字)积分器。EMI 灵敏度

ADE7753 和 ADE7759 内置数字积分器,与罗果夫斯基线圈很容易接口。各种情况下,均可关闭积分器,以与电流互感器(CT)或分流器接口。

选择分流器时有哪些考虑因素?

选择分流器时主要考虑以下因素:

功耗要求:据 IEC 61036,每个通道的功耗不能超过 2 W,更大的分流器功耗会消耗更多功率。

热管理因素:对于大(高电阻)分流器,当电流较大时,温度将大幅升高。

分流器品质:分流器的自热特性可能提高其电阻。结果可能导致输出信号发生变化,并由此影响到电能表的准确性。

窃电因素:分流器电阻应尽量接近导线,以减少通过外线分流产生的影响。

分流器应在电流工作范围内,为 IC 提供合理的信号水平。

选择电流互感器(CT)时有哪些考虑因素?

务必谨慎选择,确保特定电流互感器的动态电流感应范围足够大,能适应具体应用之需。在大直流或高电流下,电流互感器可能发生饱和,设计人员应选择额定值符合其需要的电流互感器。电流互感器有可能产生相移,选择时应考虑设计人员对此误差进行补偿的能力。

如何补偿电流传感器的相移(或通道间的相位不匹配)问题?

对于 ADE7751、ADE7755(单相)或 ADE7752(3 相)等产品,对相位不匹配进行补偿的唯一方式是硬件。可以通过调节 RC 滤波器(用于输入通道抗混叠)的转折频率,产生相移以补

偿电流互感器相位误差,由此纠正线路频率下的相位不匹配。应用笔记 AN-563 较为详细地讨论了调节相位不匹配的方法。

对于 ADE7753、ADE7756、ADE7759(单相)、ADE7754(3 相)等产品,您可以使用内部 PHCAL 寄存器来调节相位超前/滞后。调节相位不匹配只是简单的寄存器写操作过程。有关详情,请参阅相应产品的数据手册。如果补偿范围超出了 PHCAL 寄存器的范围,则可以结合使用硬件和软件相位调节方式。例如,您可以利用硬件法大致补偿默认情况下的相位不匹配问题,而通过 PHCAL 寄存器进行生产微调。

如何计算与电流互感器搭配负载电阻?

负载电阻取决于最大电流 (I_{MAX})、ADC 输入电平 (y) 以及所用电流互感器中的匝数 (CTRN)。在最大电流下,电流通道的输入信号应为满量程输入的一半*,以获得裕量。

$$y = \frac{\text{Full Scale}}{2} = \frac{500 \text{ mV}_{\text{峰值}}}{2} = \frac{353.55 \text{ mV}_{\text{rms}}}{2} = 176.8 \text{ mV}_{\text{rms}}$$

应用以下等式:

$$\frac{I_{MAX}}{CTRN} = x \quad \frac{y}{x} = 2R_B$$

求出 R_B 的值。例如,若 I_{MAX} 为 113.1 A 均方根值,则 $R_B = 4.5 \Omega$ 。

罗果夫斯基线圈的工作原理是什么?

罗果夫斯基线圈的基本工作原理是通过互感测量初级电流。

当电流通过导体时,导体周围会形成一个磁场。磁场强度与电流成正比。磁场的变化会在线圈中产生电动势 (EMF)。EMF 是一种电压信号,与线圈中的磁场变化成比例。可见,线圈的输出电压与电流的时间微分 (di/dt) 成比例。

罗果夫斯基线圈通常采用空芯设计,因而从理论上来说,不存在迟滞、饱和、非线性等问题。由于罗果夫斯基线圈依赖于磁场测量,这种性质使这类电流传感器比电流互感器更易受外部磁场的干扰。

有关详情及公式,请访问 ADI 网站上的技术文章“Current Sensing for Energy Metering”(面向电能计量的电流检测)。

从哪里可以买到罗果夫斯基线圈?

目前, ADE 产品开发小组正在寻找合适的罗果夫斯基线圈制造商。我们将向感兴趣的客户通知结果。如果您希望接收该通知,请将您的联系资料和请求发送至 energy_meter_ana-

* 满量程为 660 mV_{峰值}、500 mV_{峰值} 和 1 V_{峰值},视产品而定。有关规格详情,请参阅产品数据手册。

log.com。采用其专有传感器及 ADE 产品的电能表制造商对 ADI 数字积分器和传感器接口都很满意。

如何在单相、3 线配置中使用一个电流互感器或罗果夫斯基线圈(ANSI 2S)?

在美国(及部分其他地区),居民用电采用单相、3 线配置输送。L1 和 L2 两条线缆中的电压信号相互 180° 反相,两个信号的参考是同样的。理论上,要求使用两个电能计量 IC 和两个传感器。然而,借助一种逼近法(通常极其接近真实情况),只需一个计量 IC 和一个电流传感器就够了。此时的前提假设是,两条相线的振幅相等(二者 180° 反相)。只需用 L1 和 L2 间的电压差乘以 L1 中电流及 L2 的“反相值”之和即可。

数学公式为:

$$\begin{aligned} \text{L1 瞬时功率} &= V_{1N} \times \text{L1 电流} \\ \text{L2 瞬时功率} &= V_{2N} \times \text{L2 电流} \\ \text{总瞬时功率} &= \text{L1 功率} + \text{L2 功率} \\ &= V_{1N} \times \text{L1 电流} + V_{2N} \times \text{L2 电流} \end{aligned}$$

假设 $V_{1N} = V_{2N} = (V_{1N} - V_{2N})/2$, 则

$$\begin{aligned} \text{总瞬时功率} &= V_{1N} \text{ L1 电流} + V_{2N} \text{ L2 电流} \\ &= V_{1N} \times \text{L1 电流} - V_{1N} \times \text{L2 电流} \\ &= ((V_{1N} - V_{2N})/2) \times (\text{L1 电流} - \text{L2 电流}) \end{aligned}$$

整除 2 是为了在校准过程中进行补偿。

在 AN-564 应用笔记中,使用的是电流互感器以正确求出电流和。用一个电流互感器并使 L1 和 L2 反向流动,以产生两个电流之和,也可用两个电流互感器来监控单个相位电流,并以外部分式(将两个电流互感器并联)求和。用单个电流互感器求和时务必小心;必须能在两种相位下承受总电流。例如,如果各相线的最大容量为 100 A,则电流互感器的容量需要达到 200 A。

全部 ADE 产品

ADE 产品符合哪些计量标准?

ADE IC 的性能符合 IEC 1036、IEC 61036、ANSI 及其他衍生规范的要求。请参阅各产品数据手册中的规格部分,了解有关详情及与其他计量规范的合规情况。

ADE IC 是否可以在 50 Hz 及 60 Hz 环境中使用？

是的。ADE IC 的频率性能(45~70 Hz)可在各数据手册“典型性能特性”部分找到。

是否必须使用建议的 CLKIN 频率？

ADI 基于建议的 CLKIN 频率进行了广泛的测试。标定 CLKIN 频率是产品规格及器件性能得以保证的唯一频率。更改 3.5 MHz(ADE7751、ADE7753、ADE7755、ADE7756、ADE7759)或 10MHz(ADE7752、ADE7754)的 CLKIN 频率将改变数据手册所给等式中的常数以及寄存器分辨率、CF、F1 和 F2 脉冲宽度。

ADE775x 可以使用 3.3 V 数字电源吗？

不可以,数字电源无法工作于 3.3 V 的电压下。

如何理解 ADE IC 中的无功功率或有功功率符号？

图 2 展示了电能寄存器符号的解读方法。

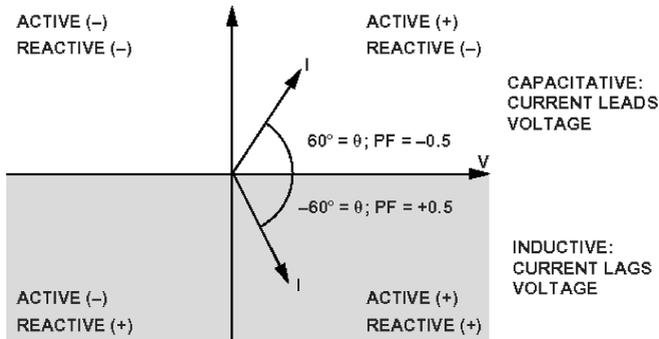


图 2 ADE IC 中的无功功率及有功功率

ADE 芯片测量的是功率还是电能？

ADE 电能计量产品的模拟输入通道采用 ADC,可将交流电压和电流信号转换成数字位流。然后在数字域对电压及电流位流进行乘法运算,所得乘积为瞬时功率。在电能表内部,该功率随时间累加。这就是电能。可见,ADE 芯片测量的是电能而非功率。需要时,可利用波形采样寄存器读取位流,从而在串行接口(SPI)器件(ADE7753、ADE7754、ADE7756 和 ADE7759)中求出瞬时功率。

为什么要在输入通道中配置抗混叠滤波器？

ADE IC 输入端的 ADC 必须配置抗混叠滤波器,以避免因 ADC 采样导致失真。ADE775x 系列

ADC 具有较高的采样速率(约 800 kHz)。如奈奎斯特理论所述,接近采样频率的镜像频率可能与采样频率(450 kHz)的一半左右混叠,从而与目标频带(50~60 Hz)重合,由此导致失真。简单的低通滤波器可以衰减高频率(近 900 kHz),不会与目标计量频带(低于 2 kHz)重合。

如何设计抗混叠滤波器?

本应用中,简单的 RC 低通滤波器足以满足对抗混叠滤波器的要求。AN-559 应用笔记、ADE7755 参考设计文档解释了为 ADE77xx 产品设计简单的抗混叠滤波器的方法。

在关于两极串联 RC 滤波器(AN-559,图 12)的公式 $H(s) = 1/(S^2 \times R_2 \times C_2 + 3SRC + 1)$ 中,3SRC 中的因子 3 是如何来的?

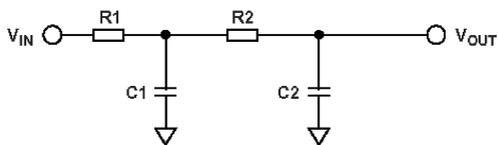


图 3 两个串联的 RC 滤波器

对于含有两个串联 RC 滤波器的滤波器网络,传函如下:

$$H(s) = 1 / ((1 + sR_1C_1)(1 + sR_2C_2) + sR_1C_2)$$

其中, $R_1 = R_2$ 且 $C_1 = C_2$

两个串联滤波器的一种估算公式为 $H(s) = G(s) \times W(s)$, 其中, $G(s)$ 和 $W(s)$ 表示各滤波器的传递函数。如果 $R_1 = R_2$ 且 $C_1 = C_2$, 估算结果的分母中就会包含 $2sRC$ 。

该估算忽略了精确等式中的“交越”项 sR_1C_2 。可根据电路推算出传递函数,不进行估算,从而证明这一点。

AN-559 解释了利用极点位置计算电阻及电容值以匹配相位和消除寄生并联电感的方法。

相位不匹配对电压和电流通道有何影响?

因电压与电流信号路径不匹配导致的有功功率测量误差百分比的近似值可通过以下公式计算:

$$\text{误差} \approx \text{不匹配(弧度)} \times \tan \theta \times 100\%$$

在该表达式中, θ 表示电压与电流间的相位角。显然,当功率因数为 0.5 时, 0.1° 的相位不匹配将导致约 0.3% 的误差。可见,必须加倍小心,以确保内部信号路径在电压和电流相位上精确匹配。当功率因数较低时,即使是较小的相位不匹配也可能导致大误差。

如何校准 ADE 计量 IC?

对于 ADE7751、ADE7755(单相)或 ADE7752(3 相)等产品,校准通过硬件完成。这些产品需要在电压通道上配置电阻分压器网络。有关详情,请参阅相关应用笔记和产品数据手册。

对于 ADE7753、ADE7756、ADE7759(单相)或 ADE7754(3 相)等产品,校准则通过 SPI 接口写寄存器完成。有关详情,请参阅产品数据手册和应用笔记。

应以什么测试电流对电能表进行校准?

电能表一般以标定的基极电流(I_B)进行校准。

该电流通常为最大电流(I_{MAX})的 10%。

ADE775x DIP、SSOP 及 SOIC 几种封装在内部是否存在任何差异?

仅封装存在差异。器件性能不受封装方式影响。

ADE7755 和 ADE7751 上既有模拟地(AGND)也有数字地(DGND)。为什么在参考设计中,两个引脚都接到了模拟接地层上?

ADE7755 和 ADE7751 不会产生大量数字噪声。因此,可将整个 IC 接到干静的模拟接地层上,以减少来自其他源的噪声影响。此外,这种安排可以增大 PCB 上的接地层。这里的关键是将数字输出引脚(F1、F2、REVP 和 CF)接到数字接地层。

电流传感器应接到哪个接地层?

数字接地层。这样不但可以减少进入模拟接地层的电源线的噪声,而且可以在发生 ESD 事件时从 IC 分流电能。

晶体振荡器应接到哪个接地层?

数字接地层。

在设计电能表 PCB 上的接地层时,需要考虑哪些因素?

模拟接地层和数字接地层应相互物理隔离,且只能接一个点(星形接地配置)。最好用铁氧体磁珠连接两个接地层,以减少数字接地层进入模拟接地层的噪声。

对于电快速瞬变(EFT)突发脉冲测试,需要考虑哪些系统设计因素?

可参考以下实用技巧:

- 在电能表与线路的连接处使用铁氧体磁珠。

- 在线路导线间使用金属氧化物压敏电阻(MOV)和分流电容。
- 尽可能增大与高压危险区域的物理距离,避免发生电火花。

对于电磁干扰(EFT)测试,需要考虑哪些系统设计因素?

可参考以下实用技巧:

- 接地层应尽可能大。
- 在 PCB 的模拟部分使用较短信号路径。
- 消除地环路。
- 使用短而紧实的双绞线。
- 考虑物理屏蔽。

ADE775x:SPI 接口产品

ADE775x(ADE7753、ADE7754、ADE7756、ADE7759)能承受双向电能流吗?

是的,ADE775x(ADE7753、ADE7754、ADE7756、ADE7759)可以承受双向电能流。电能寄存器上会有相应标识。

ADE775x(ADE7753、ADE7754、ADE7756、ADE7759)能用于直流电能测量吗?

是的,在通道 1 中的 HPF 关闭时,ADE775x(ADE7753、ADE7754、ADE7756、ADE7759)可用于直流电能测量。但请注意,ADC 通道 1 和通道 2 中都有直流偏置,因此有必要进行直流校准以补偿该误差。可通过向 CH1OS、CH2OS 或 APOS 寄存器写入代码来补偿误差项 $CH1_OS1 \times CH2_OS2$ 。

哪些产品可以与罗果夫斯基线圈(空芯 CT、di/dt 传感器)配合使用?

ADE7753 和 ADE7759 为单相产品,可与 di/dt 传感器配合使用。所有情况下,使能该直接接口的积分器可被禁用(请参阅产品数据手册,了解寄存器配置图),以将电流互感器(或分流器)用作电流传感器。

在与 MCU 接口时,在 SPI 时序方面是否有任何特殊考虑?

在多字节数据传输过程中,字节间(产品数据手册中的 t_7 和 t_{10})至少须有 $4 \mu\text{s}$ 的间隔时间。其中包括通信寄存器写操作(启动 SPI 通信的命令字节),即 SCLK 的上升沿应发生在通信寄存器写操作的下降沿 $4 \mu\text{s}$ 之后。对于快速 MCU,传输时间可能会较快,从而违反以上时间要求。

哪些 ADE 产品会产生无功功率?

ADE7753。

ADE77xx VAR(无功功率)计算的工作原理是什么?

ADE 电能测量产品通过一个单极低通滤波器来计算 VAR,其中,频率相移常数为 90° ,衰减为 20 dB/10 倍频程。低通滤波器的截止频率远低于基频,因此,在高于基频的任何频率下,其相移均为 90° ,并使这些频率衰减 20 dB/10 倍频程。这种解决方案受线路频率变化的影响。然而,通过估算信号的线路周期,就可以对线路频率增益衰减进行动态补偿。ADE 产品还有一个周期寄存器,可供补偿使用(ADE7753)。有关各种 VAR 计算方法的全面说明和对比,请参阅 ADI 网站上的技术文章“Measuring Reactive Power in Energy Meters”(测量电能表中的无功功率)。

要从 ADE775x 获得稳定的电能寄存器读数,需要累加多少个线路周期?

虽然读数将在半个周期中稳定下来,但问题在于精度。读数的精度为累加的 LSB 的 $1/n$,类似于 ADC 中的量化误差。

要获得有意义的电能读数,LINCYC 的最小数目是多少?

您可以调节半线路周期数,在低电流精度和读出各相位所需时间之间作出权衡。

100 个半周期 $60 \text{ Hz} = 1.667 \text{ sec} \times 32 \text{ LSB/sec} = 53.333 = 53$ (舍入,导致误差)。任何测量的误差均为 $\pm 0.5 \text{ LSB}$ 。

因此,精度 = $1 \text{ LSB 误差} / 53 \text{ LSB} = 1.875\%$ 。

因这种“量化”导致的误差在大电流下的影响较小(因为累加的 LSB 增加了)。可见,最差情况发生在小电流时。

可以在 ADE77xx 中使用温度传感器来补偿基准电压漂移吗?

导致温度漂移的原因主要有两种:内部电压基准和电流传感器自身发生漂移。即使内部电压基准漂移呈“平均”分布,也不具可预测性,不是单个器件性能的指标。除非温度漂移大到需要进行补偿的程度(通常并非如此),不建议这样做。如果确有必要这样做,则应在多个温度下进行校准。

如何处理不同的 3 相分布配置(3 线、4 线、 Δ 和“Y”形)?

ADE7754 提供不同的电能计算模式。应根据具体的服务配置,选择相应的公式。有关 COMPMODE 寄存器的详情,请参阅 ADE7754 数据手册。

我可以索取评估板(EVAL - ADE775xEB)的驱动代码吗?

代码采用 LabVIEW 编写。如果没有 LabVIEW 软件,就无法查看。该软件随附的运行引擎只能运行可执行文件。如果客户有 LabVIEW 软件,我们将十分乐意发送相关文件。

“read”(读)与“read with reset”(带重置读)(AENERGY 寄存器与 RAENERGY 寄存器 [或 AENERGY 与 RVAENERGY])之间的区别是什么?

实际上,这两个寄存器(AENERGY 和 RAENERGY)读取的是同一个内部寄存器。读取 AENERGY 寄存器时,仅对内部寄存器进行读操作。当读取 RAENERGY 寄存器时,对内部寄存器进行读操作并将其重置为 0。半满中断表示内部寄存器处于半满状态。读取累加有功功率时,可以只读取内部寄存器而不进行重置,并在设定半满中断时进行重置,也可总是在读后进行重置。任何情况下,都需要在微处理器中配置一个累加器,用以跟踪电能表累加的总电能,而且必须将 AENERGY 寄存器值添加到累加器中。VAENERGY 和 RVAENERGY 两个寄存器的情况与此相同。

重置或上电后,ADE775x 内部寄存器的内容是什么?

重置后,寄存器的内容为数据手册中描述的默认值。必要时,应将校准寄存器的内容存储在非易失性存储器中,以便重新加载。另见常见问题解答:ADE775x 是否有停电(电压 SAG)保护?

ADE775x 是否有停电(电压 SAG)保护?

ADE775x 中的寄存器均为易失性寄存器。因此,校准系数和电能寄存器读数应保存在电能表的非易失性存储器(如 EEPROM 或闪存)中。ADE7753、ADE7754、ADE7756 和 ADE7759 配有 SAG 检测功能,用于提前向 MCU 发出警告(当电源电压开始降低时)。SAG 检测功能的激活电平可通过器件寄存器进行配置。当 SAG 检测功能激活时,意味着 ADE775x 的 5 V 电源将中断。MCU 应备份电能数据,当线路电压(及 5 V 电源电压)恢复正常时,应从存储器中读取校准系数并传递至 ADE775x。有关详情,请参阅应用笔记 AN - 564。

ADE7756、ADE7759 和 ADE7753 中的 ADC 的采样速率是多少?

ADE7756 中的 ADC 的采样速率为 890 kHz。然而,由于该 ADC 采用 $\Sigma - \Delta$ 架构,因此输入频率带宽小于奈奎斯特频率(445 kHz)。因此,ADE775x 中的模拟输入带宽被限为 14 kHz。即就是说,在 60 Hz 信号下,最多可以数字化 233 个谐波。同时还须考虑 ADC 之前的抗混叠滤波器的频率带宽,它们一般具有较低的截止频率。

IRMS/VRMS 寄存器(ADE7753、ADE7754)中的数据能保留多长时间,读取后会被擦除吗?

IRMS/VRMS 寄存器不断进行更新,因此,它们从不真正“保留”数据。在 ADE775x 中,均方根计算利用一个低通滤波器来提取均方根值,并有与之关联的建立时间(约 700 ms)。如此一来,实际中电流/电压事件对寄存器进行更新时会有一定的延迟。在 RMS 寄存器中,我们建议在电压输入信号在零交越之后对寄存器采样,以消除滤波带来的噪声。(您可以利用零交越中断来标示零交越事件。)

应如何对非 n 字节长的符号寄存器进行读写操作?

对于 SPI,必须按字节进行读写操作。以下举例说明如何处理非 n 字节长的寄存器:PHCAL 寄存器为 6 位寄存器,但经过符号扩展,如图 4 所示。在此必须进行符号扩展,将符号位置于 MSB。对于 PHCAL 一类的寄存器,第 7 位实际为符号位。5 个 LSB 位为寄存器的数值。第 5 和第 6 位为“无关位”。在回读经符号扩展的寄存器时,这些无关位将与 MSB(符号位)匹配,与写入这些位的值无关。该方法适用于所有 6 位或 12 位符号寄存器。

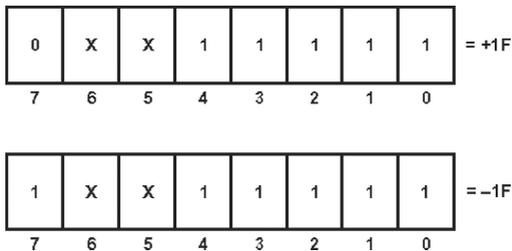


图 4 向符号扩展寄存器写入值

ADE775x: 模拟校准产品

在模拟校准器件中,可以将电位计用于电阻校准网络吗?

对于模拟校准器件(ADE7751、ADE7752、ADE7755、ADE7757),为了确保电能表在长时间和全温度下的精度,不建议使用电位计。

在为 ADE7751/ADE7755 参考设计选择电源单元内使用的电容时,需要考虑哪些因素?

由于 ADE7751/ADE7755 具有内部电源监控功能,因此,当模拟电源引脚(AV_{DD})处的电压降至 4 V 以下时,芯片会自动复位。为了确保电能表能在 SAG 电压下正常工作,应增大电容分压器网络所用电容的容量。对于噪声过滤,应选择较大的介质电容。分压器网络所用电

容的阻抗为 $X_C = 1/(2\pi fC)$ 。通过电容的电流为 $I_C = \text{线路电压} \times (2\pi fC)$ 。由于电源使用半波整流模式,因此电源电流为通过电容电流的一半 $I_p = I_C/2$ 。

单相产品

1. ADE7751/ADE7755

如何确定增益校准范围?

衰减网络应至少允许 $\pm 30\%$ 的校验范围,以支持分流器容差和 $\pm 8\%$ 的片内基准容差。利用数据手册中的频率输出计算等式,

$$F_{\text{req}} = \frac{\text{Const} \times V1 \times V2 \times \text{Gain} \times F_{1-4}}{V_{\text{REF}}^2}$$

可以基于所有参数估算总误差。 F_{1-4} 几乎不会带来误差,因为误差仅取决于晶体。

若要以这种方式估算总误差,可加上数据手册给出的典型增益误差(7%)、 $V1$ 、 $V2$ 中的误差,再加上基准误差的两倍。设电阻公差为 1%,则有

$$\text{误差} \approx 1\% + 1\% + 7\% + 2(8\%) \approx 25\%$$

我们保守的估计 ADE7755 参考设计的误差,建议校验范围为 30%。

ADE7755 能与电流互感器配合使用吗?

能。请参阅 ADE7755 数据手册。

基于 ADE7751 或 ADE7755 的电能表的起始电流是多少?

以下计算基于 $F1$ 、 $F2$ 输出设为 100 imp/kWh 且 $F1-4$ 为 3.4 Hz ($S1=0$, $S0=1$) 的电能表。还可用其他设置轻松进行类似计算:

输出频率

$$F1, F2 = \frac{100 \frac{\text{imp}}{\text{kWh}}}{3600 \frac{\text{sec}}{\text{hr}}} \approx 0.0277 \frac{\text{Hz}}{\text{kW}}$$

ADE7755 的最低输出频率为 F_{1-4} 的 0.0014%。 $F1$ 、 $F2$ 的最低输出频率为:

$$0.0014\% (3.4 \text{ Hz}) \approx 0.0000476 \text{ Hz}$$

等效功率为:

$$\frac{0.0000476 \text{ Hz}}{0.0277 \frac{\text{Hz}}{\text{kW}}} \approx 1.72 \text{ W}$$

对应的起始电流(220 V 线路电压下)为 $1.72 \text{ W}/220 \text{ V}=7.8 \text{ mA}$ 。

EVAL - ADE7755EB 有多大?

EVAL - ADE7755EB 的尺寸约为 6 英寸×5 英寸。

EVAL - ADE7755EB 可以使用 120 V 电源吗?

可以。虽然这种评估板设计用于 220 V 电源电压,但可按比例更改分压器的值,以支持 120 V 电源。请参阅相关应用笔记和评估板文档。如应用笔记中描述的那样,只需更改评估板上的 R53 和/或 R54 电阻的值,即可使转折频率匹配保持 4.8 kHz 不变。由于这里需要降低电源电压,因而应增大电阻 R53 或 R54 或同时增大它们的值。这种方法对其他 ADE775x 评估板同样适用。

如何计算 ADE7755 应用笔记(AN - 559)所述电路的功耗?

功耗基于最差情况进行计算。在电源端,主要负载为与 470 Ω 电阻串联的 470 nF 电容。50 Hz 下,阻抗大小约为 6.8 k Ω 。若通过负载的标称电流为 32.4 mA,则视在功率为:

$$(220 \text{ V})(32.4 \text{ mA})=7 \text{ VA}$$

电源的实际功率(经电阻消耗)为:

$$(470 \Omega)(32.4 \text{ mA})^2=0.5 \text{ W}$$

其他主要有功功耗源为分流器。作为一个阻性元件,当有电流通过时,即会消耗功率。40 A 下,分流器的功耗为:

$$(350 \mu\Omega)(40 \text{ A})^2=0.56 \text{ W}$$

因此,总功耗为:

$$0.5 \text{ W}+0.56 \text{ W}=1.06 \text{ W}$$

在 AN - 559 参考设计中,用齐纳二极管代替 7805 稳压器有什么影响?

齐纳二极管的电源抑制性能(PSR)不如稳压器。也就是说,如果用齐纳二极管代替稳压器,受电源波纹的影响,轻负载下即可能产生较大误差。

据 ADE7751/ADE7755 参考设计建议,REFIN/OUT 引脚处的 10 μF 钽电容的功能是什么?

这两个电容与介质电容一起用于稳定基准电压、确保高精度。

ADE7755 中的 V1P 和 V1N 输入引脚的输入阻抗容差是多大?

输入阻抗标识的为最小值 390 k Ω 。理论上这个值会更高,但最小值是设计必须考虑的最差情况。

2. ADE7757

ADE7755 和 ADE7757 有何区别?

ADE7757 是 ADE7755 的引脚简化版, 集成了一个振荡器, 可消除外部晶体振荡器的成本。EVAL - ADE7757EB 可供购买。鉴于 ADE7755 和 ADE7757 间的相似性, 在开始设计时可以使用相同的应用笔记(AN - 559)。ADE7757 在性能上与 ADE7755 极其相似。有关详情, 请参阅产品数据手册。

ADE7757 可以使用外部晶体振荡器吗?

ADE7757 集成了振荡器, 不能使用外部晶体振荡器。

必须使用数据手册中指定的电阻吗?

数据手册中的规格和常数针对的是所用电阻决定的某个 CLKIN 值。如果未在设计中使用建议电阻, 我们无法保证器件的性能, 另外, 数据手册中的常数将发生变化。

ADE7757 中的 F1、F2 和 CF 脉冲是否同步?

在 ADE7757 中, CF 和 F1-F2 脉冲同步, 与 ADE7755 一样。

3. ADE7753

ADE7753 中的寄存器 AENERGY、VAENERGY 和 VARENERGY 之间是否存在固定的关系?

是的。虽然 AENERGY、VARENERGY 和 VAENERGY 三个寄存器因信号路径差异而不会匹配, 但三者之间存在固定的比例关系。它们应随输入而变化。

积分器关闭(线路频率 50 Hz):

$$VA = 0.810 \times W, VA = 2.796 \times VAR, W = 3.453 \times VAR$$

积分器开启(线路频率 50 Hz):

$$VA = 0.870 \times W, VA = 1.186 \times VAR, W = 1.363 \times VAR$$

如何发现 VAENERGY、AENERGY 及 VARENERGY 三个寄存器之间的关系?

在相移为 90° 和 0° 下, 分别测量有功功率、VA 和 VAR, 即可验证这三个电能寄存器之间的关系。VA 与瓦特数之比为 90° 相移下的 LVAENERGY 除以 0° 相移下的 LAENERGY。

如何从 ADE7753 获取功率因数?

功率因数为有功功率与视在功率之比。

对于无谐波信号,有功功率通常表示为 $VI \cos(\theta)$,其中,V 和 I 分别指电压和电流均方根。视在功率为 VI。若要获得 ADE7753 中的这些信息,请使用 LAENERGY 和 LVAENERGY 寄存器。虽然它们是电能,但您可以假定功率保持不变。由于两种电能的累加时间相同,这一比例会带来相同的结果。

4. ADE7756

可以用 ADE7756 或 ADE7759 计算均方根电流或均方根电压吗?

可以。请参阅 AN-578 应用笔记,了解用 ADE7756 和 ADE7759 计算均方根电流和电压的详细方法。ADE7753 直接在寄存器中提供 IRMS 和 VRMS。

如何用 ADE7756 检测掉电(电压 SAG)?

ADE7756 有一个十分有用的模式,可以检测线路电压压差(SAG 检测)。您可以对该检测功能进行设置,以在线路电压低于可配置阈值超过一定半线路周期数(可配置)时输出中断。该功能可提前通知您,电源的 5 V 电压可能很快就会下降,需要立即备份数据。

SAG 引脚无法可靠地捕捉掉电事件。应该用 IRQ 引脚来检测掉电。为了让 IRQ 引脚显示 SAG 事件,应将中断使能寄存器中的 SAG 位(第 1 位)设置为高电平。该位的默认值为逻辑低电平。

设置:MODE=0x0000; IRQEN=0x02

ADE7756 在挂起模式下的功耗是多少? 如果在 CLK 输入端有一个 3.57 MHz 的晶体,应如何中断数字电路? 此时的功耗是多少?

在挂起模式(模式寄存器的第 4 位设为 1)下,模拟部分被关闭,AV_{DD}上的功耗低于 0.3 mA。数字电源功耗只能通过关闭时钟输入并将 CLKIN 连接至 GND 或 V_{DD}(CLKOUT 开路)来降低。此时,DV_{DD}上的功耗接近 0 mA。

如果利用微处理器驱动 ADE7756,可以在待机模式将 CLK 输入保持为逻辑 1 或 0。如果微处理器的时钟频率为 8 MHz,则可在 4 MHz 下运行 ADE7756,而不会产生任何问题。否则,需要部署一种晶体断开机制,以降低 DV_{DD}电流。

如何用 ADE7756 或 ADE7759 检测反相有功功率?

对于 ADE7756 或 ADE7759,您可以通过从波形寄存器中读取乘法器波形来检测反相功率。平均值符号可通过 MCU 进行解释。

如何用 ADE7756 检测有功功率?

当两个输入端(电流和电压)均为满量程交流信号(± 1 V 峰值差分)时,在乘法运算之后(平均有功功率),LPF 输出端的信号应为 0xCCCC 左右。在选定乘法器输出的情况下,通过读取波形寄存器即可访问该信号(MODE 寄存器的 WAVSEL 位=00)。

如何用 ADE7756 计算功率因数或获取无功功率符号?

在 ADE7756 中,无从得知无功功率是电容性的还是电感性的。需要使用 ADE7753 才能达成此目的。要用 ADE7756 确定功率因数,您需要处理来自波形采样的 VRMS 和 IRMS,详见 AN-578 应用笔记。在此基础上,即可得到功率因数,即有功功率与(VRMS×IRMS)之比。用 ADE7753 计算功率因数要简单得多,因为这种产品直接提供了有功功率和视在功率。

5. ADE7759

IRQEN(ADE7753、ADE7756、ADE7759)的全部 8 个位都可写吗? 当向 IRQEN 写入 0x00 时,返回值为 0x40。

您的读数是正确的。IRQEN 寄存器的默认值为 0x40,重置位(6)为高电平。该使能位在中断使能寄存器中不起作用,意即该状态位在重置结束时设置,但无法通过启用它来产生中断。IRQEN 寄存器中的其余位默认值为 0。设为逻辑高电平时,如果 STATUS 寄存器中检测到对应事件,IRQ 引脚上将产生一个中断。IRQEN 中的重置位不可写,因为它不起作用。

如何计算将有功率寄存器关联至千瓦时的常数?

您可以通过校准 kW:

$$\text{kW} = \frac{(\text{Volts}_{\text{CAL}})(\text{Current}_{\text{CAL}})}{1000}$$

以及在累加时间中累加的电量 t_{ACC} 来计算 kWh/LSB 常数,其中,累加时间为

$$t_{\text{ACC}} = \frac{\text{LINECYC}}{(2)(\text{Line Freq})}$$

2 源自 LINECYC 寄存器计量的是半线路周期这一事实。等式为:

$$\frac{\text{kWh}}{\text{LSB}} = \frac{(t_{\text{ACC}})(\text{kW})}{3600 \text{ Energy}}$$

其中,Energy 为在校准周期中累加的电量。

多相产品

在三相系统中,如果已知各相位的电压,应如何计算相位间电压?

$$V_1 = V_{\text{相位 B}} \times \cos 60^\circ$$

$$V_2 = V_{\text{相位 B}} \times \sin 60^\circ$$

$$(V_{\text{相位 A}} - V_{\text{相位 A}})^2 = (V_{\text{相位 A}} + V_{\text{相位 A}})^2 + V_2^2$$

若假定三个电压相互平衡(相间 120°),则图 5 展示了相间电压的计算方法。

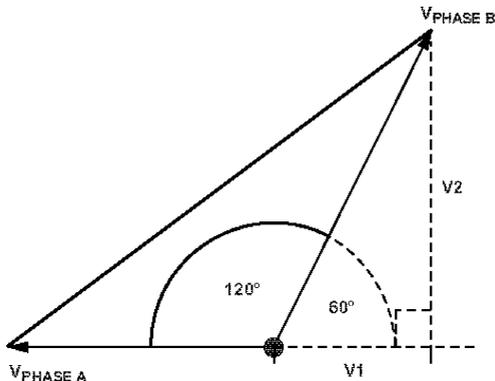


图 5 三相电压

您可以通过相到相的相位差来微调等式。该相位差可以根据各相位的零交越检测值(和中断)以及 ADE7754 的周期测量值推算出来。

1. ADE7752

空载阈值与电流输入信号之间有何关系?

ADE7752 空载阈值额定为满量程输出频率的 0.005%,或最大功率的 0.005%。由于输出频率与输入信号(见数据手册)之间存在固定的关系,因而可以据此推算出电流输入。以下等式假定: $V = V_A = V_B = V_C$ 且 $I = I_A = I_B = I_C$:

$$\text{Freq} = \frac{3.922 \times 3(VI) \times F_{1-7}}{V_{\text{REF}}^2}$$

空载阈值为输出频率的 0.005%。这表示,如果电压通道为满量程的 100%,则空载阈值为电流通道的 0.005%。但是,如果电压通道仅为满量程的 50%,则阈值为电流通道的 0.01%。

2. ADE7754

ADE7754 中为什么有三个有功功率寄存器?

实际上, AENERGY 和 RAENERGY 读取的是同一个内部寄存器。读取 AENERGY 寄存器时,仅对内部寄存器进行读操作。读取 RAENERGY 时,对内部寄存器进行读操作并将其重置为 0。

要读取累加的有功功率,可在半满中断被置位时读取和重置内部寄存器。需要在微处理器中配置一个累加器,用以跟踪电能表累加的总电能,而且必须在发生半满中断时将 AENERGY 寄存器值添加到累加器中。

第三个有功功率寄存器是 LANERGY 寄存器,可在指定的(LINECYC)线路周期数内累加有功功率。该寄存器可用于校准。详见 AN-624 应用笔记。

VAENERGY 和 RVAENERGY 寄存器具有相同的工作原理。

如何连接 ADE7754 与电流互感器,要求的电流互感器精度是多少?

ADE7754 与电流互感器的连接非常简单。电流互感器的两条线缆可直接连接至 ADE7754 的电流输入端。同时应将两个负载电阻连接至电流互感器的两个输出端以及模拟地。负载电阻的值应根据 ADE7754 的模拟输入满量程(0.5 V 峰值差分,PGA=1)进行选择。

另见常见问题解答:如何计算电流互感器的负载电阻?

电流互感器的精度决定电能表精度本身,因此,应选择精度等于或高于目标电能表精度的电流互感器。

另见常见问题解答:选择电流互感器(CT)时有哪些考虑因素?

如何在 ADE7754(ADE7753)评估板软件窗口中向器件写入值?

在该软件的多数窗口中,仅当单击“Write configuration”(写入配置)按钮时才会将窗口配置写入器件。

可以从 ADE7754 中读取每相信息吗?

可以。可通过 LINECYC 模式及 WATMODE 寄存器选择累加相位,从而得到每相信息。

(1) 设置

配置器件:

- 选择线路累加模式。
- 屏蔽线路累加中断(0x0F,第 10 位)。
- WATMODE 寄存器(0x0D,第 0-2 位)——选择相位 A。
- MMODE 寄存器(0x0B,第 4-6 位)——选择零交越相位。

(2) 环路

- ① 等待 LAENERGY 中断。
- ② 将 LINECYC (0x13)配置为较小值。
- ③ 写 WATMODE 选择相位 B。
- ④ 写 MMODE,为零交越(ZX)选择相位 B。
- ⑤ 读 LAENERGY 寄存器(相位 A 的值)。
- ⑥ 重置中断(0x11)。
- ⑦ 等待 LAENERGY 中断。
- ⑧ 将 LINECYC 写为正常值。(必须在第一个 ZX 前执行。)

⑨ 重置中断(0x11)。

注意:没有必要去读 LAENERGY 寄存器,因为值是根据相位 A(第 1 步与第 3 步之间的时间)和相位 B(第 3 步与第 7 步之间的时间)累加出来的。

⑩ 对每个相位从第 1 步开始重复。

第②步中 LINECYC 的值必须足够长,以允许 LAENERGY 寄存器至少累加 1 位,并有足够的时间来执行所有寄存器读写操作(第③至第⑤步)。

如何从 ADE7754 中获得有功功率信息?

ADE7754 在寄存器中提供有功功率信息,即平均有功功率的累加值。对于 ADE7754,不能像在 ADE7756 中一样,从波形寄存器读取有功功率波形。为了估算有功功率,您可以读取 LAENERGY 寄存器并用 LAENERGY 寄存器值除以累加时间,从而求出有功功率。在累加有功功率前,无法取得该信息。

如何从 ADE7754 获取功率因数?

功率因数为有功功率与视在功率之比。

对于无谐波信号,有功功率通常表示为 $VI \cos(\theta)$,其中,V 和 I 分别指电压和电流的均方根值。视在功率为 VI。若要获得 ADE7754 中的这些信息,可使用 LAENERGY 和 LVAENERGY 寄存器。虽然它们是电能,但您可以假定功率保持不变。由于两种电能的累加时间相同,这一比例会给出相同的结果。

如何获得功率因数的符号?

对于功率因数的符号,请使用配置为无功测量的 LAENERGY 寄存器(第 5 位, WAVMODE 寄存器)。对实际无功功率测量来说,虽然该测量值不精确,但可为您提供无功功率以及功率因数的符号。

能否制作一种可同时用于 3 线“Δ”配置以及 4 线“Y”形配置的电能表?

您的设计需要针对两种配置进行校准,且微处理器在两种情况下应加载不同的校准参数(如增益)。检测栅格配置有两种实现方法。您可以将微处理器配置为软件自动检测模式(检测各相位的零交越,查找存在的相位,查看波形采样的电平),并禁用空闲相位的输入。或者,为了提高精度,您也可以使用硬件开关。

如何用 ADE7754 监控 4 线系统中的中性接地电压以及全部三个相位?

在 4 线系统中,您可以假设 $V_A + V_B + V_C = V_N$,通过切换各个相位并利用波形采样,即可求出 $V_A + V_B + V_C$ 。更精确的方法是向系统中添加一个专用的 ADC 或单相计量 IC。

当不存在电流和电压时,为什么 VAENERGY 寄存器中仍有累加值? VAENERGY 寄存器存在空载阈值吗?

我们未在 VA 中配置空载阈值。当电压和电流为零时,您需要忽略微处理器中该寄存器中存在的任何累加值。利用 SAG 中断或通过监控 AENERGY 寄存器中的累加运算即可知道何时电压为零。

为什么无法使用 ADE7754 中的无功功率寄存器?

ADE7753 和 ADE7754 配有无功功率寄存器。但 ADE7754 存在一个设计误差:在无功功率运算中,电流的内部相移为 89° 而非 90°。当 PF 为 1 时,该误差会使无功功率为非零值,当 PF=0.5 时,误差更大。这表示,ADE7754 中的无功功率寄存器无法直接用于计价,甚至无法直接用于提供信息。在 ADE7754 中,我们建议通过有功功率和视在功率来计算无功功率。功率三角法可给出无功功率:

$$\text{无功功率} = \sqrt{(\text{视在功率})^2 - (\text{有功功率})^2}$$

ADE7754 的无功功率寄存器可用于确定无功功率的符号,因为功率三角算法得到的结果没有符号信息。

ADE7753 中的无功功率寄存器可直接用于精确计算可计价量。

ADE7754 的周期寄存器似乎无法正常工作。该寄存器有何不同?

如果禁用 MMODE 寄存器 ZXSEL 部分的某个相位,周期寄存器对该相位将不起作用。周期寄存器的工作原理是对所选相位 ZX 间的时间进行计数。ZXSEL 寄存器控制位于数据路径开始部分的 MUX。可见如果禁用 ZXSEL 寄存器中的某个相位,然后禁用 PERIOD 模块中的某个相位,则在周期间,该相位将无 ZX 可数。

可能出现的另一个问题是,当不存在 ZX 时,周期寄存器不会进行更新。在 PERDSEL 寄存器中切换相位时,周期寄存器也不会被清除。如果在测试时,相位 A 输入为 60 Hz,相位 B 无输入,则当相位 A 测试完毕切换到相位 B 时,将继续读取周期寄存器中的最后一个值(为来自相位 A 的值)。

在我们的仿真测试中,周期寄存器的精度在 1 秒钟后约为 5% 误差率,由于周期寄存器数据路径中滤波器的作用,在大约 2.5 秒后,误差将稳定为 <2 LSB。仿真中,先是无输入,最后是 60 Hz 的正弦波输入。

对输出 CF 是否定义有电能表常数?

ADE7754 CF 频率并未定义电能表常数。如果全部 6 个模拟输入均为满量程交流电平,则 CF 频率约为 96 kHz。可以利用 ADE7754 中的 CFDEN 寄存器将 CF 频率调节至与电能

表常数及输入值(例如 220 V,10 A)对应的值。

ADE7754 中的寄存器 AEENERGY 和 VAENERGY 之间是否存在固定的关系?

是的。虽然 AEENERGY 和 VARENERGY 两个寄存器因信号路径差异而不会匹配,但它们之间存在固定的关系。它们应随输入而变化。

在 50 Hz 线路频率下:

$$VA = W / 3.657$$

3 相 4 线“Y”形模式连接(见图 6)有哪些(含 3 个电压传感器)?

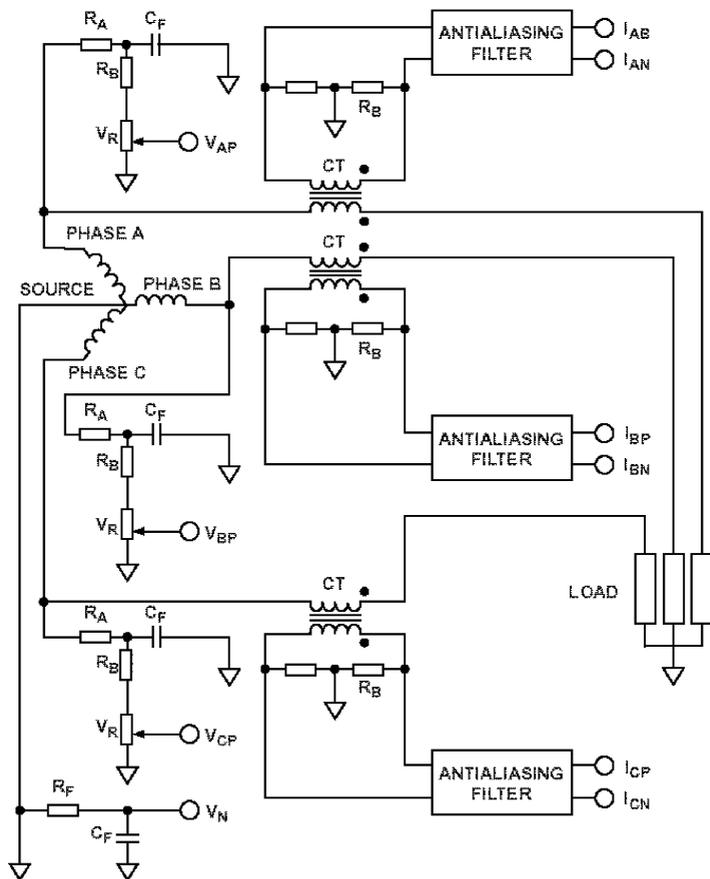


图 6 4 线“Y”形模式连接(含 3 个电压传感器)

$$\begin{aligned} \text{有功功率} &= (V_{AP} - V_N) \times (I_{AP} - I_{AN}) + (V_{BP} - V_N) \times (I_{BP} - I_{BN}) + (V_{CP} - V_N) \times (I_{CP} - I_{CN}) \\ &= (V_{\Phi P} \times I_{\Phi A}) + (V_{\Phi B} \times I_{\Phi B}) + (V_{\Phi C} \times I_{\Phi C}) \end{aligned}$$

据 ADE7754 数据手册,若要在 ADE7754 中选择该计算模式,则 WATMOD 寄存器应为 00x00,且 WATSEL=0x00。

3 相 4 线“Y”形模式连接(见图 7)有哪些(含两个电压传感器)?

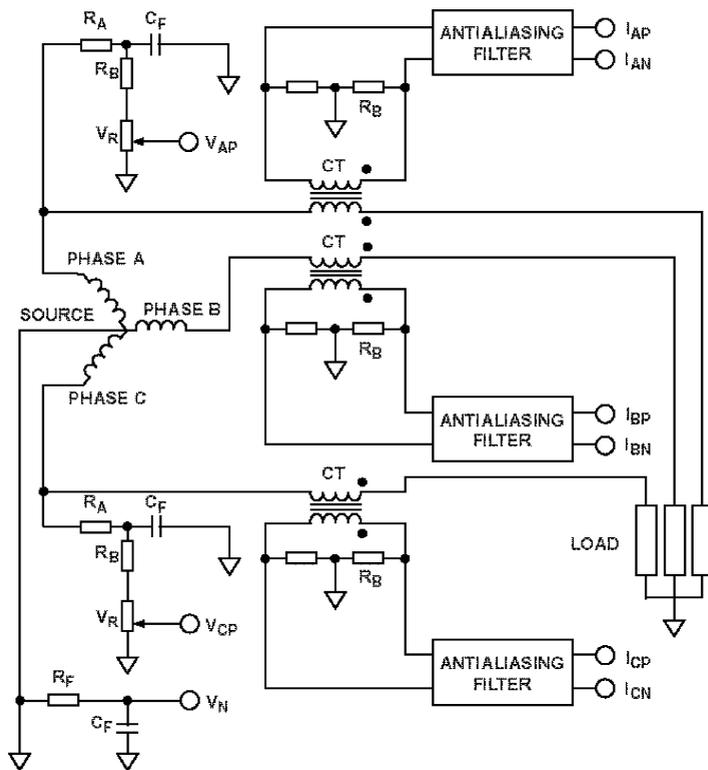


图 7 4 线“Y”形连接(含 2 个电压传感器)

$$\begin{aligned} \text{有功功率} &= (V_{AP} - V_N) \times ((I_{AP} - I_{AN}) - (I_{BP} - I_{BN})) + \\ &\quad (V_{CP} - V_N) \times ((I_{CP} - I_{CN}) - (I_{BP} - I_{BN})) \\ &= V_{\Phi A} \times (I_{\Phi A} - I_{\Phi B}) + V_{\Phi C} \times (I_{\Phi C} - I_{\Phi B}) \end{aligned}$$

若要在 ADE7754 中选择该计算模式,则 WATMOD 寄存器应为 0x01 且 WATTSEL=0x07。

3 相 3 线 Δ 模式中(见图 8)有哪些模拟输入连接?

对于 3 相 3 线系统,只有两个电压输入连接至 ADE7754。一个相位用作基准相位(连接至 ADE7754 的 V_N 引脚),另外两个相位以其为参考。在 3 相 3 线连接中,无法直接得到 V_{AB} 和 I_C 。若要测量 I_C ,需要添加一个电流互感器。对于 V_{AB} ,ADE7754 实际上测量的是 V_{BC} 和 V_{AC} 。 V_{AB} 可根据这两个值算出,假设 3 个相位间的相位差不变(120°)。

若要在 ADE7754 中选择该计算模式,则 WATTMOD 寄存器应为 $0x00$ 且 WATTASEL = $0x3$ 、 $0x5$ 或 $0x6$ 。

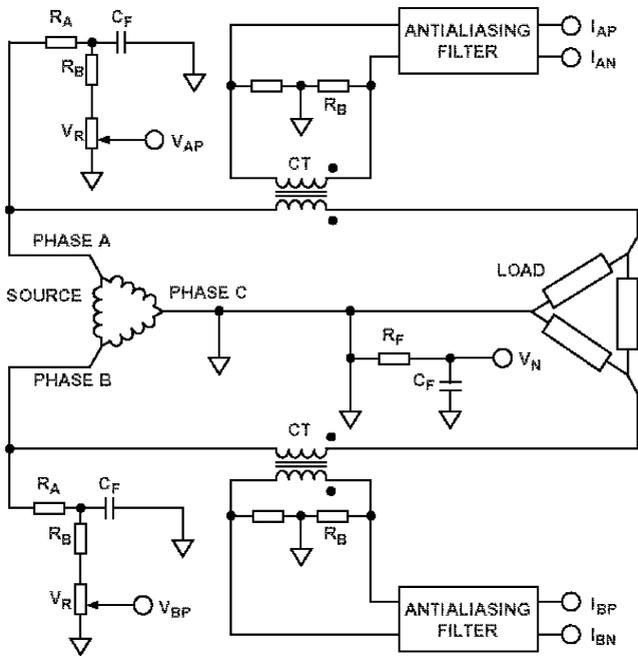


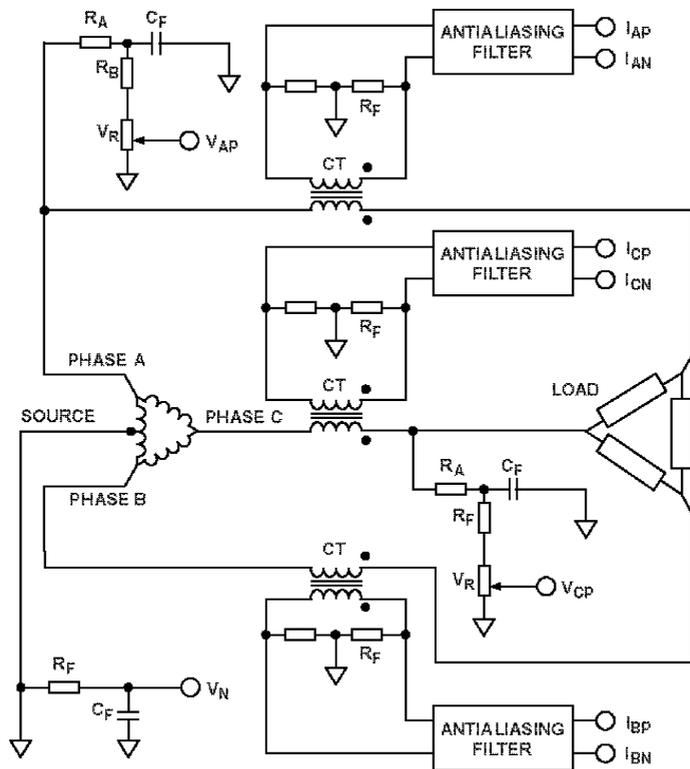
图 8 3 线 Δ 连接

$$\begin{aligned} \text{有功功率} &= (V_{AP} - V_N) \times (I_{AP} - I_{AN}) + (V_{BP} - V_N) \times (I_{BP} - I_{BN}) \\ &= (V_{\phi A} - V_{\phi B}) \times I_{\phi A} + (V_{\phi B} - V_{\phi C}) \times I_{\phi B} \end{aligned}$$

3 相 4 线 Δ 模式(见图 9)有哪些连接?

若要在 ADE7754 中选择该计算模式,则 WATTMOD 寄存器应为 $0x02$ 且 WATTSEL = $0x07$ 。

$$\begin{aligned} \text{有功功率} &= (V_{AP} - V_N) \times ((I_{AP} - I_{AN}) - (V_{BP} - V_N)) + (V_{CP} - V_N) \times (I_{CP} - I_{CN}) \\ &= V_{\phi A} \times (I_{\phi A} - I_{\phi B}) + V_{\phi C} \times I_{\phi C} \end{aligned}$$

图9 4线 Δ 连接

模拟输入电压通道上的零交越与 IRQ 在 50 Hz 时的下降沿之间是否存在时间延迟？

受低通滤波器影响，零交越检测拥有内在的时间延迟。如 ADE7754 数据手册所述，该时间延迟约为 0.6 ms。

ADE7754 中，均方根测量(寄存器)的误差和动态范围各是多少？

均方根测量的误差取决于输入电平和类型(电流或电压)。在电压端，我们建议将 V_{RMS} 读数与该相位的零交越同步，以减少 V_{RMS} 寄存器中的纹波噪声。这样做，失调校正后，在 FS 至 FS/20 的范围内，误差可以低于 1%。在电流通道中，失调校正后，在 FS 至 FS/100 的范围内，误差可以低于 1%。

如何在 ADE7754 中校准均方根失调误差？

可通过在 IRMSOS 和 VRMSOS 寄存器中写入二进制补码值，以失调的负值来校正均方根值。0xF800 等于 -2048d, 0xFFFF 等于 -1d。关于这些寄存器对均方根值的影响，详见

ADE7754 数据手册。对于此类失调校准,我们建议用非零值来处理失调校正。如果用零输入均方根值来处理均方根失调校正,补偿将有失准确。原因在于,均方根计算融入了全部噪声。该噪声贡献在均方根寄存器值中变得非常显著,并在无信号电平出现之前破坏读数。为了避免这个问题,电压输入的失调校正应在 V_{MAX} 和 $V_{MAX}/10$ 之间进行,电流输入则在 I_{MAX} 和 $I_{MAX}/100$ 间完成。直流失调更可能出现在电压输入上,因为均方根计算之前没有高通滤波器,与电流输入不同。

为什么需要读取与零交越同步的均方根寄存器?

ADE7754 中的均方根计算利用一个低通滤波器来提取均方根值。该低通滤波器并不完善,不会抑制交流输入中的 50 Hz 和 100 Hz 两个频率。这种“纹波”噪声可能很高,建议在相应电压输入的零交越(ADE7754 有零交越中断)之后对均方根寄存器采样,以消除噪声。

ADE7754 均方根测量寄存器包括谐波吗?

在 ADE7754 中,电流通道的均方根测量值包括最高为 10 kHz 的所有频率,电压通道则包括最高 260 Hz 的所有频率。

如何在 ADE7754 实现 2 象限和 4 象限测量?

2 象限计算或绝对值求和运算可在 ADE7754 中选择,方法是把 GAIN 寄存器的第 2 位设为逻辑 1。将该位设为逻辑 0,即可选择 4 象限或常规的算术和运算。

如何降低 ADE7754 的功耗?

降低功耗的一种方法是降低 CLKIN 频率(10 MHz)。数据手册列出的所有常数都将发生变化,但器件应该能正常工作。CF 脉冲宽度也可能受这种变化的影响。ADI 公司在发货前会对其产品进行严格的测试,以保障产品性能。这些测试仅在 10 MHz 频率下进行,对于其他 CLKIN 频率下的性能,不能作担保。

将来是否有降低 ADE7754 功耗的计划?

目前没有对 ADE7754 制定降低功耗的计划。但对于正在设计的 ADE 系列中的未来产品,降低功耗是主要设计目标之一。

AN - 665 应用笔记

$\Sigma - \Delta$ ADC 的通道切换

作者: Mary McCarthy

简介

本应用笔记针对 AD7708 和 AD7718。数据手册详细说明了 $\Sigma - \Delta$ ADC 的更新速率。更新速率是指当一个信号通道被选中, ADC 连续进行转换时, 转换的速率。更新速率取决于应用中所使用的 ADC。器件的峰峰值分辨率会随着更新速率的提高而下降。在多通道应用中, 例如, 一个数据采集系统, 会读取多个通道的转换值, 也就是说, 每个通道被轮流选中并进行转换。在这样的应用中, 转换的速率与单通道系统相比是不同的。本应用笔记描述了这些器件的切换过程。

多通道系统

图 1 显示了数据采集系统中使用的 AD7708 或 AD7718。每个通道连接到一个传感器。AD7708/AD7718 具有可编程增益放大器(PGA)和可编程更新速率, 能以不同的更新速率对不同幅度的信号进行转换。AD7708 和 AD7718 可以使能或禁用斩波功能。斩波可以带来低失调和低失调漂移。当禁用斩波时, 失调误差和失调误差漂移会略微变高, 但可以获得更高的转换速率。

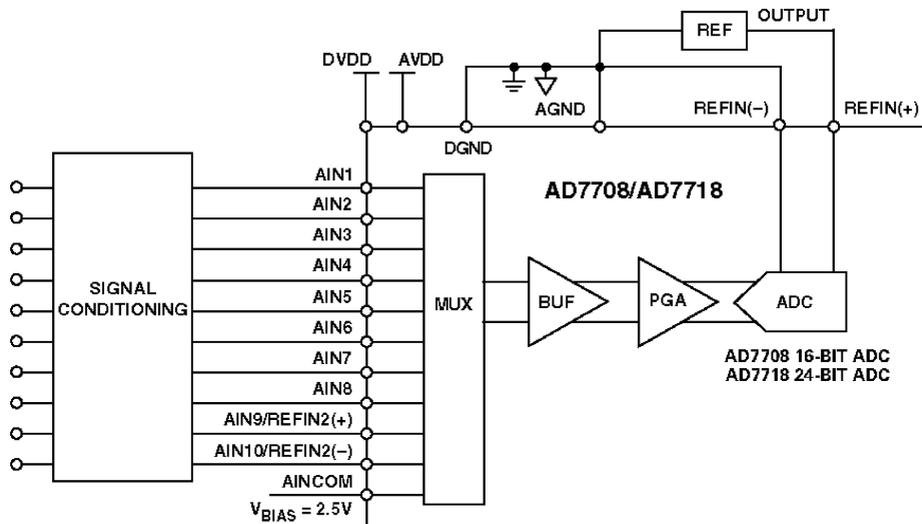


图 1 使用 AD7708/AD7718 的数据采集系统

斩波禁用

当一个通道被选中时,在一个周期($24 \times SF/f_s$)之后可以进行第一个转换,其中 f_s 为采样频率 = 32.768 kHz, SF 是读入器件(3–255)内部滤波器寄存器的字。再经过($8 \times SF/f_s$)秒可以进行第二个转换,在每次转换启动时 \overline{RDY} 会变为低电平。

这些 ADC 使用 Sinc 滤波器,在无斩波模式下,其建立时间为($24 \times SF/f_s$)。每当一个通道被选中时,滤波器需要这个建立时间来计算第一个数字字。接下来的转换,例如第二个转换,以($f_s/(8 \times SF)$)的速率进行。每次不同的通道被选中时,由于新通道的模拟输入与前一个通道的模拟输入不同,滤波器必须重新建立。通道切换后,直到可以进行转换时, \overline{RDY} 都会保持在高电平。

斩波使能

当使用斩波时,转换速率根据给定的 SF 字降低。有斩波时,模拟输入在 ADC 内被反复切换。连续的采样被 2 平均。这个切换和平均的操作消除了 ADC 的失调误差。在斩波使能的情况下,当从一个通道切换到另一个通道时, Sinc 滤波器所需的用于计算被选中通道上的

模拟输入电压的数字字的建立时间是($48 \times SF / f_s$)。在无斩波模式,直到可以进行转换时 \overline{RDY} 都保持为高电平。由于 \overline{RDY} 直到可以进行转换时都一直保持高电平,切换通道后,DSP/微控制器不必对 \overline{RDY} 脉冲计数来查找有效的转换。 \overline{RDY} 信号可以被用作 DSP/微控制器的中断,DSP/微控制器在 \overline{RDY} 变为低电平时才会与 ADC 通信。接下来的转换以($24 \times SF / f_s$)的速率进行。

零延迟

在使用 AD7708 或 AD7718 时,当一个通道被选中,需要更长的时间来计算第一个转换值。接下来在这个通道上的转换会以更高的速率进行。当使用其他厂家的零延迟 ADC 时,在所有的转换之间需要完整的滤波器建立时间。因此,零延迟是通过降低 ADC 的转换速率来实现的。ADI 公司的 ADC 在给定精度下针对可能的最高速率而设计。

图 2(i)描述了无斩波模式下通道切换时 AD7708/AD7718 的操作。使用单通道时,转换以高速率进行(由虚线表示)。当模拟输入通道切换时,ADC 需要更长的时间间隔来进行转换(在无斩波模式下长 3 倍以上)。图 2(ii)展示了零延迟系统。在这样的系统中,数字滤波器任何时候都需要完整的建立时间。这使 ADC 的更新速率慢很多。

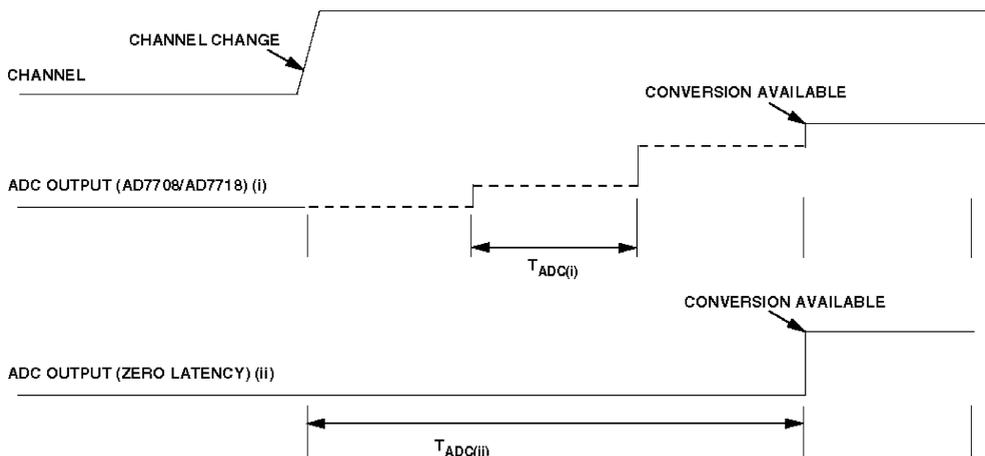


图 2 ADC 转换时间

AD7708 和 AD7718 也有单转换模式,在这种模式下,器件进行一次转换然后进入空闲模式。在空闲模式,ADC 的调制器和滤波器保持在复位状态。用户可以通过写入模式寄存器的 MD2、MD1 和 MD0 位来启动一次转换。当这些位正确设置时,调制器和滤波器就从复位状态中解除出来并开始转换。因为滤波器必须稳定,所以转换是在一个周期($24 \times SF / f_s$)后完

成。ADC 将本次转换值放入数据寄存器,把 $\overline{\text{RDY}}$ 置为低电平,然后回到空闲状态。在这个模式下,AD7708/AD7718 作为一个零延迟 ADC 工作,因为每个转换都需要建立时间。

$\overline{\text{RDY}}$ 只有在可以进行有效转换时才变为低电平。因此,对于 DSP/微控制器来说,使用单转换周期的所有转换模式在切换通道后或者在单转换模式中都需要额外的转换周期来产生有效数字字,且该有效数字字都是隐藏的。微处理器不关心 $\overline{\text{RDY}}$ 为高电平时间的长度。它会在每次 $\overline{\text{RDY}}$ 变为低电平时从 ADC 读取一个有效字。

小 结

AD7708 和 AD7718 在不同切换速度下的更新速率是不同的。由于在通道之间切换时 ADC 需要建立时间,相对于单通道上的转换来说转换速率降低了。然而,只有在可以开始进行转换的时候 $\overline{\text{RDY}}$ 的输出才变为低电平。因此,在切换通道时,直到有效数字字准备好之前 $\overline{\text{RDY}}$ 都会保持在高电平。无论通道切换发生与否,零延迟都都会导致一个恒定的转换时间。然而,这会导致更新速率的降低。ADI 公司的 ADC 是针对最佳更新速率而设计的,通过 $\overline{\text{RDY}}$ 引脚来确保只有有效转换可用。

AN-877 应用笔记

通过 SPI 与高速 ADC 接口

作者：高速转换器部

简介

本应用笔记介绍如何使用 ADI 公司高速转换器的 SPI 端口。此外,本应用笔记阐述了与这些器件进行接口的电气、时序和程序方面的要求。接口的实现方案与业界标准 SPI 端口兼容,并且至少采用双线式模式和可选的芯片选择引脚。

图 1 和图 2 为双线式模式下的单器件控制和多器件控制。

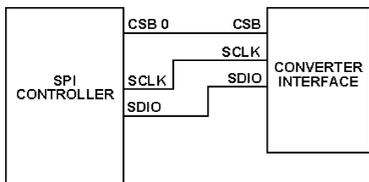


图 1 双线式模式下的单器件控制

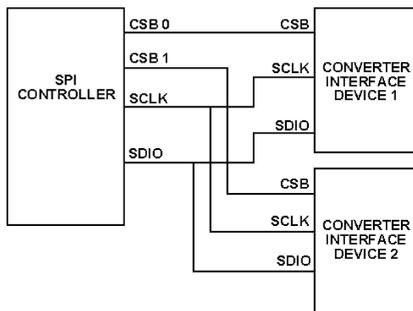


图 2 双线式模式下的多器件控制

定义

SPI 端口由 3 个引脚组成:串行时钟引脚(SCLK)、串行数据输入/输出引脚(SDIO)和片选引脚(CSB)。有些芯片可能还有一个串行数据输出引脚(SDO),用于 3 线式模式(见图 3)。为使引脚数量最少,多数芯片都省去了这一引脚。不过,如果包含了该引脚,它也只能用于从器件读取数据。

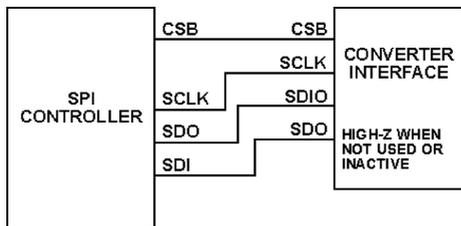


图 3 三线式控制

SPI 端口引脚

下面几节介绍 SPI 端口引脚。

注意: 请参考具体 ADC 数据手册以确定标称和绝对最大值逻辑电压。

1. 串行时钟 (SCLK)

SCLK 引脚为串行移位时钟输入引脚。为降低该引脚对时钟线路上噪声的敏感度, 它采用施密特触发器实现, 并且通过 50 k Ω 电阻下拉到地。该引脚可以为高电平或低电平。

SCLK 用来使串行接口的读写操作同步。输入数据在该时钟的上升沿有效, 输出数据在下降沿有效。

SCLK 的最低保证速度为 25 MHz (t_{CLK} 40 ns)。保持时间 (t_{DH}) 典型值为 0 ns, SCLK 与 SDIO 之间要求最短 5 ns 的建立时间 (t_{DS})。(请参考具体器件的数据手册以确定接口时序的确切要求。) 为优化内部和外部时序, 总线能够在半个 SCLK 周期内完成 SDIO 线路的状态变换。这意味着, 在将读取请求的地址信息传递给转换器之后, SDIO 线路将在半个时钟周期内从输入状态转变为输出状态, 从而确保到下一个时钟周期的下降沿出现时, 数据可以安全地放在该串行线路上以供控制器读取。如果外部控制器不够快, 无法跟上 ADC SPI 端口的节奏, 则外部器件可以保持时钟线, 增加处理外部时序问题的时间。

图 4 为建立和保持时序测量。

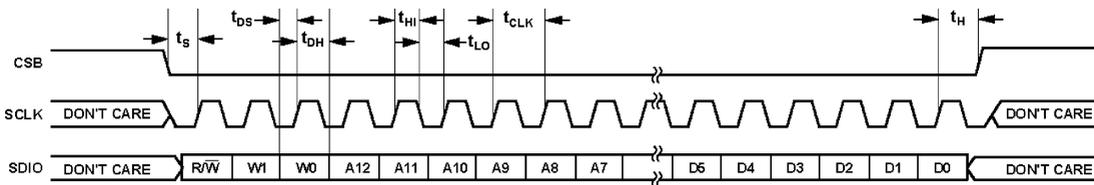


图 4 建立和保持时序测量

2. 串行数据输入/输出(SDIO)

SDIO 引脚具有双重用途。该引脚通常的作用是用作输入或输出,具体取决于所发送的指令(读或写)以及时序帧中的相对位置(指令周期或数据周期)。在写或读操作的第一阶段,该引脚用作输入,将信息传递到内部状态机。如果该命令被确定为读命令,状态机将该引脚(SDIO)变为输出,然后该引脚将数据回传给控制器。(参见表 1 中的 t_{EN_SDIO} 和 t_{DIS_SDIO})。如果器件含有 SDO 引脚,而且配置寄存器设置为利用该引脚,则 SDO 变为有效,而不是 SDIO 引脚变为输出。在所有其他时间,SDIO 引脚保持高阻抗状态。如果该命令被确定为写命令,则在指令周期内,SDIO 引脚始终用作输入。

表 1 串行时序规格^注

符号	描述
t_{DS}	数据与 SCLK 上升沿之间的建立时间
t_{DH}	数据与 SCLK 上升沿之间的保持时间
t_{CLK}	时钟周期
t_S	CSB 与 SCLK 之间的建立时间
t_H	CSB 与 SCLK 之间的保持时间
t_{HI}	SCLK 处于逻辑高状态所需的最短时间
t_{LO}	SCLK 处于逻辑低状态所需的最短时间
t_{EN_SDIO}	SDIO 引脚在输入与输出之间切换所需的最短时间,相对于 SCLK 下降沿
t_{DIS_SDIO}	SDIO 引脚在输出与输入之间切换所需的最短时间,相对于 SCLK 上升沿

注:关于最小和最大额定值,请参考数据手册。

图 5 为带有停止时间的 MSB 优先指令和数据。

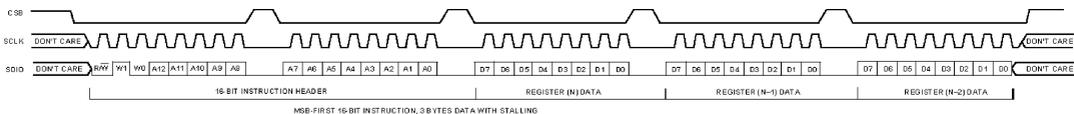


图 5 带有停止时间的 MSB 优先指令和数据

3. 芯片选择(CSB)

CSB 是一种低电平有效控制,用来选通读写周期。CSB 可以在多种模式下工作。如果控制器具有芯片选择输出或其他多器件选择方法,则该引脚可以与 CSB 线相连。当该线为低电平时,器件被选择,SCLK 和 SDIO 线路上的信息便会得到处理。当该引脚为高电平时,器件会忽略 SCLK 和 SDIO 线上的所有信息。这样,多个器件便可以与 SPI 端口相连。在只连接一个器件的情况下,可以将 CSB 线路与低电平相连,使器件始终处于使能状态。(将 CSB 线路与低电平相连时,如果端口发生错误,将无法使器件复位。)CSB 线路也可以与高电平相连,

以启用 SPI 端口的辅助功能。(详情请参见“SPI 模式和引脚模式的检测”部分。)CSB 为高阻抗线路,通过 50 k Ω 电阻上拉至高电平。

在一些配置中,CSB 可以停止在高电平,即在多个时钟周期内保持高电平(参见图 5),这样可为外部时序问题的处理提供更多时间。如果一次通过接口传输 3 个或更少的字(不包括指令信息),则 CSB 可以在字节(包括指令信息的字节)之间停止在高电平。如果 CSB 在一个字节当中停止在高电平,则状态机将复位,控制器返回空闲状态,等待传输新指令。这种机制允许在检测到故障后进行恢复。为检测复位,必须出现至少一个串行时钟,但不能超过 7 个串行时钟。一旦状态机进入空闲状态,CSB 的下一个下降沿将启动新的传输周期。

一些器件利用 SPI 引脚实现一些辅助功能。通常而言,这些功能包括输出数据格式、占空比稳定器或其他常见功能。这些引脚功能由 CSB 引脚使能。如果 CSB 引脚被拉高,SPI 功能将处于高阻抗模式。在这种模式下,可以开启辅助功能,以对片内特性进行控制,而不需要 SPI 工作。这些特性随器件不同而异。因此,为确定是否支持这一功能及它控制何种特性,必须参考具体器件的数据手册。

对于要由 SPI 端口控制的应用,在 SPI 端口访问器件之前,辅助功能优先。进而言之,在 SPI 端口访问芯片之前,SCLK、SDIO 和 SDO(如有)上的所有控制均被视为辅助功能。因此,芯片需要在上电之后尽快初始化。(详情请参见“SPI 模式和引脚模式的检测”部分。)

4. 串行数据输出(SDO)

要确定器件是否支持 SDO 引脚,请参考器件的数据手册。如果 SDO 存在,则它处于高阻抗状态,除非数据正在该引脚上有效,这样可将多个器件一同连接在接收端。此外,数据是在指令周期完成之后的 SCLK 的第一个下降沿移位输出的。当数据返回控制器时,信息存放在输出移位器中,存放时间为与指令阶段相关的 SCLK 的最后一个上升沿与紧接着的下降沿之间的时间。当以 25 MHz 工作时,该时间的标称值为 20 ns。

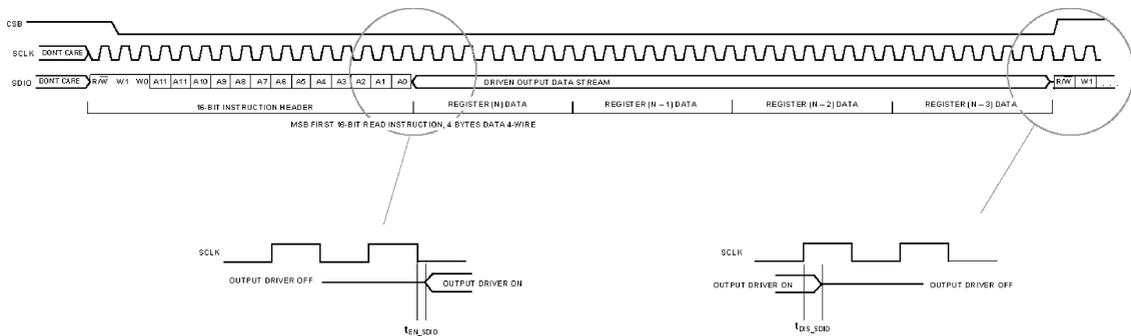


图 6 典型 SDO 输出使能和禁用时序

格 式

CSB 的下降沿与 SCLK 的上升沿一起决定帧何时开始。一旦确定了帧的开始时间,时序的确定便很简单。传输的第一阶段是指令阶段,指令由 16 位组成,之后是数据,数据由多个 8 位组成,长度不定。如果器件的 CSB 与低电平相连,则帧开始于 SCLK 的第一个上升沿。

指令周期

指令周期为传输的前 16 位。如图 4 和图 7 所示,指令周期分为若干位段。

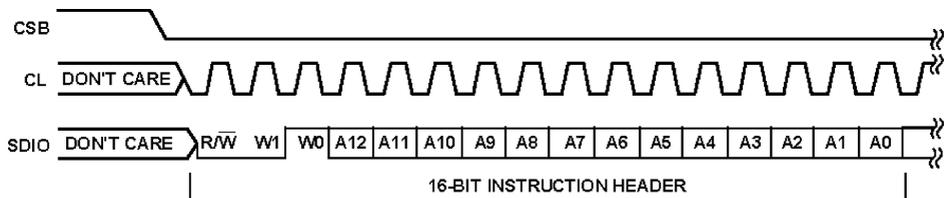


图 7 指令周期位段

1. READ/ $\overline{\text{WRITE}}$

数据流中的第一位是读/写指示位($\text{R}/\overline{\text{W}}$)。当该位为高电平时,表示指令为读取指令。指令周期(前 16 位)完成时,内部状态机使用所提供的信息解码要读取的内部地址。SDIO 线路的方向从输入变为输出,由字长定义的适当数量的字从器件移位出来(参见“字长”部分)。如果器件配有 SDO 引脚,并且配置寄存器设置适当,则 SDO 线路将脱离高阻抗状态,数据从 SDO 引脚传输出来,而不是从 SDIO 引脚。一旦字长所要求的所有数据均已移位输出,状态机便返回空闲模式,等待下一个指令周期。

当数据流中的第一位为低电平时,则进入写入阶段。指令周期完成时,内部状态机使用所提供的信息解码要写入的内部地址。指令之后的所有数据均移入 SDIO 引脚并送往目标地址。一旦传输完字长所要求的所有数据,状态机便返回空闲模式,等待下一个指令周期。

无论是读取模式还是写入模式,处理过程均会持续到字长要求时或 CSB 线路拉高时为止。如果达到存储器末端(0x000 或 0x0FF),则会发生翻转,下一个处理的地址为 0x000(地址递增时)或 0x0FF(地址递减时)。

2. 字 长

如表 2 所列, W1 和 W0 表示要为读取或写入而传输的数据字节数。(W1:W0+1)所表示的值即为要传输的字节数。如果要传输的字节数为三个或更少(00、01 或 10),则 CSB 可以在字节边界上停止在高电平。停止在非字节边界将终止通信周期。如果这些位为 11,则数据可

以传输到 CSB 变为高电平时为止。在数据流处理过程中,不允许 CSB 停止。一旦流处理开始(定义为第三个数据字节完成之后),则在操作完成之前,不允许 CSB 回到高电平。如果 CSB 确实变为高电平,流处理即终止,下次 CSB 变为低电平时,将开始新的指令周期。如果 CSB 在非 8 位边界变为高电平,通信周期即终止,任何未完成的字节均会丢失。不过,已完成的数据字节会得到正确处理。

表 2 W1:W0 相关设置

W1:W0 设置	操作	CSB 停止
00	可以传输 1 个字节的数据	可选
01	可以传输 2 个字节的数据	可选
10	可以传输 3 个字节的数据	可选
11	可以传输 4 个或更多字节的数据。CSB 必须在整个操作序列中保持低电平,否则周期即终止,当 CSB 再次回到低电平时,预期开始新的指令周期。	不允许

如果 W0 和 W1 所表示的值为 0,则传输 1 个字节的数据。如果 W0 和 W1 所表示的值为 1,则传输 2 个字节的数据。如果 W0 和 W1 所表示的值为 2,则传输 3 个字节的数据。数据传输完成之后,状态机返回空闲状态,等待下一个指令周期。

3. 流处理

如果 W0 和 W1 所表示的值为 3,则数据将不断流入器件。只要 CSB 保持低电平,器件便会持续接收新数据,从初始地址开始,每收到一个新字便前进到下一个地址。建议在流处理时不要将 CSB 线路从物理上与低电平相连,因为流处理只能通过将 CSB 线路拉高而终止。如果在流处理时 CSB 与低电平相连,则所用的第一个指令将无限执行下去。这意味着,一旦进入写(或读)周期,数据将无法从器件读取(或写入器件)。类似地,起始地址将根据工作模式而持续自动递增或递减,根本没有机会直接更改状态机的地址。(地址发生器持续以可预测的方式回绕终点地址。)如果用户只希望对器件编程,而不会读取内部寄存器,那么这可能不是问题。如果用户将 CSB 线路与低电平相连,则建议用户只传输 1 个、2 个或 3 个字节块的数据,除非用户肯定不会从内部寄存器读取数据。虽然并不是必需的,但建议用户保持对 CSB 线路的控制权,以便能中断流处理过程,并将状态机复位至空闲状态。

4. 地址位

其余 13 位表示所发送数据的起始地址。如果要发送的数据不止一个字,则会使用顺序寻址,从指定地址开始,根据模式设置而递增或递减。

(1) 数据周期

指令周期之后是数据周期。发送的数据量由字长(位 W0 和位 W1)决定。它可以是一个

或多个字节的数据。所有数据均由 8 位字组成。如果状态机检测到传输的数据不完整,状态机将复位并进入空闲状态,等待 CSB 线路的下一个下降沿启动新的指令。如果 CSB 从物理上与低电平相连,则无法执行故障校正,除非器件具有芯片复位功能。(详情请参考具体器件的数据手册。)

(2) 位序

发送数据有两种模式:MSB 优先或 LSB 优先(参见“配置寄存器(0X000)”部分)。上电时,默认模式为 MSB 优先。这可以通过对配置寄存器编程来改变。在 MSB 优先模式下,串行交换从最高位开始,结束于 LSB。在 LSB 优先模式下,顺序相反。指令长度为 16 位,由 2 个字节组成,如上文所述。在 MSB 优先模式下,位序为从最高位至最低位。在 LSB 优先模式下,全部 16 位的顺序均相反,如图 8 所示。

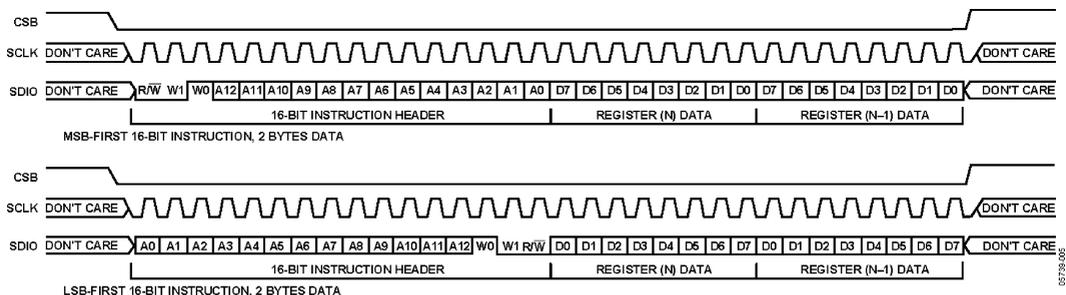


图 8 MSB 优先和 LSB 优先的指令和数据周期

SPI 模式和引脚模式的检测

一些用户可能选择不使用 SPI 端口来配置器件。一般地,芯片在上电后都会使用默认的寄存器设置。(详情请参考相应器件的数据手册。)不过,用户可能希望不用 SPI 控制器就能更改一些基本特性。例如,占空比稳定器的控制或数据输出格式(二进制补码和偏移二进制)的改变。对于这类控制,可以通过设定芯片一些特定的管脚电压来实现,而不必对器件编程。为使外部引脚数量最少,可以将 SPI 相关引脚进行功能复用。

对于支持这种功能的器件(请参考数据手册以确定是否支持此功能),用户可以选择启用引脚控制模式。为此,必须将 CSB 引脚拉高。当该引脚为高电平时,其余 SPI 引脚就变成替代功能引脚,可以按照器件数据手册中的定义对这些引脚进行设置。一旦用户决定进入 SPI 模式,则将无法再进入引脚模式,除非切断器件电源。

上电时,只要 CSB 为逻辑高电平,器件便默认进入引脚控制模式。只要 CSB 一直是高电平,则器件将始终处于引脚控制模式。类似地,如果 CSB 与低电平相连,则器件在上电后将进

入 SPI 模式(关于此模式的局限性,请参见“流处理”部分)。多数情况下,CSB 用来选择芯片。一般而言,在此模式下,CSB 通常在上电时由外部 SPI 控制器设为高电平。因此,在默认情况下,其余 SPI 引脚最初是以引脚控制模式工作。一旦 CSB 变为低电平,SPI 功能即被启用,此时 SPI 管脚的电平状态将被忽略。

当 CSB 为低电平时,状态机预期 SCLK 会移入数据。经过 9 个时钟周期(代表第一个字节和一个额外周期)后,内部状态机不再检查 CSB 引脚以确定是使用引脚模式还是 SPI 模式。这种情况所用的逻辑如图 9 所示。只要上电后 CSB 为高电平,器件就会使用一个内部多路复用器来选择 SPI 引脚的复用功能。一旦 CSB 变为低电平,输入引脚就会取消选择该多路复用器,这些管脚上的信号将被解读为 SPI 信号。识别出 SPI 命令之后,该多路复用器仍将处于 SPI 位置,无论 CSB 为何状态。因此,用户无法在 SPI 模式与引脚模式之间进行切换。

此外,如果 SPI 端口正用于控制,则建议在其他启动程序中配置器件,以确保当不使用引脚模式时,器件刚好处在所需状态。执行软复位功能无法使器件回归到引脚模式。要回归引脚模式,唯一途径是开机重启或利用器件的引脚复位功能(如果器件具备此功能)。请注意,并非所有器件均具有引脚复位功能,详情请参考器件数据手册。

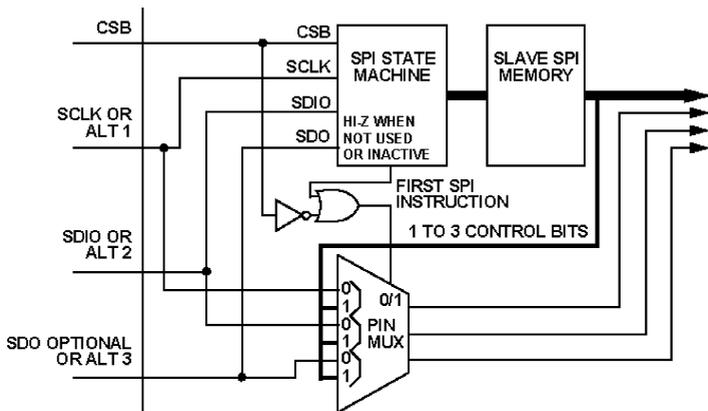


图 9 硬件接口

硬件接口

虽然这些器件针对与 SPI 控制器接口而设计,但不一定需要使用 SPI 控制器来设置这些器件。引脚模式就是一种选择,但如果需要更高的灵活性,可以使用串行 PIC 或 PROMS 微控制器,如图 10 和图 11 所示。关于利用 PIC 微控制器对这些器件进行编程的详细信息,请参考应用笔记 AN-812:“基于微控制器的串行接口(SPI)启动电路”。

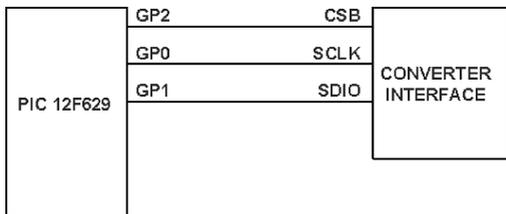


图 10 利用低成本 PIC 微控制器进行编程

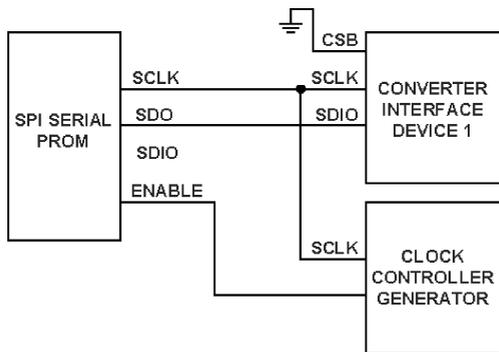


图 11 利用低成本串行 PROM 和外部时钟源进行编程

芯片编程

SPI 端口是一种用于配置转换器的机制。此外,为对器件进行编程,需要定义一个结构化的寄存器空间。此结构可细分为许多地址,数据传输的指令阶段中的地址即指向这些地址。每个地址可细分为多个 8 位字节。每个字节又可细分为多个段,下面将说明这些段。

寄存器有三种类型:配置寄存器、传送寄存器和程序寄存器。

1. 配置寄存器(0X000)

配置寄存器位于地址 0x000,描述如表 3 所列。该寄存器用来配置串行接口,仅含有 4 个有效位,位于高半字节中。低半字节未连接,留作备用。建议在高与低半字节之间建立主动镜像关系。这样,同步和方向信息如有丢失,则很容易通过写入地址 0x000 来恢复。此外,它使芯片能够软复位并配置在已知状态,而与当前的数据移位方向无关。这将确保在发生故障时器件能予以积极处理。

(1) 位 7:SDO 有效

用户必须将位 7 镜像到 0 中。该位负责激活 SDO 引脚。如果器件没有 SDO 引脚,设置该位将不起作用。如果该位清零,则 SDO 将无效,读取的数据将送至 SDIO 引脚。如果设

置该位, 读取得数据将出现在 SDO 引脚(如有)。该位的默认值为低电平, 因而 SDO 默认无效。

(2) 位 6: LSB 优先

用户必须将位 6 镜像到 1 中。该位决定发送和接收的信息的顺序。如果该位清零, 数据将以 MSB 优先的方式处理。如果设置该位, 数据将以 LSB 优先的方式处理。除数据移位的顺序外, 位 6 还控制内部地址指针的自动递增方向。如果该位清零, 即 MSB 优先模式, 则每处理一个新数据, 内部地址计数器便会减一。相反, 如果设置该位, 即 LSB 优先模式, 则每处理一个新数据, 内部地址计数器便会加一。该位的默认值为零, 因而默认工作模式是 MSB 优先。

(3) 位 5: 软复位控制

用户必须将位 5 镜像到 2 中。该位控制软复位。该位的默认值为零, 但如果用户将其设置为高电平, 就会启动芯片软复位。软复位将所有默认值写入寄存器中, 但配置寄存器(0x000)除外。无默认值的寄存器将保持用户最后一次编程的状态。软复位处理完毕之后, 该位清零, 表示复位过程已完成。

(4) 位 4: 保留

用户必须将位 4 镜像到 3 中。该位的默认值为 1, 无法更改。

表 3 配置寄存器(0x000)描述

位	名称	描述	默认状态
位 7	SDO 有效	设置该位将使 SDO 有效(如有)。如果清零, SDO 引脚仍为三态, 所有读取数据从 SDIO 引脚输出	0。输入和输出均使用 SDIO
位 6	LSB 优先	设置该位将使输入和输出数据以 LSB 优先的方式处理, 地址递增。如果该位清零, 数据将以 MSB 优先的方式处理, 地址递减	0。MSB 优先, 地址递减
位 5	软复位	如果设置该位, 芯片将进入软复位模式, 使内部寄存器恢复默认值。无默认值的寄存器无变化。完成后, 状态机会使该位清零	0。片内上电, 设置所有具有默认值的寄存器
位 4	保留	无法改变默认值	1

2. 传送寄存器(主从锁存)(0x0FF)

寄存器图中的许多寄存器都需要采用主从锁存进行缓冲。缓冲可以增强系统的多器件同步能力, 并有助于写入对存储器其他部分中写入的值可能有依赖关系的配置。根据设计不同, 一些寄存器可以采用这种方式缓冲。有些寄存器则永远不会进行缓冲, 例如 0x000、0x004、0x005 和 0x0FF, 因为出于程序和控制目的, 这些寄存器要求即时获得响应。(请参考器件数据手册以确定哪些寄存器需要采用缓冲。)

无论缓冲与否, SPI 端口都要负责将信息放在寄存器中。不过, 对于采用缓冲的寄存器,

必须启动传输以将数据移至从寄存器。已定义两种机制来将数据从主寄存器传输至从寄存器。未缓冲锁存会在 SPI 状态机收到时立即起作用。

一些器件支持独特的器件专用功能,这些器件上的传输位可能位于存储器中的较高位置。对于这种情况,传输位的功能是相同的,只是位置不同。详情请参考器件数据手册。

图 12 为内部锁存时序。

(1) 位 0—软件传输

设置此寄存器的位 0 将启动软件传输,如图 10 所示。当状态机识别出该位已设置时,它会产生一个内部传输信号,将数据从主寄存器移至从寄存器。完成之后,状态机将该位清零,以便用户能确定传输是否已发生。建议在启动传输之前,所有其他寄存器按照需要进行配置。一旦主器件已设置就绪,最后一条指令应使数据得到传输。只要有电源,数据便无限期地保存在主寄存器中。因此,可以独立设置许多芯片,并同时向所有芯片广播传输命令,以在多个芯片上同时开始传输。广播可以通过将所有 CSB 线路同时变为低电平而实现,这将导致相同数据被立刻送往所有芯片。

(2) 位 7—硬件传输使能

并非所有器件都支持硬件传输机制。(请参考器件数据手册以确定是否适用。)此寄存器位 7 的作用为硬件同步使能。如果位 7 清零,则启用默认的软件同步。如果设置该位,则传输控制功能将被转移到指定的外部引脚(参见图 12)。

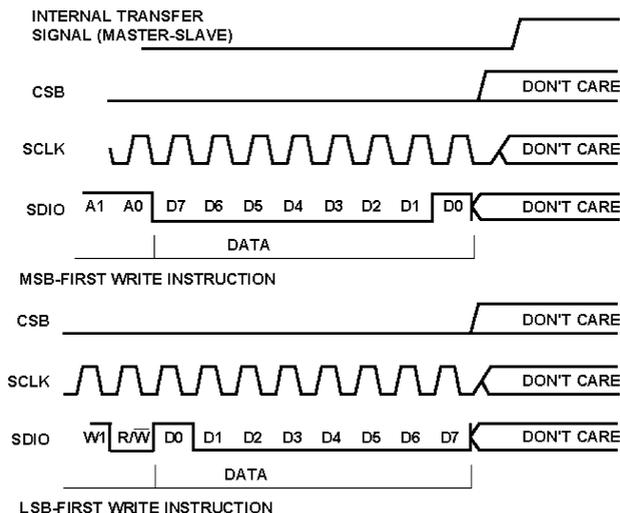


图 12 内部锁存时序

(3) 芯片 ID(0x001)

寄存器 0x001 为芯片 ID 寄存器。这是一个只读寄存器,返回设计过程中写入的芯片唯一

识别符,该识别符通常会显示器件的子 ID 或等级,用来表明当存在多种等级或选项时,封装中使用的是哪一种 die。(请参考器件数据手册以确定正确的 ID。)

(4) 芯片等级(0x002)

寄存器 0x002 为芯片等级寄存器。这一可选寄存器可能含有、也可能不含有最终用户器件信息。(请参考器件数据手册以确定是否支持此寄存器以及其值的含义。)

(5) 器件索引(0x004 和 0x005)

寄存器 0x004 和寄存器 0x005 用于为同一芯片上的各转换器编制索引。寄存器 0x005 用来定位低位器件 ADC0 至 ADC3,0x004 则用来定位高位器件 ADC4 至 ADC7。如果封装中仅有一个 ADC,则不使用此寄存器。但是,如果有多个 ADC,则必须使用此寄存器以表明正在读写哪一个器件。在写入过程中,通过将些寄存器中与要写入的 ADC 通道对应的多个位设置为高电平,可以一次写入多个 ADC。在读取过程中,建议一次只将一位设置为高电平,以免分辨不清当前是哪一个 ADC 在占用读取总线。片内电路可防止总线竞争,但除非一次仅使能一个 ADC,否则将无法知道选择用于回读的通道是哪一个。

(6) 位 7 至位 4—辅助器件

高位半字节用于使能芯片上的其他器件,例如时钟发生器或辅助转换器。

(7) 位 3 至位 0—主转换器

低位半字节用于使能最多四个 ADC。由于有两个寄存器,因此总共可以访问八个 ADC。

(8) 写

由于 ADC 使能不进行解码,因此一次可以写入多个器件。为实现这一目的,需设置位 0 至位 3 以启用对所选器件的写入操作。可以只设置与所需目标转换器对应的那些位,从而只写入这些寄存器的一个子集。如果同时使用 0x004 和 0x005,则这两个寄存器中的位段可以设置为写入任意或所有 ADC(0 至 7),以及写入任意或所有辅助器件。

(9) 读

当读取器件时,同一时间串行总线上只能有一个器件。虽然使能多个器件不会造成损坏,但结果可能是不确定的。因此,在回读操作期间必须小心,一次只能使能一个器件。

3. 程序寄存器

寄存器 0x004 和 0x005 可以为程序寄存器编制索引,也可以不为其编制索引。(请参考器件数据手册以确定器件如何使用这些寄存器。)

(1) 模式(0x008)

寄存器 0x008 控制芯片的模式。

① 位 7:外部关断使能

位 7 用来使能外部关断引脚(如有)。(请参考具体器件的数据手册以确定是否提供了此引脚。)如果该位清零,则所有基于寄存器的电源设置(位 0 至位 2)具有优先权。但是,如果设置该位,则外部引脚将与位 6 和位 5 一同决定芯片的工作模式。如果位 7 为高电平,而外部引脚为低

电平,则芯片模式由位[6:5]确定。如果位 7 为高电平,外部引脚也为高电平,则芯片将按照其他器件设置的要求,以正常工作模式工作。如果没有外部关断引脚,则将忽略位 7 至位 5。

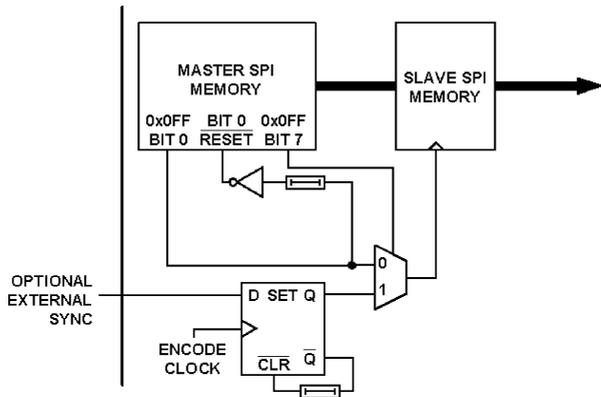


图 13 内部锁存时序

② 位 6 至位 5:外部关断模式(见表 4)

如果位 6 至位 5 设置为:

- 00,则当外部引脚有效时,将导致完全关断。
- 01,则当外部引脚有效时,将导致待机状态。
- 10,则表示保留模式。
- 11,则当外部引脚有效时,将启用数字输出。

表 4 位 6 至位 5 设置描述

位 6 至位 5	外部引脚控制的模式描述
00h	当外部引脚有效时,进入完全关断状态。
01h	当外部引脚有效时,进入芯片待机状态。
10h	保留
11h	当外部引脚有效时(低电平),启用数字输出。

③ 位 4:保留

④ 位 3:功能旁路

如果位 3 置位,片内模拟信号处理模块将被旁路并关断。(详情请参考器件数据手册。)

⑤ 位 2 至位 0:内部关断模式(见表 5)

位 2 至位 0 决定芯片的工作模式。这些位可提供下列设置:

- 000,芯片正常工作。

- 001, 模拟电路和时钟电路均完全关断, 即低功耗休眠模式。
- 010, 芯片关断, 但允许快速重启。
- 011, 芯片复位。
- 100, 关断核心 ADC 器件, 包括模拟信号处理模块或模拟前端 (AFE) 的。
- 101, 关断 AFE, 包括模拟信号处理模块。
- 110 至 111, 保留用于将来的工作模式。

表 5 位 2 至位 0 设置描述

位 2 至位 0	芯片电源模式描述
000h	芯片运行(默认)
001h	完全关断
010h	待机模式
011h	芯片复位(复位之后, 器件默认回到芯片运行模式, 与 000h 相同)
100h	ADC 关断(适用于含有 AFE 的芯片)
101h	AFE 关断(适用于含有 AFE 的芯片)
110h	保留
111h	保留

(2) 时钟(0x009)

寄存器 0x009 用来配置芯片时钟。

① 位 7 至位 3: 保留

② 位 2: 锁相环(PLL)使能

设置该位将使能任何片内 PLL。

③ 位 1: 时钟增强

位 1 用来增强时钟的性能。设置该位可提高时钟电路的电流水平, 从而改善时钟抖动性能。该位清零可降低功耗, 但会增加时钟电路的抖动。(详情请参考器件数据手册。)

④ 位 0: 占空比稳定器

位 0 用来禁用或使能内部占空比稳定器(DCS)。如果将位 0 置 1, 则将使能 DCS。此寄存器的默认值为 0x01, 因而默认使能 DCS。

(3) PLL 控制(0x00A)

寄存器 0x00A 用来使能和控制片内 PLL, 后者可以用来产生采样时钟。

① 位 7: PLL 锁定

该位由内部硬件控制, 当 PLL 锁定时该位置 1。如果该位清零, 则芯片尚未锁定。

② 位 6: PLL 自动

如果该位置 1, PLL 将自动选择最适合特定分频器的 PLL 设置。

③ 位 5 至位 0

设置为 PLL 分频比加上 1。

(4) 时钟分频器(0x00B)

寄存器 0x00B 用来将所施加的时钟分成较低的频率以供编码使用。如果设置为全 0, 分频器将被旁路。否则, 分频比为寄存器中的值加上 1。

(5) 增强模式(0x00C)

寄存器 0x00C 控制增强模式。

① 位 7 至位 4: 保留

② 位 3 至位 2: 斩波使能(见表 6)

斩波用来改善 DC 或接近 DC 时的噪声性能。如果位 3 至位 2 设置为:

- 00, 禁用内部斩波。
- 01, 启用斩波模式 1。
- 10, 启用斩波模式 2。
- 11, 启用斩波模式 3。

(详情请参考器件数据手册。)

表 6 位 3 至位 2 设置描述

位 3 至位 2	斩波模式
00h	无斩波
01h	启用斩波模式 1
10h	启用斩波模式 2
11h	启用斩波模式 3

③ 位 1 至 0: 随机模式(见表 7)

随机用来改善 ADC 传递函数的线性度。

如果位 1 至位 0 设置为:

- 00, 禁用内部随机。
- 01, 启用随机模式 1。
- 10, 启用随机模式 2。
- 11, 启用随机模式 3。

表 7 位 1 至位 0 设置描述

位 1 至位 0	随机模式
00h	无随机
01h	启用随机模式 1
10h	启用随机模式 2
11h	启用随机模式 3

(6) 输出测试模式(0x00D)

寄存器 0x00D 用来使能可用的测试模式。(请参考器件数据手册以确定支持哪些模式。)此寄存器的默认设置为 0x00。不过,当将此寄存器设置为记载的设置之一时,测试模式数据就会替换 ADC 数据。对于测试模式 1、2、3、5、6,输出格式由寄存器 0x014 的设置决定。所有其他输出码均提供逻辑输出序列,不受寄存器 0x014 的输出格式设置影响。

① 位 7 至位 6:序列化

这些位与位 3 至位 0 所定义的测试模式 8 一同使用。

如果这些位设置为:

- 00,则 0x019 和 0x01A 中存储的测试码将被静态地置于输出上。
- 01,则码将在用户码 1(0x019 和 0x01A)中存储的码与用户码 2(0x01B 和 0x01C)中存储的码之间交替。
- 10,则在一个转换周期内,用户码 1 将被置于输出上,此后的输出被设置为全 0。
- 11,则用户码 1 将被置于输出上,下一个编码周期则为用户码 2。此后的转换周期产生全 0,像输出数据格式所确定的那样。

② 位 5:PN23 复位

位 5 控制复位长 PN 序列(PN23)。如果该位置 1,PN 序列将处于复位状态。如果该位清零,PN 序列将从种子值恢复。种子值为 0x003AFF。

③ 位 4:PN9 复位

位 4 控制复位短 PN 序列(PN9)。如果该位置 1,PN 序列将处于复位状态。如果该位清零,PN 序列将从种子值恢复。种子值为 0x000092。

④ 位 3 至位 0:测试模式(见表 8)

如果这些位设置为:

- 0000,器件功能为正常 ADC。
- 0001,输出设置为数字中量程。
- 0010,输出设置为+FS。
- 0011,输出设置为-FS。

- 0100, 输出设置为交替棋盘形式。
- 0101, 输出设置为 PN23 序列, 基于 ITU 0.150, 利用公式 $X^{23} + X^{18} + 1$ 。种子值为 0x003AFF。(相关偏差请参考器件数据手册。)
- 0110, 输出设置为 PN9 序列, 基于 ITU 0.150, 利用公式 $X^9 + X^5 + 1$ 。种子值为 0x000092。(相关偏差请参考器件数据手册。)
- 0111, 输出字在全 1 与全 0 之间变换。
- 1000, 输出设置为用户模式, 由位 7 和位 6 控制。如果输出处于用户模式 0x08, 并且位 7 和位 6 设置为 00, 则用户码存储器中存储的码将被静态地置于输出上。如果设置为 01, 则输出将在用户码 1(存储在 0x019 和 0x01A 中)与用户码 2(存储在 0x01B 和 0x01C 中)之间交替。如果设置为 10, 则在一个转换周期内, 用户码 1 将被置于输出上, 此后的输出被设置为全 0。如果设置为 11, 则在下一个编码周期, 用户码 1 和用户码 2 将被置于输出上。此后的转换周期产生全 0, 像输出数据格式所确定的那样。
- 1001, 输出置于 1/0 位交替模式, 用于串行输出测试。这将迫使串行输出流上产生 1/0 交替变换。
- 1010, 这些位的前半部分设置为 0, 后半部分设置为 1。下一个字帧将重复该循环。(详情请参见表 8。)
- 1011, 串行字的第一位设置为高电平, 后续位设置为低电平。
- 1100, 表 8 所示的串行字移位。

位模式 1101 和 1110 保留供将来使用。位模式 1111 保留用于芯片专用的测试要求。

表 8 位 3 至位 0 设置描述

输出测试模式 1	码	字 1 ²	字 2 ²	接受数据格式选择	注释
0000	关	N/A	N/A	是	
0001	中量程短	1000000000000000	N/A	是	所示为偏移二进制码
0010	+FS 短	1111111111111111	N/A	是	所示为偏移二进制码
0011	-FS 短	0000000000000000	N/A	是	所示为偏移二进制码
0100	棋盘形式	1010101010101010	0101010101010101	否	
0101	PN 序列长	N/A	N/A	是	PN23 ³ ITU 0.150 $X^{23} + X^{18} + 1$
0110	PN 序列短	N/A	N/A	是	PN9 ³ ITU 0.150 $X^9 + X^5 + 1$
0111	1/0 字交替	1111111111111111	0000000000000000	否	

续表 8

输出测试模式 1	码	字 1 ²	字 2 ²	接受数据格式选择	注释
1000	用户输入	寄存器 19 至寄存器 1A	寄存器 1B 至寄存器 1C	否	
1001	1/0 位交替	1010101010101010	N/A	否	可用于串行输出模式
1010	1×同步	0000000011111111	N/A	否	较低分辨率会截断头位数字和末位数字
1011	1 位高电平	1000000000000000	N/A	否	可用于串行输出模式
1100	混频	101000110011(12 位) 1001100011(10 位) 10100001100111(14 位) 10100011(8 位)	N/A	否	可用于串行输出模式
1101	保留				
1110	保留				
1111	芯片专用				

1 并非所有器件均可支持所有模式。详情请参考器件数据手册。

2 对于较低分辨率,从右侧截断。

3 相关偏差请参考器件数据手册。

(7) 内置自测(0x00E)

寄存器 0x00E 用来配置并启用内置自测(BIST)功能。BIST 是一项用户功能,它能以极高的可信度证明芯片的内核处理功能符合预期。BIST 以简单的“合格/不合格”方式确定器件是否正常工作。BIST 的结果在多输入状态寄存器(MISR)0x024 和 0x025 中提供。

BIST 的原理很简单。先将一个 PN 序列送至转换器的数字模块,然后将数字模块的输出与一个累加器相加。累加器在 BIST 周期开始时清零。累加结果包含通过数字模块的所有 PN 序列的和。如果转换器内核正常工作,则每次调用它时,它都会做出同样的响应。因此,每次的结果应是一致的。

结果被置于 MISR 寄存器 0x024 和 0x025 中。用户可以读取这些寄存器,将读取的值与测试模式中存储的值相比较,以判断芯片的数字节是否正常工作。由于数字后端具有许多不同的编程选项,因此并不存在表示正确响应的唯一值。但是,一旦用户确定配置后,就可以在正常工作的器件上读取此器件的值,以确定正确的响应。采用特定配置的所有正常工作器件应当提供相同的结果。如果结果不同,则表明存在故障。

① 位 7 至位 3:保留

② 位 2:BIST 启动

位 2 为 BIST 启动位。如果该位为低,则在 BIST 周期启动之前,MISR 不清零。如果该位为高,则在 BIST 周期启动之前,MISR 会清零。这样可以连续进行多次测试,最终一并查看测试结果,而不用查看每次的测试结果。

③ 位 1 至位 0: BIST 模式

如果该位码为:

- 00, 禁用 BIST 模式, 芯片正常工作。
- 01, 启用 BIST 模式 1。

当设置 BIST 模式 1 时,一个伪随机数据流会激励 ADC 产生内部数字流,输出则累加在 MISR 寄存器中(24h 和 25h)。任何改变数据(例如偏置或增益)或格式化数据(例如偏移二进制或二进制补码)的配置设置都会影响累加结果。由于伪随机序列是可预测的,因此对于任何给定配置,累加值始终相同。这样就能以极高的可信度证明数字后端的功能完全正常。积分周期是固定的,为 256 个编码周期。BIST 周期完成之后,该位清零,除非位 2 为零。

请注意,10 和 11 保留用于将来的 BIST 模式。

(8) 模拟输入(0x00F)

寄存器 0x00F 用来配置模拟输入。

① 位 7 至位 4: 带宽(低通)(见表 9)

位 7 至位 4 确定转折频率或片内低通滤波器。请注意,0000 为器件数据手册中规定的默认带宽。其他带宽由值 0001 至 1111 定义。并非所有选项均可供使用。关于可用的选项,请参考器件数据手册。

表 9 位 7 至位 4 设置描述

位 7 至位 4	带宽模式
0000h	默认带宽
001h 至 1111h	其他带宽选择

② 位 3: 保留

③ 位 2: 模拟断开

设置位 2 将使模拟输入与 ADC 通道的其余部分断开连接。当该位清零时,转换器正常工作。如果该位置 1,转换器将继续工作,但模拟输入与电路的前端断开连接。用户可以借此确定转换器引起的内部噪声量,有些应用需要该信息。

④ 位 1: 共模输入使能

位 1 用来使能与 ADC 模拟输入相关的任何共模电路。(关于其应用和功能的详细信息,请参考器件数据手册。)

⑤ 位 0: 单端

位 0 在输入为单端时置 1,适用于另外还具有差分输入的器件,以增强性能。

(9) 偏置调整(0x010)

利用寄存器 0x010 可以微调器件的偏置。此寄存器的作用是提供足够的偏置,以将热噪声移到中量程之外。它通常以数字偏置的方式实现,关于调整范围请参考器件数据手册。此寄存器的默认值为 0x00(中量程),使用二进制补码表示,0x7F 表示最大正值偏置调整,0x80 表示最大负值偏置调整。偏置+1 表示为 0x01,偏置-1 表示为 0xFF。此寄存器的实际范围随器件不同而异。(请参考器件数据手册。)

(10) 增益调整(0x011)

利用寄存器 0x011 可以调整器件的增益。实际范围和选项随器件不同而异。(详情请参考器件数据手册。)

(11) 输出模式(0x014)

① 位 7 至位 6:逻辑类型(见表 10)

位 7 至位 6 控制输出逻辑类型。这些位的设置与所选输出逻辑的类型相对应。这些类型仅规定为电平选项 0 至电平选项 3,其定义请参见器件数据手册。如果使用 LVDS 类型输出,则该类型输出也可以与 0x015 一同确定输出端接和驱动电流。CMOS 类型输出也可以与 0x015 一同确定输出驱动强度。

表 10 位 7 至位 6 设置描述

位 7 至位 6	输出逻辑电平
00h	选项 0
01h	选项 1
10h	选项 2
11h	选项 3

② 位 5:输出多路复用器

如果位 5 置 1,输出将在两路不同输出之间多路复用,或者以双倍数据速率形式使两个 ADC 在同一路输出上交错。

③ 位 4:输出使能

位 4 为输出使能。如果该位为低,则启用输出。对于 CMOS/TTL 器件,这将把输出置于高阻抗状态。对于其他逻辑系列,输出被置于器件数据手册所定义的模式。如果存在外部输出使能,则该位的功能无效。如果外部引脚被定义为替代功能(参见“模式(0x008)”部分),则该位控制输出。

④ 位 3:双倍数据速率使能

位 3 允许使用较少的输出引脚来产生同样的数据量。如果该位置 1,则将利用一半的输

出位发送所有数据位,但时钟速率为采样速率的两倍。这种模式不使用其余的输出位。如果该位清零,转换器将以正常方式工作,所有输出位都会得到利用。

⑤ 位 2:输出反转

如果位 2 置 1,输出将发生反转。

⑥ 位 1 至位 0:输出编码(见表 11)

位 1 至位 0 决定输出编码方式。如果设置为:

- 00,输出为偏移二进制。
- 01,输出为二进制补码。
- 10,输出为格雷码。
- 11,保留。

只能识别具体器件支持的模式。(请参考器件数据手册。)默认值为 0x00。

表 11 位 1 至位 0 设置描述

位 1 至位 0	输出数据格式
00h	偏移二进制
01h	二进制补码
10h	格雷码
11h	保留

(12) 输出设置(0x015)

寄存器 0x015 与 CMOS 和 LVDS 模式一同设置输出端接和输出驱动电流水平。

① 位 7 至位 4:输出端电极

位 7 至位 4 决定 LVDS 和其他受控阻抗驱动器输出的输出端接选项。(详情请参考器件数据手册。)

② 位 3 至位 0:输出驱动电流

位 3 至位 0 决定各种 CMOS 和 LVDS 选项的输出驱动电流。(详情请参考器件数据手册。)

(13) 时钟分频器相位(0x016)

寄存器 0x016 决定时钟分频器的哪一个相位用来锁存数据。它可以与寄存器 0x00B 或用来提供串行时钟的 PLL 分频器输出一同使用。此寄存器的默认值为 0x00,即选择第一个不反转的相位。

① 位 7:相位反转

位 7 用来反转内部相位。

② 位 6 至位 4:保留

③ 位 3 至位 0:相位选择

位 3 至位 0 决定选择哪一个相位来驱动串行时钟。

(14) 输出延迟调整(0x017)

寄存器 0x017 设置输出锁存相对于内部输出寄存器选通时间的精密延迟。此设置不更改内部时序,只改变输出锁存,以补偿 ADC 时序问题引起的外部设置和保持时间。关于此寄存器的范围,请参考器件数据手册的规定。

① 位 7:使能

位 7 用作此功能的使能。如果清零,则将选择默认时序来提供基准时序。

② 位 6:DLL 使能

设置位 6 将使能用于产生输出锁存的片内 DLL。DLL 用来维持输出数据眼与该数据的锁存之间的最佳时序,适用于时序至关重要且数据必须优化的应用。如果该位清零,则 DLL 关闭;在位 7 使能本功能的情况下,可通过位 5 至位 0 手动调整延迟。

③ 位 5 至位 0:延迟

位 5 至位 0 代表芯片专用的偏移时序,0x00 为最大的负调整值,3F 为最大的正调整值。

(15) 基准电压调整(0x018)

寄存器 0x018 可用来选择和/或调整内部基准电压。

① 位 7 至位 6:VREF 选择

位[7:6]决定使用哪一个 V_{REF} 。如果设置为:

- 00,则连接主 V_{REF} 。
- 01,则选择次 V_{REF} 。

1×保留用于其他基准电压选项。

② 位 5 至位 0

位 5 至位 0 可用来调整内部 V_{REF} 。关于调整范围,请参考器件数据手册的规定。

(16) 用户测试码(0x019 至 0x020)

这些寄存器与测试模式配置一同使用,用户可以利用这些寄存器指定测试码。这些寄存器成对使用,0x019 与 0x01A 配对,0x01B 与 0x01C 配对,0x01D 与 0x01E 配对,0x01F 与 0x020 配对。低地址为低字节。(请参见本应用笔记的“输出测试模式(0x00)”部分。)

(17) 串行数据控制通道(0x021)

寄存器 0x021 为高速串行数据控制通道。它也可以用在并行输出器件中,以控制有效的输出位数(位 2 至位 0)。

① 位 7:LSB 优先

如果该位置 1,器件将使用串行端口输出转换器数据,以 LSB 优先的方式移位数据。如果清零(默认值),则以 MSB 优先的方式移位数据。

② 位 6 至位 4:保留

③ 位 3:PLL 优化

位 3 用来针对各种频率范围优化 PLL 操作。(详情请参考器件数据手册。)

④ 位 2 至位 0(见表 12)

这些位用来确定串行帧或并行输出中移位的位数。如果设置为 000,则移位转换器本有的位数。该控制功能可以对位流进行截断或填充处理。例如,通过将此寄存器的最低 3 位设置为 001,可以强制一个 12 位转换器表现得像一个 8 位转换器。同样,通过用 0 填充额外的位,可以强制一个 12 位转换器表现得像一个 16 位转换器。(关于对此设置的完整范围的支持情况,请参考器件数据手册。并非所有器件都支持所有选项。)

表 12 位 2 至位 0 设置描述

位 2 至位 0	串行输出帧长度
000h	本有位数
001h	截断/填充为 8 位
010h	截断/填充为 10 位
011h	截断/填充为 12 位
100h	截断/填充为 14 位
101h	截断/填充为 16 位
110h	保留
111h	保留

(18) 串行通道关断(0x022)

串行通道关断用来控制串行输出转换器中各串行通道的状态。

① 位 7 至位 2:保留

② 位 1:通道输出复位

当数据通道或时钟通道的位 1(ch_output_reset)被置 1 时,所有部分均处于工作状态。不过,与该通道相关的 LVDS 驱动器之前的输出触发器保持复位状态。

③ 位 0:通道关断

当数据通道的位 0(ch_power_down)被置 1 时,相关的 ADC 和 LVDS 驱动器关断,而相关的数字电路则保持复位状态。当时钟通道的位 0(ch_power_down)被置 1 时,相关的 LVDS 驱动器关断,而相关的数字电路则保持复位状态。

(19) MISR 寄存器(0x024 和 0x025)

寄存器 0x024 为多输入签名寄存器(MISR)低字节。寄存器 0x025 为 MISR 高字节。MISR 为多输入签名寄存器,与 BIST(0x00E)一同使用。该寄存器是内核 MISR 的镜像,只能

读取。

(20) 特性(0x02A)

- ① 位 7 至位 1:保留
- ② 位 0:超量程使能

如果位 0 被置 1,则将禁用超量程引脚。如果清零,超量程引脚将正常工作。

(21) 高通(0x02B)

寄存器 0x02B 配置高通滤波器。

- ① 位 7、位 5 至位 3:保留
- ② 位 6:调谐

位 6 用来校准高通或低通片内滤波器。该位置 1 将启动带宽校准流程。关于校准哪些滤波器及其他信息,请参考器件数据手册。

③ 位 2 至位 0:带宽(高通)(见表 13)

位 2 至位 0 确定片内高通滤波器的转折频率。请注意,000 为默认带宽,与直流耦合相对应。其他带宽由值 001 至 111 定义。并非所有选项均可供使用。(关于可用的选项,请参考器件数据手册。)

表 13 位 7 至位 4 设置描述

位 7 至位 4	带宽模式
0000h	默认带宽(DC)
001h 至 1111h	其他高通选择

(22) 模拟输入(0x02C)

- ① 位 7 至位 1:保留
- ② 位 0:输入阻抗

位 0 可用来选择两种输入阻抗中的一种。(详情请参考器件数据手册。)

(23) 交叉点开关(0x02D)

此功能提供一个模拟交叉点开关,它可以用来将模拟输入与内核 ADC 相连,或者将各种模拟输入路由至器件数据手册中定义的各种辅助模拟输出。

编程示例

可以使用编程工具来帮助开发用于 SPI 器件的代码。用户可能希望使用 SPI 控制所提供的功能,而不是全功能 SPI 控制器。如果是这样,请参考应用笔记 AN-812,了解全功能控制

器的低成本替代选择。

另外,还有一个软件工具(请登录 www.analog.com/FIFO)可用于控制相应评估板上使用的器件。利用该工具可以配置寄存器,以确定适合最终应用的最佳器件配置。此外,一旦完成此过程,软件工具就会生成两个文件,可用于对器件进行编程。第一个文件的格式为伪代码格式,可以将它添加到 C 语言项目中,以设置适当的读写操作,确保器件按照评估软件中的设置进行配置。为使用伪代码,用户只需提供与 SPI 控制器相关的硬件专用读写功能。本节中的示例代码显示了用于这些器件的程序序列示例。

第二个文件的格式为汇编代码格式,可结合应用笔记 AN-812 所述的微控制器使用。(关于此输出的使用方法的详细信息,请参考 AN-812。)

关于使用这些工具的详细信息,请参考应用笔记 AN-878:“高速 ADC SPI 控制软件”。

```
write(0,18); //configure serial interface for MSB first
write(5,3); //set Devices-Index to program ADC Channels 0 and 1
write(18,80); //set vref to option 2 and adjustment to all zeros
write(14,10); //set output_mode to level option 0, disable output MUX, enable output and offset
                binary
write(17,83); //set output_delay to enable and set to delay value of 3
write(FF,1); //write transfer bit (for configurations that require a manual transfer)
write(10,3); //set offset to 3 (for Channel 1 only)
write(5,2); //set Device-Index to program ADC Channel 1
write(FF,1); //write transfer bit (for configurations that require a manual transfer)
Write(5,4); //set Devices Index to program ADC Channel 2
write(10,9); //set offset to 9 (for Channel 2 only)
write(FF,1); //write transfer bit (for configurations that require a manual transfer)
```

控制寄存器

表 14 为控制寄存器映射表。

表 14 控制寄存器映射

地址 ¹ 和参数名称	位 7(MSB)	位 6	位 5	位 4	位 3	位 2	位 1	位 0(LSB)	默认值 ¹	备注
00-chip_port_config	SDO 有效 ²	LSB 优先	软复位	应当设置。不要清零。					18h	用户应在两个半字节之间建立镜像关系,使得无论在何种移位模式下,LSB 优先或 MSB 优先模式均能正确记录数据。

续表 14

地址 ¹ 和参数名称	位 7(MSB)	位 6	位 5	位 4	位 3	位 2	位 1	位 0(LSB)	默认值 ¹	备注		
01-chip_id	8 位芯片 ID;位[7:0]								只读	默认值为唯一芯片 ID,各器件均不相同。这是一个只读寄存器。(详情请参考器件数据手册。)		
02-chip_grade	8 位子 ID								只读	只读。子 ID 用来区分器件等级。(详情请参考器件数据手册。)		
04-device_index_B	Aux 7	Aux 6	Aux 5	Aux 4	ADC 7	ADC 6	ADC 5	ADC 4	FFh	设置这些位以决定片内何器件接收下一个写命令。默认为片内所有器件		
05-device_index_A	Aux 3	Aux 2	Aux 1	Aux 0	ADC 3	ADC 2	ADC 1	ADC 0	FFh	设置这些位以决定片内何器件接收下一个写命令。默认为片内所有器件		
08-modes	外部关断使能	外部关断模式 00h:完全关断 01h:待机 10h:普通模式(输出禁用) 11h:普通模式(输出使能)		功能旁路	内部关断模式 0:芯片运行 1:完全关断 2:待机 3:复位 4:ADC 关断 5:模拟前端关断 6:保留 7:保留				00h	决定芯片的一般工作模式		
09-clock	保留用于支持其他时钟输入					PLL 使能	时钟增强	占空比稳定	01h			
0A-PLL_control	PLL 锁定	PLL 自动	PLL 乘法器;位[5,0]								00h	通过使能并设置乘法器来配置片内 PLL。当 PLL 锁定时 MSB 被置 1
0B-clock_divide	时钟分频器;位[7:0]								00h	分频比为该值加上 1		
0C-enhance	保留	保留	保留	斩波使能 0:关 1:模式 1 2:保留 3:保留			随机模式 0:关 1:模式 1 2:保留 3:保留			随机模式决定如何执行随机选择。斩波决定如何处理输入以改善接近 DC 时的噪声		

续表 14

地址 ¹ 和参数名称	位 7(MSB)	位 6	位 5	位 4	位 3	位 2	位 1	位 0(LSB)	默认值 ¹	备注
0D-test_io	用户测试模式 00h:单一 01h:交替 10h:单一一次 11h:交替一次		产生复 位 PN 长序列	产生复 位 PN 短序列	输出测试模式 0:关 1:中量程短 2:+FS 短 3:-FS 短 4:棋盘形式输出 5:PN23 序列 6:PN9 7:1/0 字交替 8:用户输入 9:1/0 位交替 10:1×同步 11:1 位高电平 12:混合位频率(格式由 output_mode 决定)				00h	置 1 时,测试数据 将取代正常数据 被置于输出引 脚上
0E-test_bist						BIST 启动	保留	BIST 使能	00h	BIST 模式配置
0F-adc_input	低通滤波器带宽 0:默认值, 1 至 15:其他转折频率 (详情请参考器件数据手册)					模拟 断开	共模输 入使能	单端	00h	
10-offset	8 位器件偏置调整;位[7:0]								80h	器件偏置调整
11-gain	8 位器件增益调整;位[7:0]								00h	器件增益调整
14-output_mode	0:电平选项 0 1:电平选项 1 2:电平选项 2 3:电平选项 3		输出多 路复用 器使能 (交错)	输出使能	DDR 使能	输出反向	0:偏移二进制 1:二进制补码 2:格雷码 3:保留		依器件而定	配置输出和数据 格式
15-output_adjust	输出驱动器端接;位[7:4]				输出驱动电流;位[3:0]				依器件而定	决定 LVDS 或其 他输出属性。主 要功能是代替外 部电阻设置 LVDS 范围和共模电平
16-output_phase	输出极性				输出时钟相位调整;位[3:0]				00h	用于利用时钟分频 的器件上,决定使 用分频器输出的哪 一个相位来提供输 出时钟。内部锁存 不受影响
17-output_delay	使能	DLL 使能	6 位输出延迟;位[5:0]						00h	设置输出时钟的 精密输出延迟,但 不改变内部时序
18-vref	V _{REF} 选择 0:主(0) 1:次(1) 2:选项 2 3:选项 3		6 位内部 VREF 调整;位[5:0]						20h	选 择 和/或 调 整 VREF
19-user_patt1_lsb	B7	B6	B5	B4	B3	B2	B1	B0	00h	用 户 定 义 的 码 1 LSB

续表 14

地址 ¹ 和参数名称	位 7(MSB)	位 6	位 5	位 4	位 3	位 2	位 1	位 0(LSB)	默认值 ¹	备注
1A-user_patt1_msb	B15	B14	B13	B12	B11	B10	B9	B8	00h	用户定义的码1 MSB
1B-user_patt2_lsb	B7	B6	B5	B4	B3	B2	B1	B0	00h	用户定义的码2 LSB
1C-user_patt2_msb	B15	B14	B13	B12	B11	B10	B9	B8	00h	用户定义的码2 MSB
1D-user_patt3_lsb	B7	B6	B5	B4	B3	B2	B1	B0	00h	用户定义的码3 LSB
1E-user_patt3_msb	B15	B14	B13	B12	B11	B10	B9	B8	00h	用户定义的码3 MSB
1F-user_patt4_lsb	B7	B6	B5	B4	B3	B2	B1	B0	00h	用户定义的码4 LSB
20-user_patt4_msb	B15	B14	B13	B12	B11	B10	B9	B8	00h	用户定义的码4 MSB
21-serial_control	LSB 优先				PLL 优化	000:正常位流 001:8位 010:10位 011:12位 100:14位 101:16位			00h	串行流控制。默认为 MSB 优先、本有位流
22-serial_ch_stat							通道输出复位	通道关断	00h	用来关断转换器(局部)的个别部分
24-misr_lsb	B7	B6	B5	B4	B3	B2	B1	B0	00h	MISR 的低字节(只读)
25-misr_msb	B15	B14	B13	B12	B11	B10	B9	B8	00h	MISR 的高字节(只读)
2A-features							OVR 替代引脚	OVR 输出使能	00h	辅助功能集控制
2B-high_pass		调谐				转折频率 位 0:DC 位 1 至位 7:其他转折频率			00h	高通滤波器控制
2C-ain								输入阻抗	00h	模拟输入控制
2D-cross_point									00h	模拟输入交叉点开关
FF-device_update	使能 HW 传输							SW 传输	00h	从主移位寄存器向从移位寄存器同步传输数据

1 十六进制。

2 多数器件不支持。

AN - 893 应用笔记

将 AD7656/AD7657/AD7658

配置为串行和菊花链接口工作模式

作者: Claire Croke

简介

可将 AD7656/AD7657/AD7658 配置为三种接口工作模式:并行接口模式、串行接口模式和菊花链接口模式。并行工作模式在 AD7656/AD7657/AD7658 数据手册中有详细介绍。在上述数据手册所提供信息以外,本应用笔记将说明如何将 AD7656 配置为串行和菊花链接口模式。图 1 为功能框图。

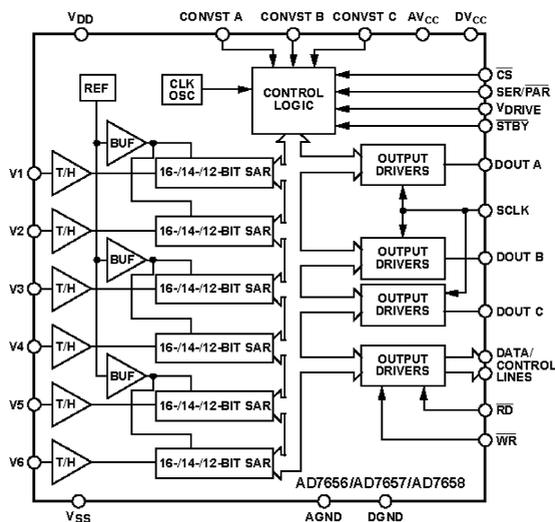


图 1 功能框图

将 AD7656、AD7657 和 AD7658 配置为串行接口模式

AD7656 的 SER/ $\overline{\text{PAR}}$ /SEL 引脚用于在并行接口模式与串行接口模式之间作出选择。若选择串行接口模式,必须将此引脚连接至高电平。在串行接口模式下,应将 AD7656 配置为硬件选择工作模式,即将 $\overline{\text{H}}/\text{S SEL}$ 连接至低电平。在串行接口模式下,不能将 AD7656 配置为软件工作模式。

工作于串行接口模式时,必须选择 AD7656 串行的 DOUT 线路数。SEL A、SEL B、和 SEL C 分别用于数据输出线路 DOUT A、DOUT B 和 DOUT C 的使能。如果串行接口只需要一条 DOUT 线路,则应使用 DOUT A,将 SEL A 引脚连接至逻辑高,并将 SEL B 和 SEL C 两个引脚连接至逻辑低。若要将串行接口配置为含有两条数据输出线路,则应使用 DOUT A 和 DOUT B 将 SEL A 和 SEL B 两个引脚连接至逻辑高,并将 SEL C 引脚连接至逻辑低。若要将串行接口配置为含有全部三条数据输出线路,则应使能 DOUT A、DOUT B 和 DOUT C。将 SEL A、SEL B 和 SEL C 三条线路连接至逻辑高(见图 2、图 3 和图 4)。

如果串行接口仅使用一条或两条 DOUT 线路,未使用的 DOUT 线路必须处于未连接状态。这些未使用的 DOUT 线路应将各自的 SEL 引脚连接至逻辑低。

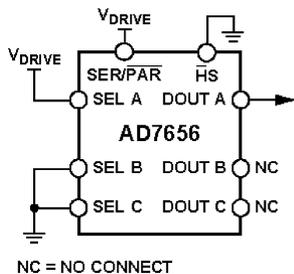


图 2 单 DOUT 线路的 AD7656

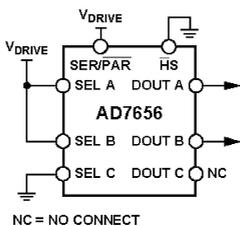


图 3 双 DOUT 线路的 AD7656

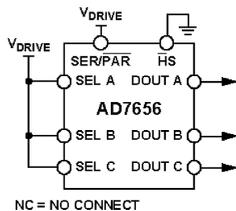


图 4 三 DOUT 线路的 AD7656

配置硬件可编程引脚

当 AD7656 工作于串行模式和硬件选择模式时,必须对几个引脚进行配置,具体取决于 AD7656 的工作模式。这些引脚包括: $\text{REF}_{\text{EN}/\overline{\text{DIS}}}$ 、DCIN C、DCIN B、DCIN A、DCEN、DB11、DB12、DB13、DB15、 $\text{REFBU}_{\text{EN}/\overline{\text{DIS}}}$ 、RESET、 $\overline{\text{RANGE}}$ 、 $\overline{\text{STBY}}$ 和 $\overline{\text{W}}/\text{B}$ 。

对于串行接口模式,应将 $\overline{\text{W}}/\text{B}$ 、 $\overline{\text{RD}}$ 、DB11、DB12、DB13 和 DB15 引脚连接至逻辑低。

与 AD7656 工作于并行接口模式时类似,应根据应用需要配置 $REF_{EN/DIS}$ 、 $REFBUF_{EN/DIS}$ 、 $RESET$ 、 $RANGE$ 和 \overline{STBY} 引脚。

当 AD7656 工作于串行接口模式而非菊花链模式时,应将 $DCEN$ 、 $DCIN A$ 、 $DCIN B$ 和 $DCIN C$ 引脚连接至 $DGND$ 。

从 AD7656 读取数据

当 AD7656 工作于串行接口模式时,转换控制与 AD7656 数据手册中所述并行接口模式相同。 $CONVST$ 引脚用于启动 AD7656 进行模数转换。当 $BUSY$ 引脚变低、显示转换完成时,用户可从 AD7656 中读取数据。

在串行接口模式下, \overline{CS} 、 $SCLK$ 和 $DOUT$ 信号用于从 AD7656 中读取转换数据。图 5 所示为使用三条数据输出 $DOUT$ 线路时的读时序图。

当用 3 条 $DOUT$ 线路来读取 6 个通道的转换数据时,AD7656 各通道的转换数据在相应的 $DOUT$ 线路上输出,如表 1 所列。

表 1 3 条 $DOUT$ 线路读取 6 通道

DOUT 线路	DOUT A	DOUT B	DOUT C
通道数据	V1, V2	V3, V4	V5, V6

当用两条 $DOUT$ 线路来读取 6 个通道的转换数据时,转换数据在相应得 $DOUT$ 线路上输出,如表 2 所列。

表 2 两条 $DOUT$ 线路读取 6 通道

DOUT 线路	DOUT A	DOUT B
通道数据	V1, V2, V5	V3, V4, V6

当用一条 $DOUT$ 线路来读取 6 个通道的转换数据时,转换数据由 $DOUT A$ 线路输出。

当在 AD7656 的 4 个通道($V1$ 、 $V2$ 、 $V3$ 和 $V4$)上进行转换时,可通过一条或两条 $DOUT$ 线路来读取转换数据。在使用一条 $DOUT$ 线路($DOUT A$)的情况下,各通道上的数据以升序输出。在使用两条 $DOUT$ 线路($DOUT A$ 和 $DOUT B$)的情况下,数据按表 3 所列方式输出。

表 3 两条 $DOUT$ 线路读取 4 通道

DOUT 线路	DOUT A	DOUT B
通道数据	V1, V2	V3, V4

在串行接口模式下, CONVST 和 BUSY 两信号的时序与 AD7656 数据手册中所述的并行接口模式相同。如前所述,在串行接口模式下, \overline{RD} 信号须连接至逻辑低。

当 BUSY 信号变低、显示转换结束时, \overline{CS} 信号可以马上变低, 如 AD7656 数据手册的时序特性中 t_2 所示。 \overline{CS} 的下降沿将输出第一个转换结果的 MSB 位, 并使总线退出三态(见图 5)。读取时间 t_{17} 表示 MSB 在 \overline{CS} 下降沿之后变为有效所需的时间。后续数据位在 SCLK 的上升沿逐个输出。同样, 在 SCLK 上升沿之后, 数据变为有效所需时间也是 t_{17} 。数据应在 SCLK 下降沿读入处理器。如果数据必须在 SCLK 上升沿读入处理器, 请确保 MSB 在 \overline{CS} 信号变低之后被处理器读入。读取一个通道的转换结果, 需要 16 个 SCLK。

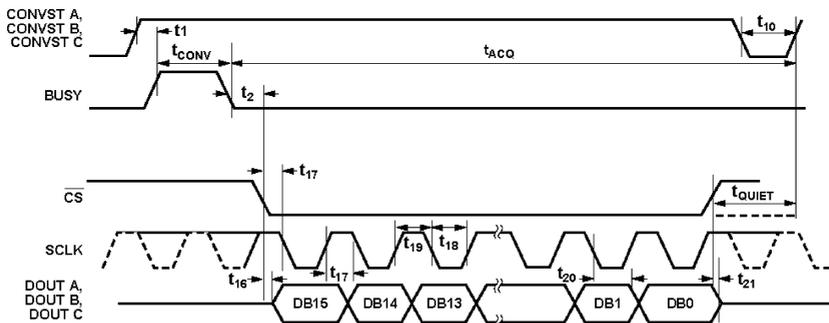


图 5 三 DOUT 线路的典型串行读时序

如果全部 6 个通道都在执行转换操作, 读取 6 个通道所需的最少 SCLK 脉冲数取决于使用的 DOUT 线路数: 3 条 DOUT 线路需要 32 个 SCLK 脉冲, 两条 DOUT 线路需要 48 个 SCLK 脉冲, 一条 DOUT 线路需要 96 个 SCLK 脉冲。

当 \overline{CS} 信号变低以输出第一次转换的 MSB 后, 该信号可一直保持低来读取序列的剩余部分。当然, 也可在单个通道读操作之间产生 \overline{CS} 脉冲信号(见图 6)。

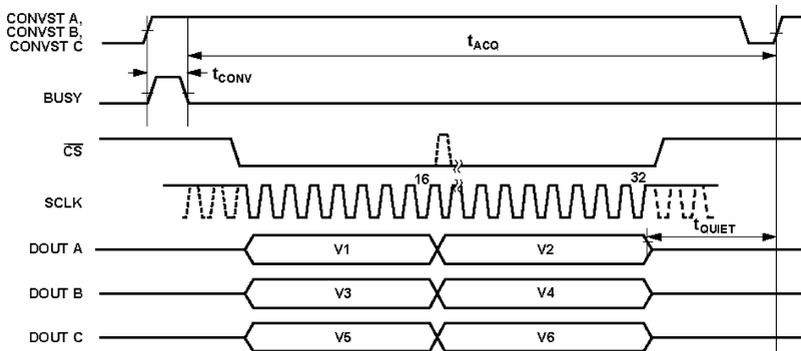


图 6 AD7656 串行读时序示意图

在串行读操作结束后, $\overline{\text{CS}}$ 信号应返回高, 用户应确保在 t_{QUIET} 时间之后再启动下一次转换。

菊花链模式

在串行接口模式下, 用户可通过 DCEN 引脚将器件配置为菊花链模式, 并以菊花链配置级联多个器件。菊花链模式具有用单个串行接口控制多个器件的优势。与串行接口模式一样, 菊花链模式允许用户选择所使用的 DOUT 线路数。

当器件被配置为菊花链工作模式(即 DCEN 为逻辑高)时, 用户可通过 SEL A、SEL B 和 SEL C 引脚选择 DOUT 线路数。这些 SEL 引脚同时决定各 AD7656 器件的 DCIN 引脚数。

DCIN 引脚应连接至菊花链上游部分的 AD7656 器件的对应 DOUT 引脚。图 7 至图 9 所示为各种菊花链配置。不得将标记为 Device 2 的器件(即链中最上游部分的器件)配置为菊花链工作模式(DCEN 应设为逻辑低)。Device 1 应配置为菊花链工作模式(DCEN 应设为逻辑高)。当器件配置为菊花链模式时, 引脚 12、13 和 14 均配置为 DCIN 引脚。与串行接口模式一样, 必须将 SEL A、SEL B 和 SEL C 配置为选择所需 DOUT 接口线路数。

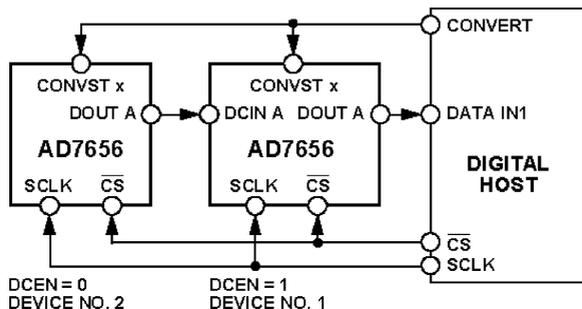


图 7 单 DOUT 线路的 AD7656 菊花链模式

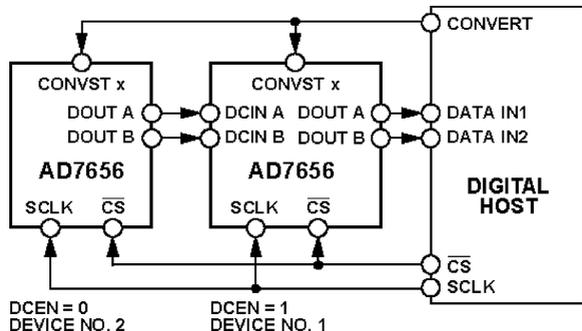


图 8 双 DOUT 线路的 AD7656 菊花链模式

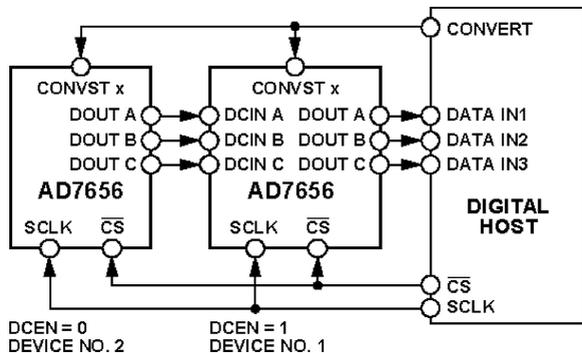


图 9 三 DOUT 线路的 AD7656 菊花链模式

图 10 所示为串行读操作,其器件配置如图 8。单个 CONVST 信号被发送至菊花链中的两个 AD7656 器件。当 BUSY 信号返回低、显示转换完成时,CS 信号可变为低以启动串行传送。CS 信号可以在整个串行传送过程中保持低,或者在每次通道读操作(每 16 个 SCLK)后产生低脉冲信号。在前 48 个 SCLK 脉冲中,Device 1 通过 DOUT A(通道 1、2、5)和 DOUT B(通道 3、4、6)将其转换数据传送至主机;Device 2 将从 DOUT A(通道 1、2、5)和 DOUT B(通道 3、4、6)输出的转换数据传送至 Device 1。这些数据分别输入 Device 1 的 DCIN A 和 DCIN B。在串行传送后 48 个 SCLK 脉冲中,Device 1 将此此前由 Device 2 输入的数据送入主机,Device 2 则向 Device 1 输出 0。

将 AD7656 配置为采用三条或一条 DOUT 线路的菊花链模式时,原理类似。

在菊花链模式下,一个串行传送所需 SCLK 脉冲数取决于链中的器件数以及接口中使用的 DOUT 线路数。

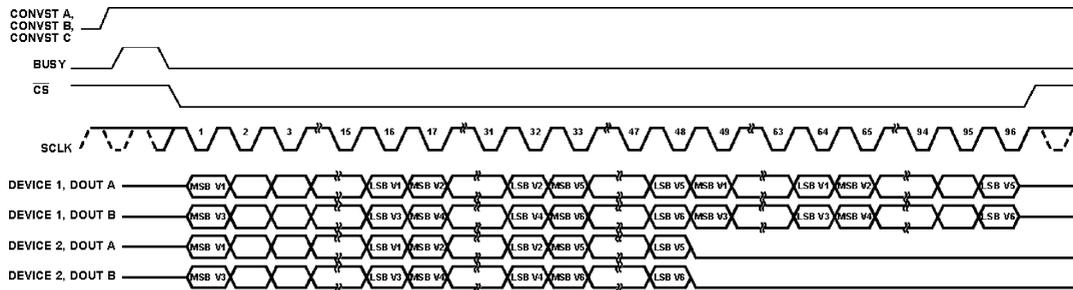


图 10 菊花链串行读操作

AN - 925 应用笔记

AD7147 和 AD7148 CapTouch 控制器应用中的传感器设计

作者: Susan Pratt

简介

本应用笔记将简要介绍与 AD7147 和 AD7148 CapTouch 控制器配合使用的电容传感器。

AD7147 和 AD7148 是用于单电极传感器的电容-数字转换器(CDC)。AD7147 具有 13 个电容输入通道,AD7148 则为 8 输入器件。AD7147 设计用于电容传感器,以实现按钮、滚动条、滚轮和触摸板等功能。AD7148 设计用于按钮、滚动条和滚轮。

AD7147/AD7148 具有片内校准逻辑,用以补偿周围环境发生的变化。传感器未被触摸时,校准时序将自动按一定时间间隔连续执行。由此避免发生因环境变化导致的外部传感器误触或触摸未记录事件。

AD7147 具有一个 SPI 兼容型串行接口,AD7147-1 型号和 AD7148 则分别具有一个 I²C 兼容型串行接口。AD7147-1 和 AD7148 两种器件都有一个中断输出,AD7147 型则有一个通用输入/输出(GPIO)。一个独立于 V_{CC} 的 V_{DRIVE} 引脚设定串行接口的电平。

AD7147 采用 24 引脚 4 mm×4 mm LFCSP 封装。

AD7148 采用 16 引脚 4 mm×4 mm LFCSP 封装。

这些器件均采用 2.6 V 至 3.6V 电源供电。

传感器类型、尺寸和连接

表 1 列出了针对该器件的传感器类型,推荐的最小、典型和最大传感器尺寸,以及各类传

传感器对 AD7147/AD7148 的输入引脚数要求。

最重要的是传感器的总面积而非确切的长宽尺寸。大面积的传感器在用户的作用下,可以产生较大的电场,因此激活时可提供最大响应。

各传感器需物理连接至 AD7147/AD7148 CIN 输入引脚之一。所需输入数取决于传感器类型。建立连接后,必须对 AD7147/AD7148 序列器进行配置,以使传感器在器件转换过程中连通至 CDC。

表 1 传感器尺寸和输入连接引脚数

传感器类型	最小尺寸	典型尺寸	最大尺寸	CIN 输入引脚数
按钮	直径 3 mm	直径 8 mm	—	1
滚动条	25 mm×4 mm	40 mm×10 mm	60 mm×20 mm	5 至 8,取决于滚动条的长度
滚轮	直径 16 mm	直径 30 mm	直径 50 mm	8
矩阵键盘	1 行×1 列	12 键,3 行×4 列	36 键,6 行×6 列	每列 1 个输入,每行 1 个输入
X-Y 触摸板/触摸屏	20 mm×20 mm	2.4",高宽比 16:9	3",高宽比 16:9	12(仅限 AD7147)

按钮传感器

图 1 所示为一种按钮传感器的一些典型设计。按钮可采用任意尺寸(最小直径为 3 mm)。各按钮传感器连接至 AD7147/AD7148 上的一个 CIN 输入引脚。按钮可以是圆形、椭圆形、方形或不规则形状。

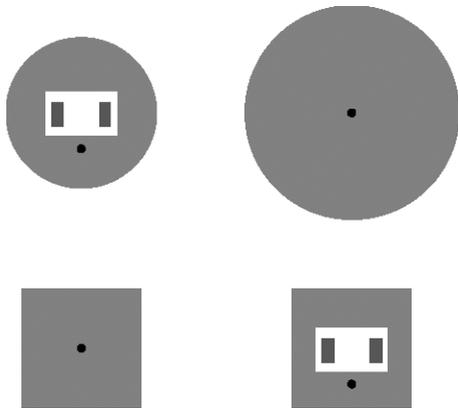


图 1 按钮设计

图 1 中,有些按钮传感器中间有一块挖空区域,并配有元件焊盘。这种设计可用于印刷电路板(PCB)带 LED 的应用,其中,LED 安装在电路板背面。LED 发出的光可直接通过按钮挖空区域,可编程为在按钮被激活时点亮。按钮中挖空区域的最大尺寸取决于按钮尺寸。表 2 列出了一些最大按钮挖空尺寸的示例。

表 2 按钮挖剪区尺寸

按钮直径	最大挖空尺寸
5 mm	2 mm×1.6 mm
6 mm	2.8 mm×1.2 mm
8 mm	4 mm×2 mm

传感器响应为传感器被触碰时与未被触碰时的 CDC 输出值之差。传感器响应取决于多种因素:传感器面积、使用者手指大小以及传感器覆盖物的厚度和介电常数。AN-830 应用笔记更为详细地介绍了影响传感器响应的各种因素。

图 2 和图 3 所示为不同直径的按钮传感器的典型响应。对于直径为 4 mm 的按钮,传感器激活时,CDC 输出代码大约变化 800 个码字。对于 8 mm 按钮,CDC 输出大约变化 4000 个码字。测试过程中,全部按钮均以 2 mm 厚的塑料覆盖。

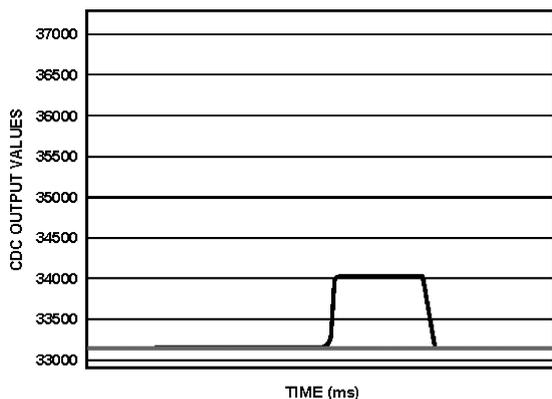


图 2 直径 4 mm 的按钮响应

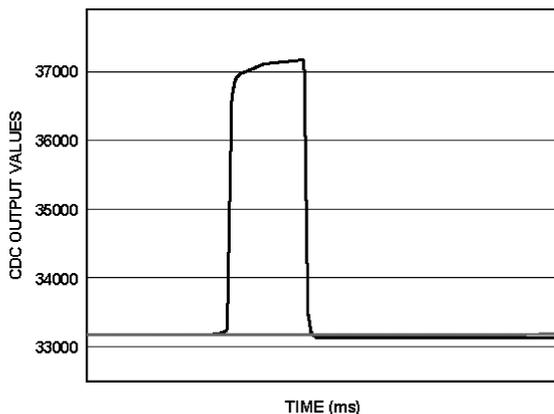


图 3 直径 8 mm 的按钮响应

矩阵键盘

AD7147/AD7148 可用于实现矩阵键盘。AD7147 最多可支持 36 个键。AD7148 最多可

支持 16 个键。键以行列排列,与标准矩阵键盘类似。键盘中的每行和每列都需连接至 AD7147/ AD7148 的一个输入。键的设计采用以下结构:一半键连接至列输入线路,另一半连接至行输入线路。图 4 所示即为一种矩阵键盘的键,与两个 CIN 输入相连,一个为行连接,另一个为列连接。

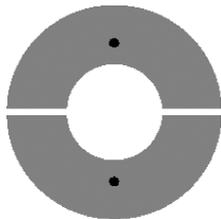


图 4 矩阵键盘按钮

当用户激活键盘上的任意键时,状态寄存器中的状态位被置 1。主机可从 AD7147/ AD7148 读回数据,以确定按下的是哪个键。解码原理与常规机械矩阵键盘相同。被激活的键位于行、列状态位均被置 1 的位置。

滚动条

图 5 所示为一种滚动条传感器设计。滚动条可设计为不同宽度(5 mm 至 12 mm)和不同长度(10 mm 至 60 mm)。滚动条可以是直线型,可以是垂直位置或水平位置。

根据不同传感器长度,滚动条可采用 5 至 8 个分立传感器段,各段需连接至 AD7147/ AD7148 上的一个 CIN 输入引脚。对于要求可重复线性输出位置的应用,可使用分立式滑块,由分立传感器元件构成,呈条状次序排列。

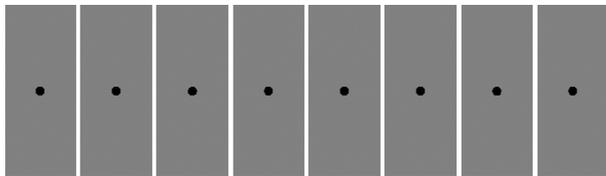


图 5 分立式滚动条传感器设计

这些分立式传感段的工作原理与按钮类似。各传感段与下一传感段紧密相邻;因此,当使用者沿滚动条移动手指时,同时有一个以上的传感器段被激活。这种滑块最多可产生 128 个输出位置。滑块中的各个段都需连接至 AD7147/ AD7148 的一个 CIN 输入。

若要仅用 8 个传感器段实现 128 个输出位置,则需用各个传感器的 CDC 结果进行某种插

值运算。将各个段的 CDC 结果加权并相加,结果生成一个正态分布曲线。该正态分布的平均值为幻灯的输出位置。ADI 提供实现这种线性化运算的软件算法。该算法以 C 语言代码提供,签署一份软件许可协议即可获得。该代码的程序代码大小为 7391 字节;若要成功运行,需占用主机处理器 481 字节 RAM。在软件串行接口应用中,代码大小增加至 7948 字节程序代码和 496 字节数据存储。

滚 轮

滚轮是一种特殊的分立式滚动条。滚动条中的每个分立段被排列成一个圆形,如图 6 所示。滚轮最多可提供 128 个输出位置。

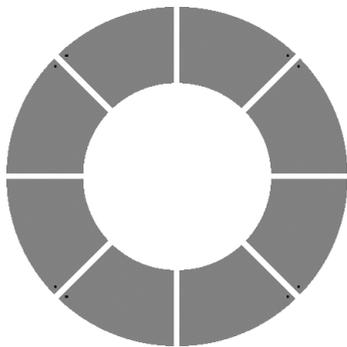


图 6 滚轮传感器设计

若要仅用 8 个传感器段实现 128 个输出位置,则需用各个传感器的 CDC 结果进行某种插值运算。将各个段的 CDC 结果加权并相加,结果生成一个正态分布曲线。该正态分布的平均值为滚轮的输出位置。ADI 提供用于实现这种线性化运算的软件算法,以 C 语言代码提供,只需签署一份软件许可协议即可获得。该代码的程序代码大小为 8467 字节;若要成功运行,需占用主机处理器 468 字节 RAM。

触摸板/触摸屏

可用 AD7147 控制一个 X-Y 触摸板或触摸屏传感器。这种双层触摸板/触摸屏的顶层和底层均设有传感器,分别对 x-轴和 y-轴进行检测。传感器按一定模式排列,如图 7 所示。

触摸板/触摸屏的最大尺寸为 3" 对角线,高宽比为 16:9。对于不要求触摸屏 X-Y 输出

的应用,可采用更大的屏幕尺寸。例如,要求在屏幕中的指定位置选择图标的应用就可以使用较大尺寸的屏幕。

3”传感器的最大输出分辨率为 320×240 点。同时检测传感器上的两点同时触碰是可能的。

ADI 提供用于实现高分辨率输出的软件算法,以 C 语言代码提供,只需签署一份软件许可协议即可获得。该代码的程序代码大小约为 11 KB;若要成功运行,需占用主机处理器 700 字节 RAM。代码总大小取决于所需功能。

传感器库

可从 AD7147 产品页面下载传感器库。在该产品页面中,选择“访问系统设计支持和常见问题页面”(Visit our detailed system design support and FAQ page)。传感器库提供设计支持和常见问题(FAQ)解答。传感器库以两种格式提供:Mentor Graphics PADS 2005 库和 .dxf 文件。从库中选择传感器,既可直接在设计中使用,也可作为自定义传感器设计的基础。

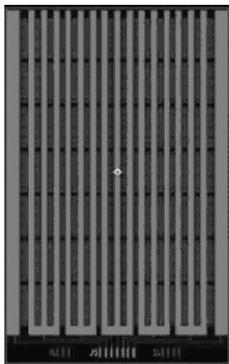


图 7 双层触摸板/触摸屏设计

AN-935 应用笔记

ADC 变压器耦合前端设计

作者: Rob Reeder

简介

本应用笔记列出的 5 步流程可以帮助读者设计基于高中频窄带应用的最佳 ADC 前端。

在现代通信系统和测试设备中,为了在数字域中执行信号处理,通常需尽快将模拟信号转换为数字信号。然而,为模数转换器(ADC)设计变压器前端电路却可能具有一定挑战性,尤其是在高中频系统中。幸运的是,本文介绍的 5 步优化流程可以帮助读者开发最佳的 ADC 前端。该流程易于实施,可快速应用于几乎任何应用之中,以达到所需性能要求。

该 5 步流程基于以下简单而符合逻辑的步骤:

- ① 了解系统及设计要求。
- ② 确定 ADC 输入阻抗。
- ③ 确定 ADC 基准性能。
- ④ 根据负载需要选择变压器和无源组件。
- ⑤ 对设计进行基准测试。

第 1 步:了解系统及设计要求

第 1 步不言自明,但了解特定应用的要求,从一开始即选择正确的元件,可大幅减少重复次数,并快速实现所需性能。列出各种设计要求,设定目标工作界限。这样做有利于快速选择 ADC 和变压器。

例如,假设存在一个应用,要求采样速率为 61.44 MSPS,以捕获带宽为 20 MHz,中心频率为 110 MHz(100 MHz 至 120 MHz)的信号。则要求信噪比(SNR)要优于 72dB,也就意味

着需用一个 14 位 ADC 来提供所需信噪比性能。功耗应低于 500 mW/通道。快速搜索后,发现 ADI 推出的 14 位、80 MSPS AD9246 ADC 能满足这些系统级性能要求。该器件设计工作电压为 1.8 V 至 3.3 V。这款器件因宽带宽和低功耗(见表 1)而被选中。

在该示例设计中,ADC 输入为 110 MHz 中频信号,带宽为 20 MHz,采样速率为 61.44 MSPS。由于带宽较窄(一个奈奎斯特频段),因而采用了一种谐振匹配技术。这类匹配技术带宽更低,但可在指定频率范围内实现良好匹配。这种情况通常要求将一个电感或铁氧体磁珠跨接在模拟输入信号和 ADC 输入端上,以通过谐振方式使寄生电容远离 ADC 输入级。如果目标中频位于基带(第一奈奎斯特频段)之内,则可用简单的 RC 网络来实现低通滤波器。

表 1 设计要求示例

界限	输入阻抗 (Ω)	电压驻波比 (VSWR)	通带平坦度 (dB)	中频-3 dB 带宽 (MHz)	信噪比 (SNR) (dBc)	无杂散动态范围 (SFDR) (dBc)	输入驱动电平 (dBm)
理想值	50	1	<0.5	150	72	85	4
设计限值	30	1.5	<1	300	69	80	7

第 2 步:确定 ADC 输入阻抗

在流程第 2 步中,需确定 ADC 输入阻抗(见图 1)。所用器件 AD9246 是一款非缓冲型或者说是开关电容型 ADC。这就意味着输入阻抗是时变的,而且会随着模拟输入信号的频率发生变化。确定该器件的输入阻抗时,可使用 AD9246 产品页面中的电子表格。在该电子表格中,找到在 110 MHz 下测得的跟踪模式阻抗。在该例中,ADC 内部输入负载看起来像一个 6.9 k Ω 电阻与一个 4 pF 电容并联。最好在 ADC 跟踪模式下进行匹配,因为这正是 ADC 实际采样的时间。表 2 列出了部分 AD9246 产品页面电子表格。

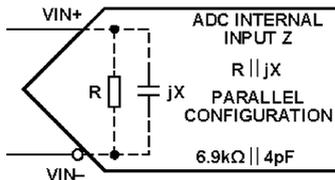


图 1 可将 ADC 的内部输入阻抗看作电阻与电容的并联配置

表 2 并联配置下的 AD9246 输入阻抗

频率(MHz)	采样模式		保持模式	
	R(k Ω)	C(pF)	R(k Ω)	C(pF)
109.02	7.012504	-4.023861	23.621962	-2.219631
109.64	7.001112	-4.020610	23.501558	-2.219192
110.27	6.909521	-4.017265	23.226639	-2.218956
110.89	6.806530	-4.013601	23.724023	-2.218073
111.52	6.750957	-4.012279	23.477964	-2.216845
112.14	6.695931	-4.010091	23.463246	-2.216127

注:粗体行表示例子设计中用到的值。

第 3 步:确定 ADC 基准性能

第 3 步是确定 ADC 的基准性能,以在优化各项设计参数前更好地了解 ADC 的性能表现。为确定这种基准,请使用评估板,保持其默认配置不变。这是在产品数据手册所列规格下,ADC 最可能表现出来的特性。

然后,着手收集各项性能指标。这可通过对频率为 110 MHz,满量程分贝(dBFS)为-1 dB 的输入信号的采样值做快速傅立叶变换(FFT),结果是信噪比为 72 dB,无杂散动态范围(SFDR)为 82.7 dBc,接近数据手册所列规格。采集特性数据时,应使用高性能信号发生器和滤波器,以便在测试时清除信号发生器中存在的任何谐波和杂散成分。

接下来,移除滤波器并将 ADC 评估板重新连接至测试信号发生器。应重新调节并记录信号发生器的输出电平,此处为 14 dBm,以采集输入驱动数据。应在足够的带宽内扫描输入频率,以了解通带平坦度的变化并获得-3 dB 点^注。此例中,前端默认配置中有一个简单 RC 滤波器,使通带平坦度达 1.2 dB,带宽约为 100 MHz。

上述数据既已采集完毕,就应作一些决定了。当要求信噪比为 72 dB、无杂散动态范围为 83 dBc 时,必须使用一个抗混叠滤波器(AAF),以改善杂散性能并使信号谐波较低。但这并不能解决输入驱动和通带平坦度问题。默认评估板上的抗混叠滤波器可使目标通带快速衰减。使用一个简单的并联电感能起一定作用,因为在目标频率下,这种器件衰减更少,带外滚降性能更佳。对于输入驱动,可使用一个 1:4 的变压器,以使 ADC 达到满量程要求。变压器可使信号增大+6 dB,因而可以更多地补偿输入驱动要求。最后,应用矢量网络分析仪(VNA)

注:有关 ADC 测试的更多信息,请参阅 AN-835。

测量输入阻抗和 VSWR。输入目标频率,了解输入匹配情况。此例中,110 MHz 下测得值为 35Ω ,结果 VSWR 为 $1.44:1$ 。

第 4 步:根据负载需要选择变压器和无源组件

第 4 步是根据负载需要选择变压器和无源组件。上一步确立了基准,为本步打下了基础。接下来,必须选择变压器和 R 与 L 的元件值以匹配负载,然后要在 ADC 与变压器次级之间建立一个能实现所需总体性能的抗混叠滤波器(见图 2)。

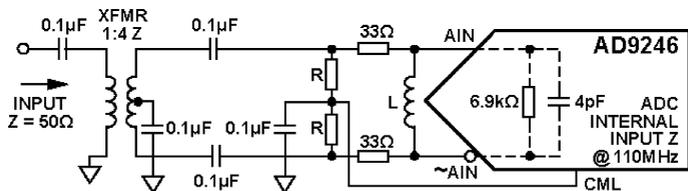


图 2 前端原理图(所选电阻值和电感值必须与负载相匹配)

这一步是经验或实验的用武之处。由于不同变压器的性能可能存在较大差异,因而选择变压器存在一定难度。本例所选变压器的根据是,变压器已经测量过,其性能也已弄清。一般而言,应选择一个相位不平衡特性出色的变压器,这非常重要。该示例应用带宽较窄,所需输入驱动低,因而采用了一种阻抗比为 $1:4$ 的已知变压器。

关于如何为 ADC 选择变压器,有一些简单的指南,其中一条是关注技术规格。比如,应仔细比较回损、插损以及相位与幅度不平衡等技术规格。如果数据手册中未标注这些参数,请向制造商索取相关数据,或用矢量网络分析仪进行测量。选择标准通量耦合变压器,还是选择巴伦,取决于带宽要求。标准变压器的带宽一般处于 1 GHz 或以下区间,巴伦则可实现高得多的带宽。

需注意的是,端接可在初级和次级之间分离,但此例中,为了将所需元件数降至最低,只将次级端接。根据具体应用,分开端接可能更合适。

在模拟输入中,应采用 15Ω 至 50Ω 的小值串联电阻。本例使用了两个 33Ω 电阻。这样做是为了限制从非缓冲 ADC 回到模拟输入中的电荷注入量。这样还有助于确定来自前级的源阻抗。在 90% 的情况下,可使用 33Ω 电阻,但实践证明,有时改变此值可以略微提升性能。

接下来,求出变压器次级的端电阻。计算显示,对于次级而言,低于 251Ω 的电阻为一个较好的起点。 200Ω 可用于理想的 $1:4$ 阻抗比变压器。开始计算时,请用指定中心频率下的回损值来计算实际特征阻抗(Z_0)。

以下为变压器次级的端阻抗计算示例。回损为

$$\text{回损(RL)} = -18.9 \text{ dB @ } 110 \text{ MHz} = 20 \log \left(\frac{50 - Z_0}{50 + Z_0} \right)$$

用该回损值可求出变压器次级的特征阻抗。

$$10 \left(\frac{-18.9}{20} \right) = \frac{50 - Z_0}{50 + Z_0}$$

其中, $Z_0 = 39.8 \Omega$ 。

在理想的 1:4 阻抗变压器中,次级上的 200Ω 应等价于初级上的 50Ω 。但实际系统中并未如此。为了确定反射回初级的实际阻抗,用上一步求出的 Z_0 值,并进行以下简单计算:

$$\frac{Z(\text{Prim Re flected})}{Z(\text{SecIded})} = \frac{Z(\text{PrimIded})}{Z(\text{Sec Re flected})}$$

$$\frac{39.8}{200} = \frac{50}{X}$$

求解 X, $X = 251 \Omega$ 。

由于变压器存在一些不明损耗,因而 251Ω 的次级的端电阻会对这些损耗进行补偿。这是一个较好的变压器次级的端接值,以将正确的阻抗反射回初级。这种情况下,设计要求指定的是 50Ω 。

接下来,必须确定电感值 L,用于以谐振方式抵消内部 ADC 寄生电容。这非常简单,只需将电容值 C(4 pF) 设为 L 值即可。

以下为电感 L 计算示例:

$$X_C = \frac{1}{2\pi f C} = \frac{1}{2\pi \times 110 \text{ MHz} \times 4 \text{ pF}} = 361.7 \Omega$$

$$X_L = 2\pi f L$$

$$X_C = X_L$$

用这些值可以求出 L:

$$L = \frac{X_C}{2\pi f} = \frac{361.7}{2\pi \times 110 \text{ MHz}} = 523 \text{ nH}$$

L 的电抗被设为 C 的相同。此时,在 110 MHz 时, 4 pF 电容转换为等于 523 nH 的电感。这就为 L 值设定了一个起点。

第 5 步:对设计进行基准测试

在寻求最佳 ADC 变压器匹配的过程中,最后一步是用以前各步求出的电阻值和电感值对设计进行基准测试。再次测量各项性能指标是很重要的,它们是信噪比、无杂散动态范围、输入驱动、通带平坦度和输入阻抗,就如前面在默认条件下确定 ADC 基准性能时所做的那样。

值得注意的是,为获得最佳性能,求出的 R 值和 L 值都可能有所不同。这些值可能与开始时依据供应商偏好和可用元件大小计算出的值之间存在差异。反复过程中,可用电子表格来跟踪每次变化情况。

本例中,转换器接近满量程,信噪比和无杂散动态范围处于额定目标之内(见图 3)。在 110 MHz 时,信噪比接近 72 dB,无杂散动态范围为 80 dBc。图 4 所示为测得的输入驱动(3.1 dBm)最终性能结果。图中同时显示,在 50 MHz 频段中,通带平坦度低于 0.5 dB。 -3 dB 带宽为 150 MHz,可满足示例要求,并可为该设计提供充足的杂散抑制能力。

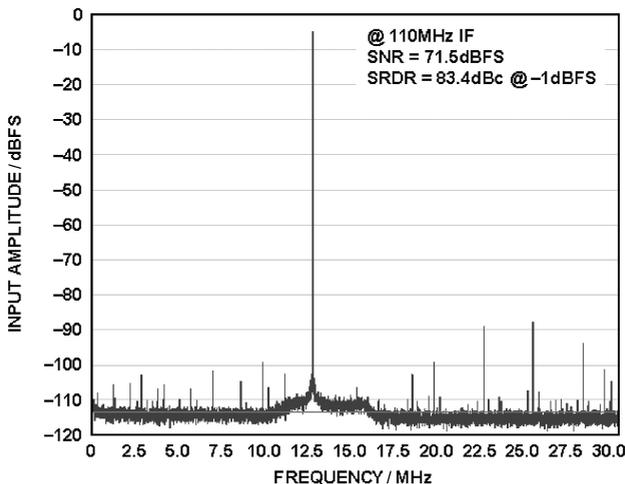


图 3 采用示例变压器电路时,ADC 信噪比和无杂散动态范围最终测试结果

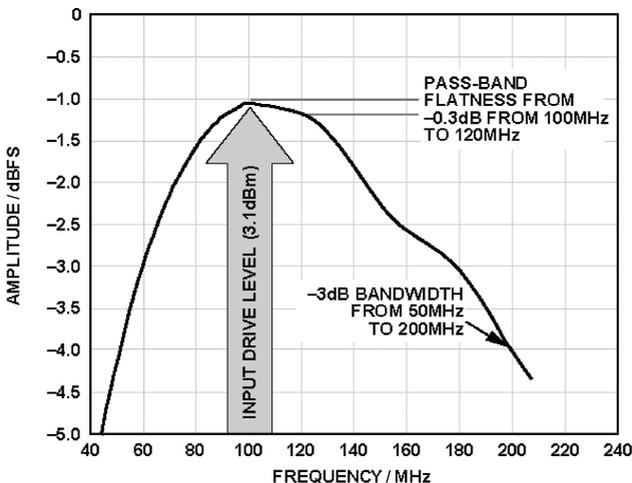


图 4 采用示例变压器电路时,ADC 输入驱动和通带平坦度最终测试结果

图 5 所示为通过矢量网络分析仪测量的史密斯图与输入设计的 VSWR 坐标图的组合。110 MHz 下,输入阻抗约为 $41\ \Omega$ 。VSWR 始终接近 1.2 : 1,符合滤波器特性。

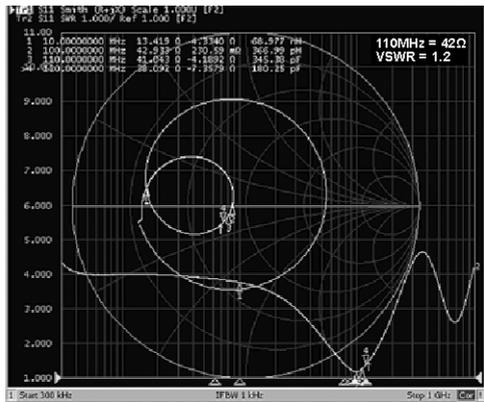


图 5 采用示例变压器电路时,ADC 输入阻抗和 VSWR 测得性能

最后,本例显示,匹配输入电路或 ADC 模拟前端不但能改善输入驱动、通带平坦度(中频通带)和负载反射功率(VSWR)等指标,同时还能实现与数据手册规定相同的 ADC 信噪比和无杂散动态范围。

可选步骤 6

流程中还有一个可选步骤 6,即对比计算性能与实际测得结果。作为检验,可算出阻抗结果并与测得值进行比较。以下为整个输入匹配的计算示例:

$$X_c = \frac{1}{2\pi fC} = \frac{1}{2\pi \times 110\ \text{MHz} \times 4\ \text{pF}} = -361.7\ \Omega,$$

ADC 理想阻抗:

$$6.9\ \text{k}\Omega \parallel 4\ \text{pF} \text{ 或 } (6.9\ \text{k}\Omega + j0) \parallel (0 - j361.7) = (18.9 - j361),$$

ADC 阻抗:

$$X_c = \frac{1}{2\pi fL} = \frac{1}{2\pi \times 110\ \text{MHz} \times 523\ \text{nH}} = -361.5\ \Omega$$

L 理想阻抗:

$$(18.9 - j361) \parallel (0 + j361.5) = (6.93\ \text{k}\Omega + j72.8)$$

$$(6.93\ \text{k}\Omega + j72.8) + (66 + j0) = (6.97\ \text{k}\Omega + j72.8),$$

添加两个 $33\ \Omega$ 电阻。

变压器次级的端阻抗为:

$$(6.93 \text{ k}\Omega + j72.8) \parallel (242 + j0) = (234 + j82.1 \text{ m})$$

可根据以下公式算出具体大小：

$$(\text{Re}^2 + jX^2)^{1/2} = 234 \Omega$$

如第 4 步一样，再用该比例，

$$\frac{234}{200} = \frac{50}{X}$$

求解 X, $X = 42.7 \Omega$ 。这种情况下，测试结果和算出的阻抗值非常接近。

结 论

创建新设计时需注意的要点包括：对设计中的重要参数排序；用一定时间来制定适当的系统和设计要求。

选择变压器时必须注意的是，变压器不尽相同，比较不同元件的最好办法是全面了解各项变压器规格。如果没有相关规格，请向制造商索取参数资料。高中频设计可能对变压器相位不平衡非常敏感。在极高中频设计中，可能需要采用两个变压器或巴伦，以抑制偶次谐波失真。

选择 ADC 时，需确定是使用缓冲型还是非缓冲型 ADC。非缓冲型或开关电容型 ADC 的输入阻抗具有时变性，高中频时，设计难度更大。如果使用非缓冲型 ADC，请始终在跟踪模式下进行输入匹配，并使用制造商网站上提供的输入阻抗电子表格。即使在高中频下，缓冲型 ADC 也更易于设计，但会比非缓冲型 ADC 消耗更多功率。在计算 R 值和 L 值时，请注意，这是个较好的起点。并非各个应用中的所有布局 and 寄生电容都相同，因此，请注意，可能需要进行反复设计，以满足具体应用的性能要求。

补充读物

AN-742, 开关电容 ADC 的频率域响应。

AN-827, 放大器与开关电容 ADC 接口的匹配方法。

AD9215、AD9226、AD9235、AD9236、AD9237、AD9244 和 AD9245 的 ADC 开关电容输入阻抗(S-参数)数据。请前往相应产品页面，单击“评估板”(Evaluation Boards)，然后下载 Microsoft Excel 电子表格。

Rob Reeder, “Transformer-Coupled Front-End for Wideband A/D Converters,” Analog Dialogue 39-2, 2005, pp. 3-6. Rob Reeder, Mark Looney, and Jim Hand, “Pushing the

State of the Art with Multichannel A/D Converters,” Analog Dialogue 39-2, 2005, pp. 7-10.

Walt Kester, “Which ADC Architecture is Right for Your Application?” Analog Dialogue 39-2, 2005, pp. 11-18.

Rob Reeder and Ramya Ramachandran, “Wideband A/D Converter Front-End Design Considerations—When to Use a Double Transformer Configuration,” Analog Dialogue 40-3, 2006, pp. 19-22.

Rob Reeder and Jim Caserta, “Wideband A/D Converter Front-End Design Considerations: Amplifier- or Transformer Drive for the ADC,” Analog Dialogue 41-1, 2007, pp. 6-12.

Analog Devices (www.analog.com), AD9246, 80 MSPS/ 105 MSPS/125 MSPS, 14 位、1.8 V 开关电容型 ADC 数据手册。

Mini-Circuit, ADT1-1WT 数据手册。

M/A-COM, ETC4-1T-7 和 ETC1-1-13 数据手册。

第二部分 ADC 基本概念指标 和测试评估

AN-276 应用笔记

使用电压频率转换器实现模数转换

作者: Paul Klonowski

简介

电压频率转换器(VFC)接受模拟电压或电流信号输入,输出一个频率与输入值成比例的脉冲串或方波序列。因此,电压频率转换器可以用作模数转换系统的构建模块,用于使计数器运行一定的时间(“计数时间”、“选通时间”或“转换时间”),并读取输出数字字。此数字字将与模拟输入成比例。

模数转换方案使用电压频率转换器有多个好处。首先,不同于基于二进制加权网络的转换器,它在所有电源和温度条件下都具有内在单调性。其次,输入信号被转换为易于传输的串行位流,因而模拟电路(VFC 和模拟信号调理电路)可以靠近信号源放置,数字电路(计数器、定时门和显示电路)则可以放在任意位置。当需要大量通道时,这尤其有利;远程 VFC 可以用来执行“每通道转换器”数据采集。最后,数字值是经过大量周期的积累而得到的,因此对于干扰信号的积分和消除也是过程本身所固有的功能。

模拟信号转换为数字字所需的时间与 VFC 的最大满量程频率和所需的测量分辨率有关。例如,ADI 公司 AD650 VFC 的满量程频率为 1 MHz。如果将此器件用于要求 16 位或 1/65 536 分辨率的应用中,则模拟信号转换为 16 位数字字所需的时间为 65.536 ms。18 位或 1/262 144 分辨率将需要略长于 0.262 秒的计数时间。一般而言,利用 VFC 进行模数转换所需的计数时间为:

$$T_{\text{COUNT}} = \frac{N}{FS_{\text{out}}}$$

其中:N 为给定分辨率的码数,FS_{out}为 VFC 满量程输出频率。

虽然基于 VFC 的模数转换器比逐次逼近型和 Flash 转换器要慢,但在速度与积分模数转换器相当。因此,基于 VFC 的模数转换器非常适合温度和应变计测量等低频应用。VFC

在这类应用中所能提供的分辨率,可以抵消获取与模拟输入值相对应的数字字所需计数时间相对较长这一劣势。

本应用笔记的主旨是介绍电压频率转换器用作模数转换构建模块的不同方法。因此,本文的重点是讨论 VFC 的输出接口。有关处理各类输入(温度、应变计和光电二极管信号)的详细信息,建议读者参考 AD650、AD651 和 AD654 数据手册以及 AD654 应用笔记;ADI 公司文献中心(电话:(617) 329-4700)可以提供这些资料。上述资料还包括信号多路复用方案、隔离电路和个别器件的详情。

脉冲计数

利用电压频率转换器执行模数转换的一种方法是让一个单芯片微电脑计数一定期间内出现的脉冲数。此期间内计数的总脉冲数即与 VFC 的输入电压成比例。例如,如果 1V 满量程输入在 VFC 中产生一个 100 kHz 信号,且计数周期为 100 ms,则总满量程数为 10 000。然后依据与该最大值的比例便可确定输入电压,例如脉冲数 5 000 对应于 0.5V 输入电压。

图 1 显示 ADI 公司 AD654 VFC 的输出连到 Intel 8051 单片机的计数器输入 T1。AD654 是一款低成本、单电源、单芯片 VFC,满量程频率最高可达 500 kHz。8051 属于 Intel MCS-51 系列 8 位单片机,该系列不同成员之间的区别主要在于内存容量。下文中,“8051”泛指 MCS-51 系列的所有成员。

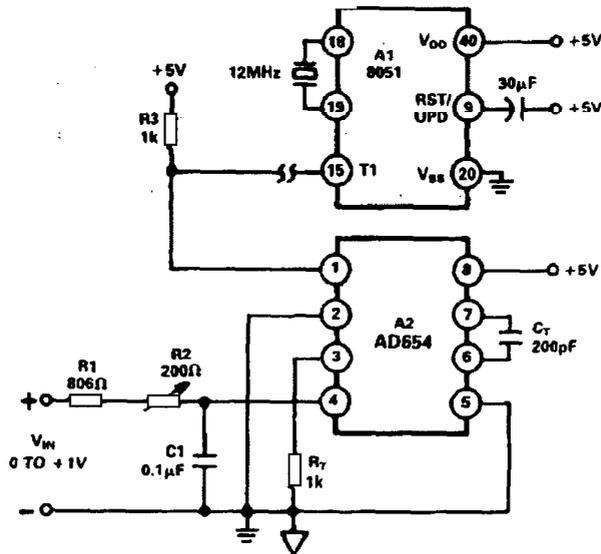


图 1 AD654 脉冲计数器

图 1 中,AD654 的模拟输入是一个 0 至 +1V 信号。所选定时电阻 R_T 和定时电容 C_T 使得引脚 4 上的此 0 至 +1V 信号产生 0 至 500 kHz 输出频率。上拉电阻 R3 确保 AD654 输出达到 8051 的 T1(引脚 15)所要求的逻辑电平。

8051 具有两个片内 16 位定时器/事件计数器(8052 和 8032 则有三个)。可以对这些计数器(定时器 0 和定时器 1)进行独立编程,以用作 16 位时间间隔或事件计数器。定时器 0 和定时器 1 的使用由两个 8 位寄存器 TMOD(定时器模式)和 TCON(定时器控制)决定。TMOD 寄存器如图 2 所示。

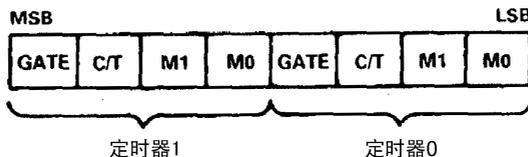


图 2 8051 TMOD 寄存器

M1 和 M0 用于选择各定时器的模式。模式 01 将定时器配置为 16 位时间间隔或事件计数器。C/T 为定时器或计数器选择器,清零则选择定时器工作方式。本应用中,定时器 0 配置为定时器(用来提供固定时间间隔),定时器 1 配置为计数器(用来计脉冲个数)。下文中,这两个定时器分别称为定时器 0 和计数器 1。运行时,定时器 0 以一定的速率递增,该速率等于外部时钟速率除以 12。如果使用 12 MHz 晶振,则定时器 0 每微秒加 1。GATE 为选通控制。如果此位清零,则只要 TCON 寄存器中的 TR_x 控制位置 1,就会使能定时器/计数器 X。 TR_x 位通过软件控制。如果 GATE 位置 1,则只要 TR_x 位置 1,并且 $\overline{INT_x}$ 引脚(引脚 12 或 13,分别针对定时器 0 或 1)上的信号电平为高,就会使能定时器/计数器 X。因此,当 GATE 位清零时,该定时器仅由软件控制;当 GATE 位置 1 时,该定时器由软件和硬件组合控制。本应用中,GATE 位清零;但在下一个应用中,GATE 位则是置 1。

表 1 所列软件程序 PLSECNT,用于计数 50 ms 内 T1(计数器 1 输入)上出现的下降沿数目。计数器 1 清零后,值 15539 载入定时器 0。由于定时器 0 为 16 位定时器,因此最大可能计数为 65535。在定时器 0 中断使能的情况下,计数 65536 将导致程序跳转至定时器 0 中断服务程序的起始地址(OBH)。定时器 0 从 15539 开始计数,每微秒加 1(基于 12 MHz 时钟),因此跳转至中断服务程序之前将有 49 997 次计数或 49.997 ms 时间。与 50 ms 相比,存在 3 μ s 时间差,它由中断响应的速度决定。使用 12 MHz 晶振时,中断响应延时范围是从 3 μ s 至 7 μ s。在这 50 ms 计数期间内,控制权归于主程序。因此,当计数器 1 计数 50 ms 时,8051 并未被占用。到达中断服务后,计数器 1 和定时器 0 停止,计数器 1 的内容移入 RAM,用户可以在方便的时候予以存取。然后,控制权回归于程序所隶属的主程序。当最大频率为 500 kHz 且计数窗口为 50 ms 时,计数器 1 的最大值为 25 000,这可以提供 14 位以上的分辨率。相对于此 1V 满量程参考点的比例计算可以在软件中执行。

表 1 8051 脉冲计数程序

	ORG	00H	
	AJMP	MAIN	
PLSECNT	ORG	60H	;脉冲计数器子程序
	MOV	TMOD, #51H	;将计数器 0 和计数器 1 置于模式 01
	MOV	TL1, #00H	;初始化计数器 1 寄存器
	MOV	TH1, #00H	
	MOV	TL0, #0B3H	;将 15536+3 载入定时器 0
	MOV	TH0, #3CH	;将在 50 ms+3 μ s 延迟后溢出
	SETB	PT0	;定时器 0 优先中断
	SETB	ET0	;使能定时器 0 中断
	SETB	EA	;使能全局中断
	SETB	TR0	;启动定时器
	SETB	TR1	;启动计数器
	RET		;返回主程序
	ORG	OBH	;定时器 0 中断子程序
	CLR	TR1	;停止计数器
	CLR	TR0	;停止定时器
	AJMP	COUNT	
	ORG	40H	
COUNT	MOV	50H, TL1	;将计数器内容移入 RAM
	MOV	51H, TH1	
	RETI		;从中断返回
	ORG	100H	
MAIN	—	—	;PLSECNT 子程序所隶属的主程序

周期计时

利用电压频率转换器(VFC)和微电脑执行模数转换的另一种方法是让微电脑确定 VFC 输出频率的周期。例如,25 kHz 输出频率的周期为 40 μ s。如果将一个每微秒加 1 的定时器选通此信号,则将产生总数为 40 的计数。250 Hz 输出频率的周期为 4 ms,选通此周期信号的同一定时器将产生总数为 4000 的计数。

与脉冲计数相比,周期计时的优势之一是计数窗口取决于 VFC 的输出频率;许多情况下,周期计时的计数窗口短于脉冲计数的计数窗口。这在转换多个通道的系统中尤为重要。在上面的脉冲计数器应用中,无论输出频率是 50 kHz 还是 50 Hz,计数窗口均为 50 ms。对于周期计时,计数窗口则为输出频率的倒数。因此,50 kHz 信号将具有 20 μ s 的计数窗口,50 Hz 信号则具有 20 ms 的计数窗口。事实上,只有当输出频率达到 20 Hz 时,周期计时的计数窗口才等于脉冲计数的计数窗口 50 ms。

图 3 显示利用 ADI 公司电压频率转换器 AD650,通过周期计时方式执行模数转换所需的电路。AD650 的最大满量程频率为 1 MHz,此频率时的最大非线性误差为 0.1%。图 3 中,AD650 按如下要求配置:0 至 +10V 输入产生 0 至 50 kHz 输出频率。AD650 的输出由脉冲组成,因此使用 SN7474 D 触发器将这些脉冲转换为一个方波。图 3 中草绘的 SN7474 引脚 3 和引脚 5 波形显示,引脚 5 上出现的高电平或低电平输出的宽度与 AD650 输出频率的一个周期相同。还应注意,当 SN7474 的引脚 1 保持低电平时,引脚 5 也保持低电平。

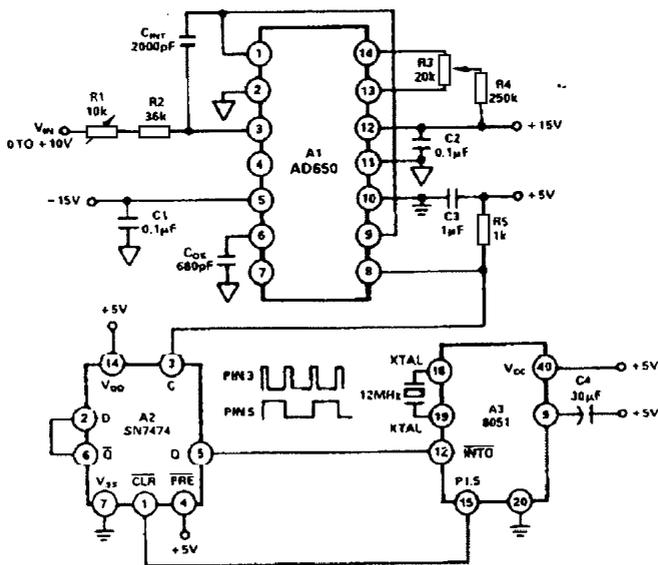


图 3 AD650 周期计时

如前所述,8051 的 $\overline{\text{INT0}}$ 引脚(引脚 12)是定时器 0 选通引脚。(参见脉冲计数器部分。)当 TMOD 寄存器中的 GATE 位置 1 时,只有当引脚 12 的 $\overline{\text{INT0}}$ 为高且 TCON 寄存器中的 TR0 已通过软件置 1 时,定时器 0 才会运行。因此,将 SN7474 的 Q 输出连到 8051 的 $\overline{\text{INT0}}$ 引脚可以确保定时器运行 AD650 频率的一个周期。

可能会发生这样一个问题,即软件在 $\overline{\text{INT0}}$ 引脚的一个高电平中间将 TR0 位置 1。此时,定时器 0 将只运行一个周期的一部分时间,而不是一个完整周期。将 8051 端口 1 位 5 (P1.5) 引脚连到 SN7474 $\overline{\text{CLR}}$ 引脚,可以防范这一问题。当 $\overline{\text{CLR}}$ 为低且 $\overline{\text{PRE}}$ 为高时, Q 为低。如果 $\overline{\text{CLR}}$ 和 $\overline{\text{PRE}}$ 均为高,则每当时钟 (C) 引脚上出现正边沿时, Q 就会改变状态。因此,将 P1.5 设为低,并通过软件将 TR0 置 1,然后将 P1.5 设为高,可以确保定时器 0 运行一个完整周期。

表 2 所示为软件子程序 PCNT,用于在 AD650 的一个输出频率周期内,使定时器 0 每微秒加 1。注意有两个中断服务程序,一个用于 $\overline{\text{INT0}}$,一个用于定时器 0。对 $\overline{\text{INT0}}$ 服务程序的访问发生在 $\overline{\text{INT0}}$ 引脚(引脚 12)上出现负边沿之后,表示一个周期已结束。然后定时器停止,

其内容载入 RAM。用户可以在方便的时候访问该内容。

表 2 周期计时程序

	ORG	00H	
	AJMP	MAIN	
PCNT	ORG	90H	; 周期计数器子程序
	MOV	TMOD, # 05H	; 将定时器 0 置于模式 1。使能 $\overline{\text{INTO}}$ 引脚
	CLR	P1. 5	; 将 $\overline{\text{INTO}}$ 引脚初始设置为低
	SETB	IT0	; 指定边沿触发中断
	MOV	TL0, # 00H	; 初始化定时器
	MOV	TH0, # 00H	
	SETB	EX0	; 使能 $\overline{\text{INTO}}$ 中断
	SETB	ET0	; 使能定时器 0 中断
	SETB	EA	; 使能所有中断
	SETB	TH0	; 启动定时器
	SETB	P1. 5	; 使能选通 $\overline{\text{INTO}}$ 引脚
	RET		; 返回主程序
	ORG	03H	; $\overline{\text{INTO}}$ 子程序服务程序
	CLR	TR0	; 停止定时器
	CLR	EA	; 禁用中断
	AJMP	COUNT	; 跳转至 Count
	ORG	0BH	; 定时器 0 子程序服务程序
	CLR	TR0	; 停止定时器
	CLR	EA	; 禁用中断
	AJMP	OFLW	; 跳转至 OFLW
	ORG	40H	
OFLW	MOV	60H, # FF	; 将溢出值载入 RAM
	MOV	61H, # FF	
	CLR	P1. 5	; 将 $\overline{\text{INTO}}$ 引脚设为低
	RETI		; 从子程序返回
	ORG	50H	
COUNT	MOV	60H. TH0	; 将计数器内容载入 RAM
	MOV	61H. TL0	
	CLR	P1. 5	; 将 $\overline{\text{INTO}}$ 引脚设为低
	RETI		; 从子程序返回
	ORG	100H	
MAIN	—	—	; 子程序所隶属的主程序

定时器 0 服务程序用来将计数窗口限制在约 65.5 ms。对此服务程序的访问发生在定时器 0 达到 65536 时, 即 AD650 输入电压约为 3.05 mV, 或输出频率约为 15.26 Hz 时。然后,

此服务程序将溢出值 65535 载入 RAM。完成两个中断子程序且初始化 PCNT 子程序之后,控制器回归子程序所隶属的主程序。因此,在周期计时期间,8051 并未被占用。

本应用的一个可能误差源是抖动,即输出频率周期的变化范围。周期的变化会导致从一个周期到下一个周期中计数的脉冲数不同。在软件中求取多个周期计数的平均值,并利用此平均值进行计算,可以大大降低这种误差的幅度。

完整的 16 位分辨率模数转换系统

一个完整的 16 位分辨率模数转换系统如图 4 所示,它使用 ADI 公司 AD651 作为其 VFC。AD651 是一款 2 MHz 满量程输出同步电压频率转换器,利用外部时钟产生满量程频率,而不是依赖无源元件的稳定性。因此,AD651 的线性和稳定性远远优于现有的其他单芯片 VFC。此系统的其他重要元件包括单芯片计数器-解码器-LED 驱动器 Intersil 7208、4 MHz TTL 振荡器和 2 个 4020B 二进制计数器。

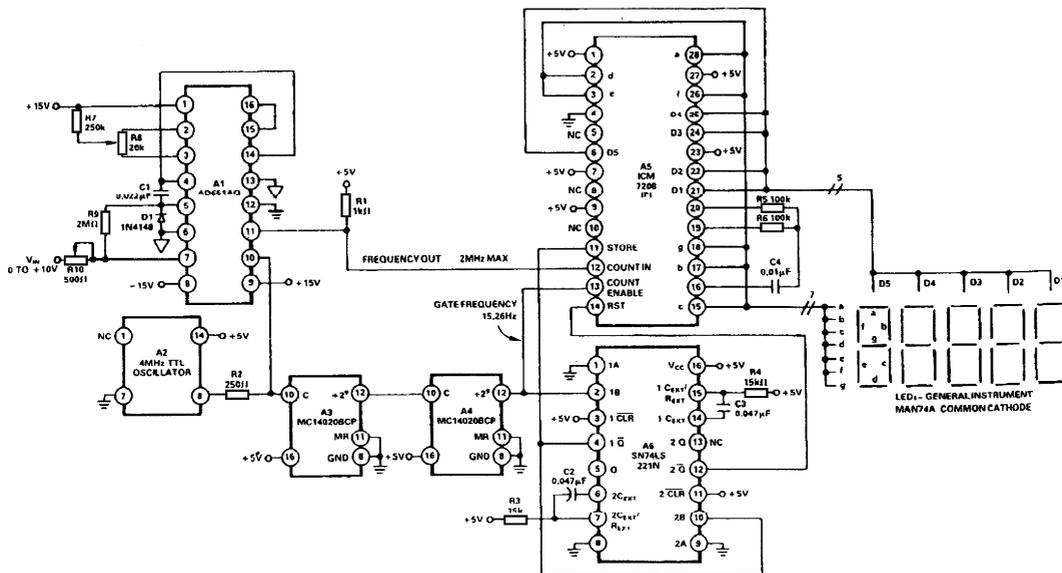


图 4 完整的 16 位模数转换系统

AD651 配置为 0 至 +10V 输入、2 MHz 输出模式。上拉电阻 R1 用来将 AD651 输出频率直接馈送至 7208 计数器-解码器-驱动器的计数器输入引脚。4020B 为 14 级二进制纹波计数器,具有时钟和主复位输入(引脚 10 和 11),第一级和后 11 级提供缓冲输出。4020B 用来产生 7208 所用的计数窗口。将 4 MHz TTL 时钟除以 2^{18} (由两个 2^9 分频级级联而成),得到一个

15.2588 Hz 信号。当引脚 13 为低时,7208 将计数 AD651 输出脉冲的负边沿。对于 15.2588 Hz 信号,计数窗口为 32.768 ms。

15.26 Hz 信号除了连到计数使能引脚之外,还连到双通道单稳态多谐振荡器 74LS221。

图 5 显示了单稳态 74LS221 的作用。7208 的计数窗口关闭后(即计数使能输入变高),必须锁存数据,然后进行解码,以便驱动 LED。锁存此数据后,为了在下一个计数窗口中获得准确计数,计数器必须清零。74LS221 的作用即是提供所需的 STORE 输入和 RESET 输入脉冲。虽然 7208 只需要大于 50 μs 的脉冲宽度,但所选 $R_3 \cdot C_2$ 和 $R_4 \cdot C_3$ 可提供大约 500 μs 的脉冲宽度。

7208 自动处理 LED 的解码和驱动,所需的其他元件只有电阻 R_5 、 R_6 和电容 C_4 。这些非关键无源元件控制 LED 的显示复用速率,其选择依据是制造商的指南,可提供 50 Hz 至 200 Hz 范围内的复用率。

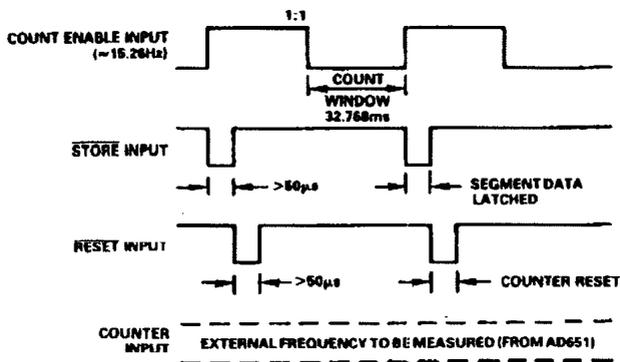


图 5 ICM7208 时序图

为实现最佳性能,固定选通时间间隔(或“计数窗口”)应利用 AD651 SVFC 时钟输入的倍数产生,本应用即是如此。以这种方式计数可消除由于时钟(抖动、时间或温度漂移等)引起的误差,因为测量的是时钟与输出频率的比值。

模数转换的分辨率当然是由时钟频率和选通时间决定。例如,如果需要 12 位分辨率,而时钟频率为 1 MHz(导致 AD651 FS 频率为 500 kHz),则选通时间为:

$$\left(\frac{\text{FS Freq}}{N}\right)^{-1} = \left(\frac{1 \text{ Clock Freq}}{2 N}\right)^{-1} = \left(\frac{1 \text{ MHz}}{2(4096)}\right)^{-1} = \frac{8192}{1 \times 10^6} \text{ sec} = 8.192 \text{ ms}$$

其中, N 是给定分辨率对应的总码数。

表 3 给出了各种分辨率时 AD651 时钟频率与选通时间之间的关系。本应用要求 16 位分辨率,使用 4 MHz 时钟,因此所需选通时间为 32.77 ms。

表 3 各种分辨率时 AD651 时钟频率与选通时间的关系

分辨率	N	时钟	转换或选通时间	典型线性度	备注
12 位	4 096	81.92 kHz	100 ms	0.002%	50 60 400HzNMR
12 位	4 096	2 MHz	4.096 ms	0.01%	
12 位	4 096	4 MHz	2.048 ms	0.02%	
4 位数	10 000	200 kHz	100 ms	0.002%	50 60 400 HzNMR
14 位	16 384	327.68 kHz	100 ms	0.002%	50 60 400HzNMR
14 位	16 384	1.966 MHz	16.66 ms	0.01%	60 HzNMR
14 位	16 384	1.638 MHz	20 ms	0.01%	50 HzNMR
4 1/2 Digits	20 000	400 kHz	100 ms	0.002%	50 60 400 HzNMR
16 位	65 536	655.36 kHz	200 ms	0.002%	50 60 400 HzNMR
16 位	65 536	4 MHz	32.77 ms	0.02%	

消除已知干扰信号

模数转换系统的误差源之一是干扰信号耦合至待转换的模拟信号中。例如,不需要的电力线能量耦合经常以正弦波形式出现在要转换的直流电平上,导致数字输出错误。这种干扰正弦波的频率是已知的(50 Hz 或 60 Hz),因此使选通时间等于该正弦波周期的倍数,就可以消除拾取所造成的误差。可以截取邻近变压器的干扰信号的复制品,将其馈入一个锁相环,如图 6 所示的框图。此环路提供两个输出信号:一个高频时钟(干扰信号的高次谐波)和一个选通时钟(干扰信号的低次谐波)。

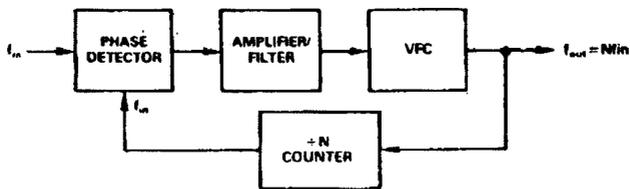


图 6 锁相环

利用 f_{OUT} 为 AD651 时钟源,并利用 N 分频计数器的 f_{IN} 为计数窗口源,可以实现 $1/2 N$ 分之一的分辨率,其中 N 为计数器的“ $\div N$ ”。如果计数窗口由电平触发,而不是由边沿触发(像 7208 一样),则分辨率为 $1/4 N$ 。

图 7 是图 6 的硬件实现图。图 7 中的 MC4044 内置框图所示的鉴相器和放大器/滤波器两个器件。干扰信号为 60 Hz, 被转换为 TTL 电平信号, 以馈入 MC4044。选择适当的元件 R1、R2 和 C1, 以便处理 50 Hz 或 60 Hz 干扰信号。来自 MC4044 的误差电压馈入 AD654, 后者配置为 0 至 +1V 输入、0 至 500 kHz 输出模式。由于双通道 4 位二进制计数器 74LS393 配置为提供 8192 的“÷N”, 因此 AD654 的输出频率为 491520 Hz, 此信号用作 AD651 的时钟。第二计数器的输出为 60 Hz, 不仅反馈至 MC4044, 而且用作频率计数器选通信号。

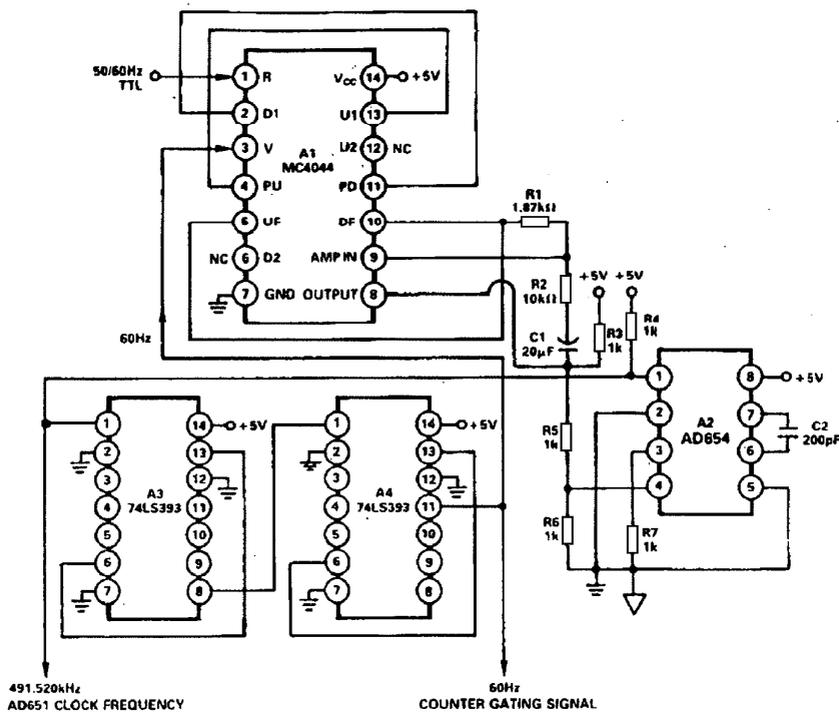


图 7 消除已知干扰信号

在此系统中, 利用 A4 的引脚 10、9 或 8 为频率计数器选通信号, 可以获得更高的分辨率。引脚 11 则必须反馈至 MC4044。从 A3 的引脚 1 到 A4 的引脚 11, $N=8192$ 或 2^{13} , 可提供 12 位分辨率。如果利用引脚 10、9 或 8 提供选通频率, 则分辨率分别为 13 位、14 位或 15 位。

基于 MC6801 - AD650 的模数转换

某些应用中, 可能需要利用不含片内定时器/计数器或没有可用片内定时器/计数器的微处理器执行模数转换。使用一些附加硬件, 仍然可以在一定的期间内计数 VFC 的输出脉冲,

并将结果存储在微处理器的 RAM 中,用户可以在方便的时候进行访问。

图 8 给出了利用 AD650 VFC 和 MC6801 微处理器执行模数转换所需的电路,其中假设片内计数器已为其他功能所专用。MC6801 是一款 8 位单芯片微电脑,具有 2048 字节 ROM、128 字节 RAM、一个串行通信接口和一个三功能可编程定时器。AD650 VFC 配置为 0 至 +10 V 输入、0 至 1 MHz 输出模式。

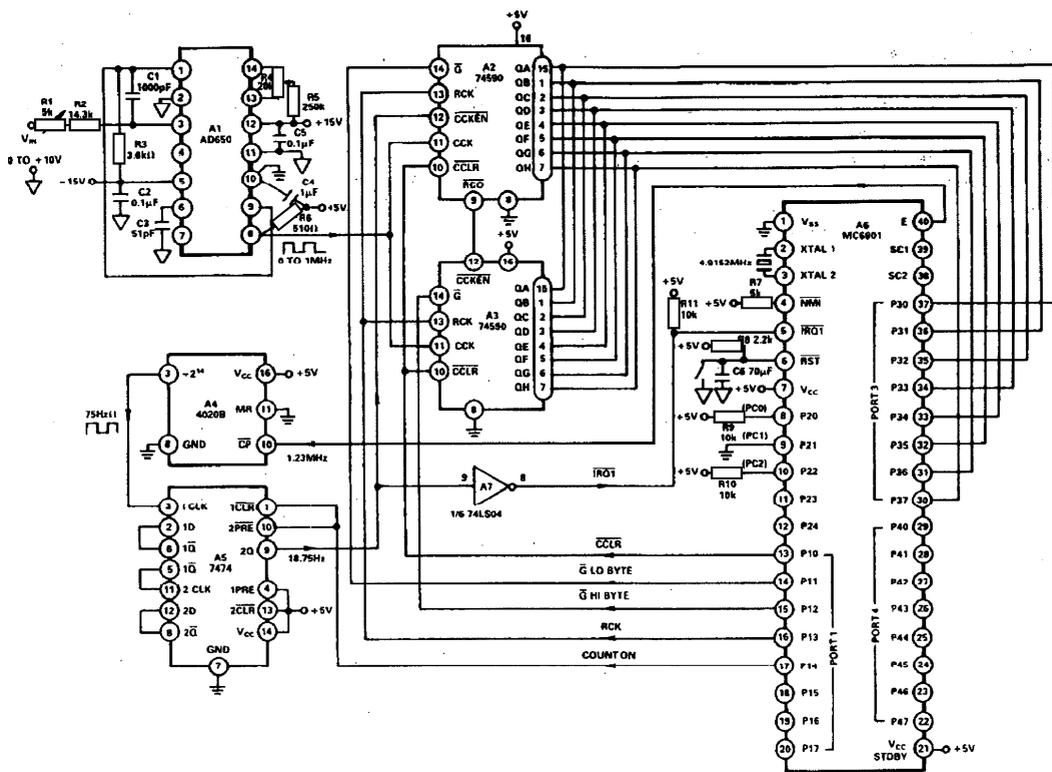


图 8 AD650 - MC6801 模数转换系统

计数 AD650 输出脉冲所需的附加硬件包括:两个带输出寄存器的 8 位二进制计数器 74590,一个 14 级二进制计数器 4020B,一个带预设和清零功能的双通道 D 触发器 7474,以及一个 16 进制反相器 74LS04。

4020B 和 7474 提供定时信号,告知计数器何时开始和停止计数。4020 B 的输入端连到 MC6801 的 E 引脚(引脚 40)。E 引脚上的信号为 MC6801 外部晶振频率除以 4,本例中为 1.2288 MHz。4020B 将 1.2288 MHz 信号除以 2^{14} ,得到一个 75 Hz 信号,馈送至 7474 的引脚 3。7474 进一步将此信号除以 4,得到一个 18.75 Hz 信号。根据引脚 1 和 10 的信号电平,此信号可能会出现在引脚 9 上。如果引脚 1 和 10 为低电平,引脚 9 将保持 TTL 高电平。如果

引脚 1 和 10 为高电平,18.75 Hz 方波将出现在引脚 9 上。当引脚 9 为高电平时,74590 计数器禁用,不会执行计数。如果引脚 9 的输出为方波,计数器将在周期的低电平期间使能,并计数 26.67 ms。请注意,计数器使能与否由端口 1 的位 4 (P14)控制。如果该位为低,则不会发生计数。还应注意,引脚 9 通过一个反相器连到 MC6801 的外部中断请求($\overline{\text{IRQ1}}$)引脚。当引脚 9 从低电平变为高电平时,将产生两个结果。第一个结果是禁用计数器,因为 A2 的 $\overline{\text{CCKEN}}$ 与引脚 9 相连。第二个结果是低电平至高电平转换反向,在 $\overline{\text{IRQ1}}$ 线上产生中断请求。然后,MC6801 清除 P14,防止在 74590 计数器值被读取之前再次发生计数。

所有计数事件都由端口 1 不同位的信号电平控制。将不同的值写入端口 1,可以清零、使能、禁用、锁存或读取 74590 计数器。控制这些功能的值如表 4 所示。

表 4 端口 1 事件控制值

事件	P4	P3	P2	P1	P0	Hex
计数器清零	0	0	1	1	0	06
使能计数器	1	0	1	1	1	17
禁用计数器	0	0	1	1	1	07
锁存数据	0	1	1	1	1	0F
输出高字节	0	1	1	0	1	0D
输出低字节	0	1	0	1	1	0B

表 5 给出了控制 AD650 脉冲计数过程的软件程序。此程序设置堆栈指针,禁用中断,清零 74590 计数器,经过一定延迟时间后使能中断(这将在稍后讨论)。SN7474 引脚 9 的低电平至高电平转换触发中断请求之后,程序计数器跳转至中断程序。此程序禁用所有后续中断,关闭 74590 计数器,并且读取低字节和高字节。然后,堆栈条件代码寄存器的中断位置 1,程序计数器从中断程序返回。

表 5 MC6801 脉冲计数程序

			ORG	0100	计数程序
0E	ooco	BEGIN	LDS	# \$CO	设置堆栈指针
0F			SEI		禁用中断
86	06		LDAA	# \$06	计数器清零
97	02		STAA	\$02	
86	17		LDAA	# \$17	打开计数器
97	02		STAA	\$02	
86	2F		LDAA	# \$2F	插入 13.33 ms 以上延迟
C6	7F	AGN	LDBB	# \$7F	以防中断错误
5A		CNT	DECB		
2E	FD		BGT	CNT	

4A			DECA		
2E	FD		BGT	AGN	
0E			CL1		允许中断
39			RTS		从子程序返回
			ORG	FFF8	
0080			AIRQ1	FDB	LDCNT
					定义中断程序 起始点
			ORG	0080	中断程序
0F		LDCNT	SEI		禁用中断
86	07		LDAA	# \$ 07	关闭计数器
97	02		STAA	\$ 02	
86	0F		LDAA	# \$ 0F	锁存计数器中的数据
97	02		STAA	\$ 02	
66	0D		LDAA	# \$ 0D	输出计数器低字节
97	02		STAA	\$ 02	
90	06		LDAA	\$ 06	从端口 3 读取字节
97	A7		STAA	\$ A7	存储于位置 00A7
B6	0B		LDAA	# \$ 0B	输出计数器高字节
97	02		STAA	\$ 02	
96	06		LDAA	\$ 06	从端口 3 读取字节
97	A6		STAA	\$ A6	存储于位置 00A6
85	07		LDAA	# \$ 07	关闭计数器
97	02		STAA	\$ 02	
86	10		LDAA	# \$ 10	堆栈条件代码寄存器
9A	BA		ORAA	\$ BA	的中断位置 1
97	BA		STAA	\$ BA	
3B			RTI		从中断返回

软件程序中有两个地方需要细加讨论:使能 MC6801 中断之前的时间延迟和堆栈条件代码寄存器的中断位置 1。

图 9 显示了将引脚 1 和 10 设为高电平以指示 74590 计数器开始计数时出现的波形。

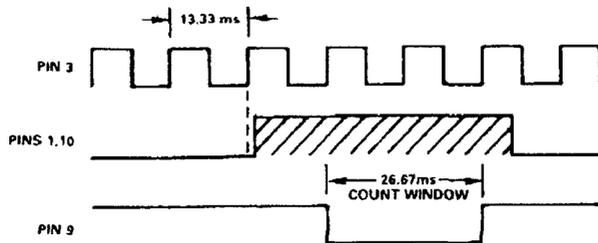


图 9 SN7474 波形

如前所述,当引脚 1 和 10 为高电平时,引脚 9 只会输出一个 18.75 Hz 方波。引脚 1 和 10 变为高电平后,引脚 9 不会改变状态,直到引脚 3 上再次出现正边沿。图 9 显示了将会发生的最差情况:引脚 3 上出现趋正边沿后仅几纳秒,引脚 1 和 10 就变为高电平。引脚 13.33 ms。另外,引脚 9 通过反相器馈至 $\overline{\text{IRFQ1}}$ 引脚,从而在 13.33 ms 等待状态期间将信号电平设为低。 $\overline{\text{IRFQ1}}$ 对电平敏感,因此等待状态期间的中断将导致程序跳转至中断程序,而此时 26.67 ms 计数窗口尚未开启。在允许中断之前插入 13.33 ms 以上的延迟,就可以在计数窗口期间使能中断(当引脚 9 为低电平时,这样 $\overline{\text{IRFQ1}}$ 引脚为高电平),从而确保中断程序是在 26.67 ms 计数窗口关闭之后进行访问。

堆栈条件代码寄存器的中断位置 1 也很重要。软件执行 CLI 指令后,条件代码寄存器(CCR)的位 4 清零,这将使能 $\overline{\text{IRQ1}}$ 中断。一旦检测到中断请求($\overline{\text{IRQ1}}$ 引脚为低电平),就会将 CCR 以其当前状态压入堆栈,最后一个字节为 CCR。堆栈指针设在位置 00C0,因此 CCR 的位置在其下 7 个字节,或位置 00BA。用 10H 与位置 00BA 的内容求“或”将禁用中断,从而防止程序计数器在刚刚跳出来之后又跳转至中断程序,即使检测到 $\overline{\text{IRQ1}}$ 引脚为低电平。如果该位未置 1,则程序计数器跳出中断程序,看到中断使能位清零,并且 $\overline{\text{IRQ1}}$ 引脚为低电平之后,将会再次跳回中断程序。

AN-282 应用笔记

采样数据系统基本原理

典型 DSP 采样数据系统

典型采样数据 DSP 系统框图如图 1 所示。在实际执行模数转换之前,模拟信号通常会通过某种信号调理电路,执行放大、衰减或滤波等功能。如果模拟信号的来源是温度、压力、流速或力,则需要使用适当的传感器,首先将物理量转化为电压或电流。

实际的模数转换过程涉及到两个关键概念:离散时间采样和量化所致有限振幅分辨率。了解这些概念对于 DSP 应用至关重要。

17

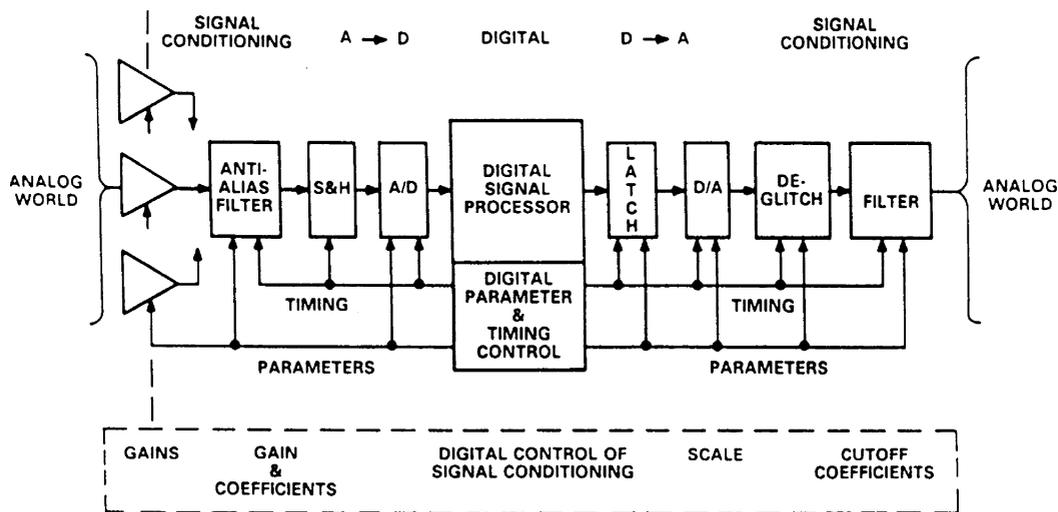


图 1 采样数据系统的主要元件

模拟信号的离散时间采样

模拟信号的离散时间和振幅采样的概念如图 2 所示。连续模拟数据必须以离散的时间间隔 t_s 采样, 该时间间隔必须精心选择, 确保采样数据能精确描述原始模拟信号。很显然, 采样越多(采样速率越快), 模拟信号的数字表示就越精确。如果采样较少(采样速率较慢), 则少到某一点时, 模拟信号的关键信息将因得不到采样而丢失。这使我们可以得出关于奈奎斯特准则的陈述, 如图 3 所示。

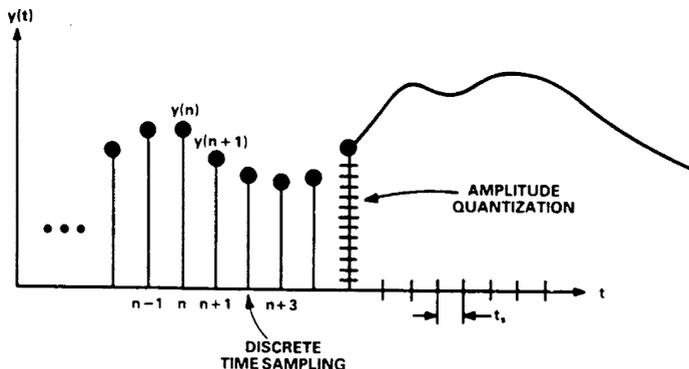


图 2 模拟信号的离散采样

- 为避免信息丢失, 带宽为 f_a 的模拟信号必须以 $f_s > 2f_a$ 的采样速率进行采样。
- 若 $f_s < 2f_a$, 则模拟信号带宽中将发生混叠现象。

图 3 奈奎斯特准则

为了理解混叠对时域和频域的影响, 首先请考虑图 4 所示的一个采样正弦波信号的时域表示的四种情况。第 1 种情况中的采样数量显然是充足的, 可以保留该正弦波的信息。第 2 种情况中, 每个周期只采集了 4 个样本, 仍然足以保留该正弦波的信息。第 3 种情况表示 $f_s = 2f_a$ 这种模糊的极限条件。如果采样点与正弦波之间的关系协调不当, 导致刚好在零交越处对正弦波进行采样(而不是图中所示的峰值处), 则会丢失关于该正弦波的所有信息。第 4 种情况表示 $f_s < 2f_a$ 这种情况, 从样本获得的信息显示正弦波的频率低于 $f_s/2$, 即带外信号混叠到 DC 与 $f_s/2$ 之间的奈奎斯特带宽中。随着采样速率进一步降低, 并且模拟输入频率 f_a 趋近于采样频率 f_s , 混叠信号在频谱中将趋近于 DC。

上述情况的对应频域表示如图 5 所示。请注意, 以采样速率 f_s 对模拟信号 f_a 进行采样

时,实际上会产生两种混叠频率成分: $f_s + f_a$ 和 $f_s - f_a$ 。上混叠($f_s + f_a$)很少构成问题,因为它位于奈奎斯特带宽之外。下混叠成分($f_s - f_a$)则不然,当输入信号超过奈奎斯特带宽 $f_s/2$ 时,它就会引发问题。

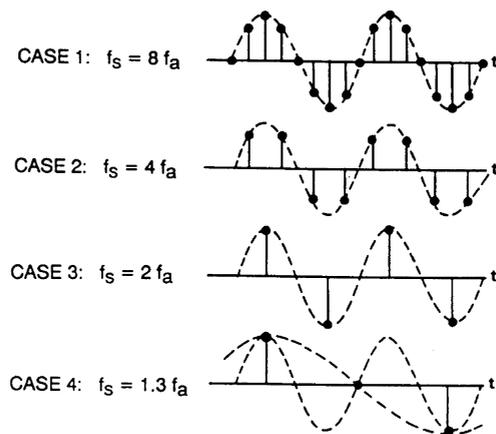


图 4 混叠的时域效应

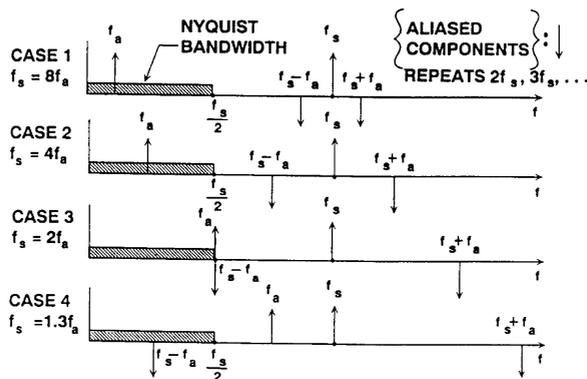


图 5 混叠的频域效应

由以上的讨论可知,ADC 之前必须放置抗混叠滤波器,它在 $f_s/2$ 及以上频率必须有足够的阻带衰减,以防止不需要的带内混叠。混叠也可能源自不在奈奎斯特带宽范围之内的基本信号的谐波,或者源自 ADC 输入端的未滤波宽带噪声。

混叠对采样数据系统动态范围的影响如图 6 所示。上图显示奈奎斯特频率点的所需状态,其中混叠成分与输入信号相交于所需动态范围以下的一点。下图显示较高频率动态范围受到混叠成分限制的状况。这种状况将导致较高频率时的整体信噪比降低,而且混叠带外信号音或谐波可能会引起失真,如图 7 所示。

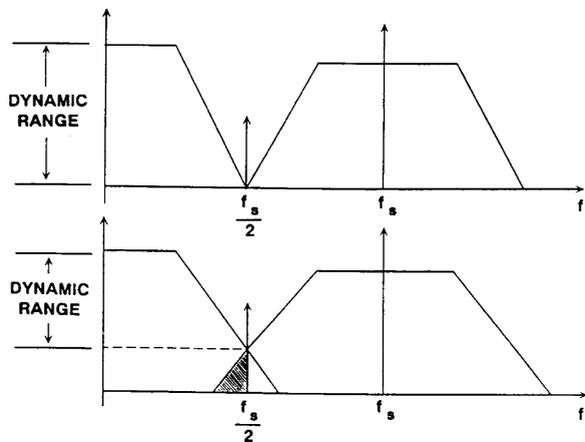


图 6 混叠对动态范围的频域效应

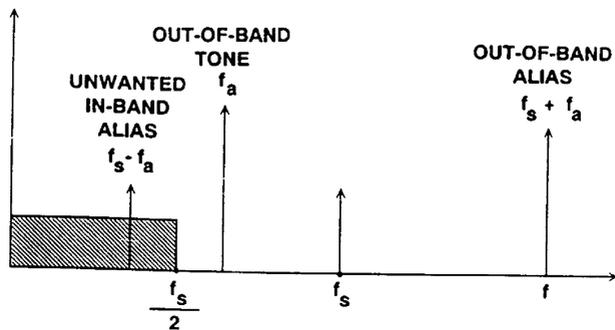


图 7 混叠引起的干扰信号音

抗混叠滤波器的选择

现在我们应该清楚,对于给定模拟输入带宽 f_a ,抗混叠滤波器的要求不仅与采样速率 f_s 相关,而且与所需的系统动态范围相关。所谓动态范围,简言之是指预期最大信号与必须解析的最小信号的比值,通常用 dB 表示。我们当前关心的是混叠对动态范围的限制。ADC 量化噪声及其他非线性因素的限制效应将在稍后讨论。图 8 的经验法则对于滤波器的选择可能过于严格,但其原理是有效的,并且可调整以适合实际的系统要求。

首先,设置抗混叠滤波器的转折频率等于所需的模拟输入带宽 f_a ,这就定义了滤波器的通带 $f_{\text{pass}} = f_a$ 。定义滤波器阻带的起始频率 $f_{\text{stop}} = f_s/2$ 。令滤波器阻带衰减等于所需的较高频率

动态范围 DR, 用 dB 表示。这些参数定义滤波器的过渡带特征, 即它必须在 $\log_2(f_{\text{stop}}/f_{\text{pass}})$ 倍频程上实现与动态范围相等的阻带衰减。然后便可确定为实现该过渡带斜率所需的滤波器近似阶数 M (极点数), 因为滤波器滚降约为每倍频程 6M dB。图 9 显示了一个简单的计算示例, 其中信号带宽 f_a 为 3 kHz, 采样速率 f_s 为 12 kHz, 要求 60 dB 的动态范围。计算表明, 需要一个 10 极点滤波器。请注意, 在实践中, 设计 8 极点以上的模拟滤波器非常困难, 设计 12 极点以上的滤波器则几乎不可能成功, 除非是经验丰富的滤波器设计人员。到目前为止, 尚未考虑滤波器的相位特征以及带内和带外纹波要求。如果加上这些参数, 抗混叠滤波器的设计工作将令人望而生畏。

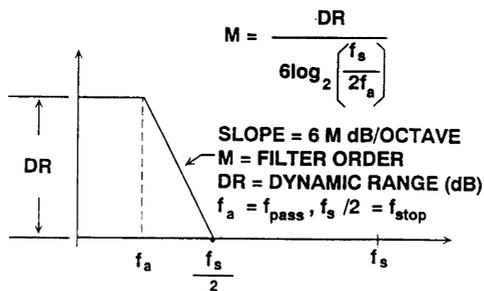


图 8 抗混叠滤波器的要求

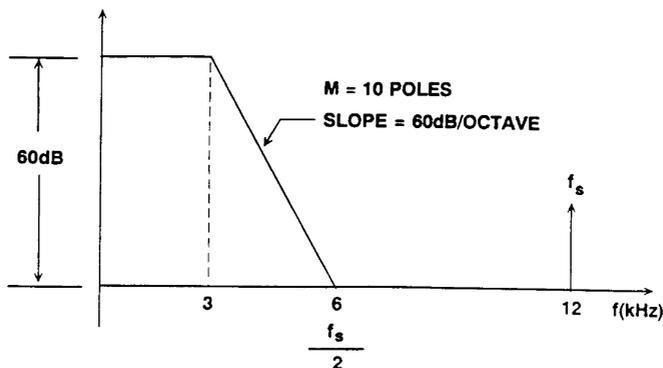


图 9 抗混叠滤波器示例

上述用于确定抗混叠滤波器复杂度的经验法则假设满量程信号可以出现在奈奎斯特频率以上的所有输入频率。实际情况通常并非如此, 而且在输入频率较高时, 所处理的信号会有一些自然衰减。例如, 在上例中, 如果奈奎斯特频率及以上频率的信号已经衰减了 12 dB, 则在 6 kHz 的奈奎斯特频率时仅需要 48 dB 的滤波器阻带衰减。这说明, 仅需要一个 8 极点滤波器。图 10 显示了这一情况。

由以上讨论可知, 通过提高采样速率(称为“过采样”), 可以降低对抗混叠滤波器的要求。

在后面的研讨会中我们将看到,有一类特殊的 ADC 和 DAC,称为 $\Sigma-\Delta$ 型转换器,它们本身就是过采样转换器,可以极大地降低抗混叠滤波器的复杂度。

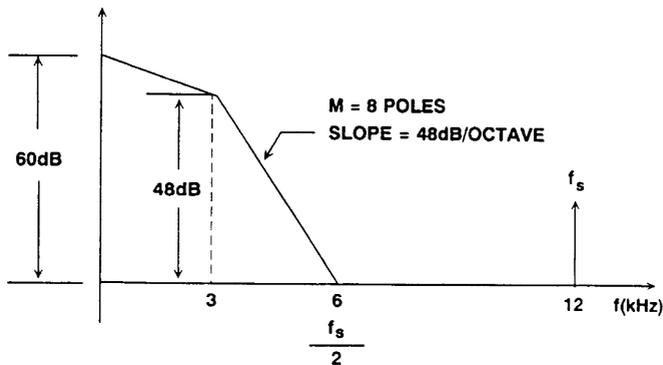


图 10 带外衰减对抗混叠滤波器的影响

过采样与抽取

正如前面所讨论的,对输入信号进行过采样的主要好处是可以简化抗混叠滤波器的要求。当然,过采样也有不利的一面,即它会提高 ADC 输出数据速率,DSP 必须能够跟上该速率,以维持实时操作。如果数据须以串行形式传输,则它将占用更多频谱资源。一种有吸引力的替代方案是同时运用模拟滤波和数字滤波技术、过采样以及一种称为“抽取”的处理过程。图 11 所示为传统情形,其中所有抗混叠工作都由 ADC 之前的模拟输入滤波器承担。图 12 则不同,过采样比 K (K 为整数)将奈奎斯特频率提高至 $Kf_s/2$,从而可降低输入模拟滤波器的滚降要求。ADC 之后的数字滤波器(第 7 节将详细讨论数字滤波)根据 f_s 实行抗混叠功能,并且在 $f_s/2$ 时有足够的阻带衰减,可以实现所需的动态范围。在后面的研讨会中我们将了解到,具有锐截止特征和良好相位响应的数字滤波器远比相应的模拟滤波器容易实现(假设 DSP 速度足够快)。有限脉冲响应(FIR)滤波器可以设计成具有线性相位特征。由于数字抗混叠滤波器已将带宽降至 $f_s/2$,因此数字滤波器提供的数据实际上含有冗余信息,没有必要查看每个样本。事实上,每 K 个样本只需要查看一个样本。这一过程称为“抽取”,将在关于 $\Sigma-\Delta$ 型转换器的研讨会部分(第 6 节)中予以详细讨论。此外,实际的抽取工作可以由 FIR 滤波器本身通过计算每 K 个输入样本的一个输出本来执行。这种过采样与抽取原理是实际 DSP 的最重要原理之一。

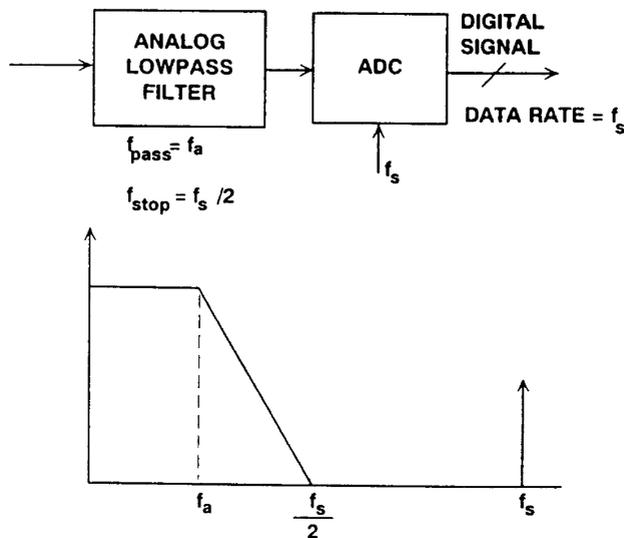


图 11 采用模拟低通滤波器进行奈奎斯特采样

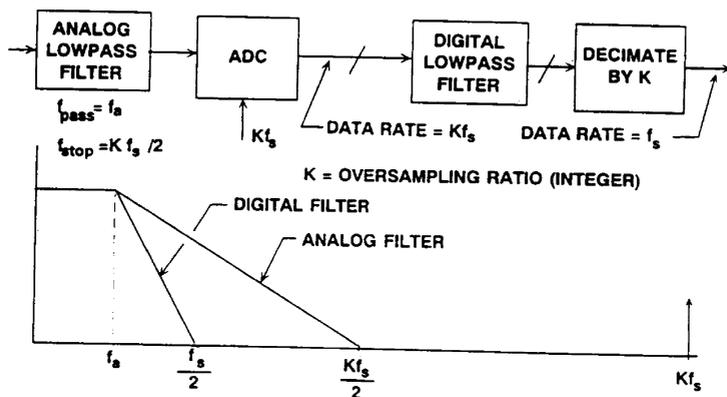


图 12 采用模拟和数字滤波进行过采样

欠采样及其应用

在本节中我们将了解到,有些 DSP 应用完全可以接受混叠,并能有效地加以利用。当由 ADC 进行数字化处理的模拟信号超过 $f_s/2$ 时,这种状况常被称为“超奈奎斯特频率”或“欠采样”。奈奎斯特准则表明,为保留信息,进行数字化处理的信号的带宽(非实际频率)不应超过

$f_s/2$ 。举例来说,考虑一种电信传输多路复用器应用,其中频分多路复用(FDM)数据占用 60 kHz 至 108 kHz 的带宽,以 112 kHz 的频率对其进行采样。图 13 显示了该信号的频谱以及混叠成分的位置。在系统的接收端,重构 DAC 之后的滤波器为带通滤波器,而不是低通滤波器,必须滤除 4 kHz 至 52 kHz 范围以内的混叠成分,以及位于采样频率 112 kHz 的成分。

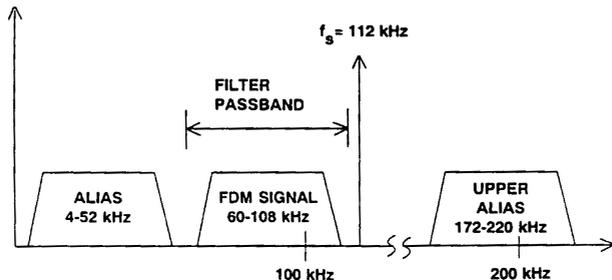


图 13 FDM 信号的超奈奎斯特频率采样

超奈奎斯特频率操作的另一种应用中频信号至基带的直接转换。在采用 ADC 和 DSP 的大多数传统通信和雷达接收机所用的系统中,来自接收机前端的中频(IF)信号由混频器和低通滤波器下变频或解调为基带信号,如图 14 所示。最终中频级使用一个与信号载波频率相位一致的本振。混频器输出中包含一个基带信号,它与两路输入之间的相位差成比例。混频器之后是低通滤波器、放大器和 ADC。典型混频器的转换损耗在 4 dB 至 6 dB 之间。当信噪比受限于前端时,去除混频器将可以改善接收机的整体噪声系数。

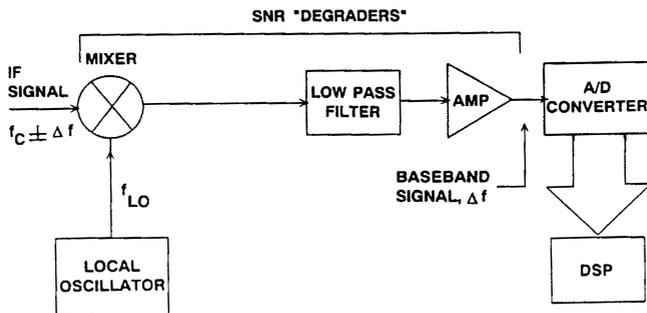


图 14 模拟下变频或解调

如果以与本振频率相等的速率对中频信号进行采样,则可以去除混频器(如图 15 所示)。现在,ADC 起到解调器的作用。如果 ADC 的采样频率与模拟信号的频率相同,数字化输出将为一个 DC 值。模拟信号与采样频率的任何偏差看起来都像是拍频 Df ,由此便可完成解调过程。

来自 ADC 的数据必须由 DSP 使用 FFT 处理,计算数字化信号的实部和虚部。为了保留解调信号中包含的相位信息,这种处理是必要的。

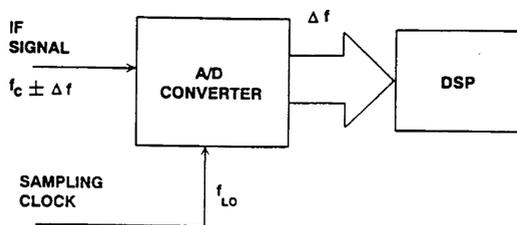


图 15 直接中频转数字下变频或解调

显而易见,当 ADC 在超奈奎斯特频率环境中工作时,必须知道转换器针对奈奎斯特频率以上的输入频率的动态性能。输入频率较高时,ADC 的信噪比和谐波失真性能通常会降低,因此针对所需输入频率的交流性能必须足以满足系统需求。超奈奎斯特频率操作通常要求对高频输入信号更为鲁棒的 ADC,而不是只能用于低于奈奎斯特频率的应用的 ADC。

量化所致有限振幅分辨率的影响

采样数据系统需要考虑的第二种主要影响是模数或数模转换过程导致的有限振幅分辨率的影响。讨论中,我们将称 ADC(或 DAC)的位数为转换器的分辨率 N 。对于 ADC,输入范围分为 2^N 个离散级,各级由一个 N 位二进制字表示。对于 DAC,输入由 N 位二进制字组成,输出有 2^N 个可能的离散级。图 16 显示位数 N 、对应的级数 2^N 以及最低有效位(LSB)的权重,权重用两种方式表示:一为百分比,一为用 dB [$20 \log_{10}(2^N)$]或 $6.02N$ dB 表示的比率。此比值(表示为百分比或 dB)代表转换器的动态范围,即最大可解析信号与最小可解析信号的比值。这里必须指出,图 16 中的动态范围值表示理想 ADC 和 DAC 的动态范围值,而没有考虑谐波和交调失真等交流性能限制。这些值也不代表信号与量化噪声的理论比值。有关这些话题,我们将在稍后再作讨论。

位数 N	级数 2^N	%, $100/2^N$	dB, $6N$
8	256	0.4	48
10	1024	0.1	60
12	4096	0.025	72
14	16384	0.006	84
16	65536	0.0015	96
18	262144	0.0004	108
20	1048576	0.0001	120
22	4194304	0.000025	132
24	16777216	0.000006	144

图 16 ADC 和 DAC 的分辨率及动态范围

量化理论、信噪比及有效位

ADC 和 DAC 的有限分辨率导致信噪比(SNR)有一个理论限值,它是位数 N 的函数。为了进行有意义的测量,用稍低于转换器限幅范围的满量程正弦波输入激励 ADC。这会导致样本与样本间的误差,从而产生量化噪声。这可以用数学方法说明:在奈奎斯特带宽范围内测得的量化所致均方根噪声电压可以用我们熟悉的公式 $q/\sqrt{12}$ 表示,其中 q 为转换器最低有效位(LSB)的权重。LSB 的值 q 的计算方法是将 ADC 或 DAC 的满量程范围除以 2^N 。在没有误差源的理想转换器中,理论上的均方根量化噪声电压也与输入信号振幅和频率无关。关于这一简单公式的推导过程,请参考以下文献:

W. R. Bennett, Spectra of Quantized Signals, BSTJ 27, pp. 446-472, July 1948

对于满量程正弦波输入,可以进一步得知,理论上的均方根信号与量化噪声比的计算公式为:

$$\text{SNR} = 6.02 N + 1.76 \text{ dB.}$$

图 17 为量比噪声基本知识。

- 奈奎斯特带宽 $f_s/2$ 范围内的均方根量化噪声:

$$q/\sqrt{12}$$

- 奈奎斯特带宽范围内的满量程正弦波均方根信号与均方根噪声比:

$$\text{SNR} = 6.02 N + 1.76 \text{ dB}$$

- 有效位数(ENOB):

$$\text{ENOB} = \frac{\text{SNR}_{\text{ACTUAL}} - 1.76 \text{ dB}}{6.02}$$

图 17 量化噪声基本知识

应注意,均方根量化噪声一般近似等于奈奎斯特带宽范围内的宽带噪声。但是,这一规则在某些条件下不成立。如果量化误差信号与进行数字化处理的信号之间存在相关关系,则量化噪声可能集中在输入信号的谐波上,而不是均匀分散于整个带宽范围内。当输入信号为正弦波且为采样频率的分频谐波时,极有可能发生上述情况。

测试 ADC 时,通常将一个纯正弦波信号施加于 ADC 的输入端,并利用 DSP 技术计算 SNR,如图 18 所示。快速傅里叶变换(FFT)处理有限数量的时间样本,并将其转换到频谱中,例如图 19 针对 12 位 200 kSPS 采样 ADC AD678 所示的频谱。然后,用频谱计算 SNR 和基本输入信号的谐波,这与模拟频谱分析仪非常相似。首先计算信号的均方根值,然后计算奈奎斯特带宽范围内所有其他频率成分(这不仅包含噪声,而且包含失真产物)的均方根值。这两

个量的比值用 dB 表示即为信噪比(SNR)。ADC 的各种噪声源,包括积分和微分非线性、失码以及 ADC 内部噪声源,导致测得的 SNR 低于理论值 $6.02 N + 1.67$ dB。此外,这些误差通常是输入压摆率的函数,因此会随着输入频率的提高而增大。计算噪声的均方根值时,习惯上要包括基本信号的谐波。有时候将这一参数称为信号与噪声加失真比 $S/(N+D)$,但通常是简单地称为信噪比 SNR。采样 ADC(12 位、200 kSPS)AD678 的 $S/(N+D)$ 的典型曲线如图 20 所示。

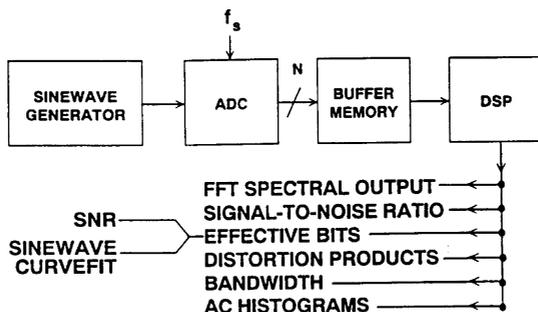


图 18 ADC 动态测试

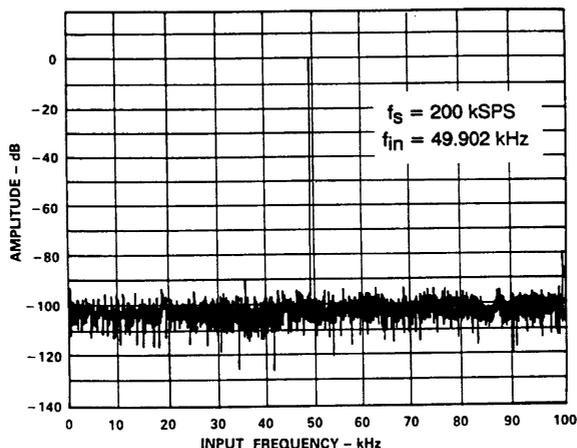


图 19 12 位、200 kSPS ADC AD678 的 2048 点 FFT 输出

解释 SNR 的另一种方法是使用有效位数或 ENOB。有效位计算方法是利用测得的 SNR 值,求解 SNR 公式中的 N (参见图 17)。例如,理想的 12 位 ADC 具有 74 dB 的理论 SNR 值,对应于 12 个有效位。如果测得的 SNR 为 68 dB,则它对应于 11 个有效位。这说明,实际的 12 位 ADC 的性能与理想的 11 位 ADC 的性能相当。图 20 也在 SNR 曲线上显示了 AD678 的 ENOB 性能。请注意,在低频时,AD678 的有效位数超过 11.4。

也可以利用正弦波曲线拟合方法计算有效位数。采用这种方法时,需将一个正弦波施加于 ADC,并采集若干样本。

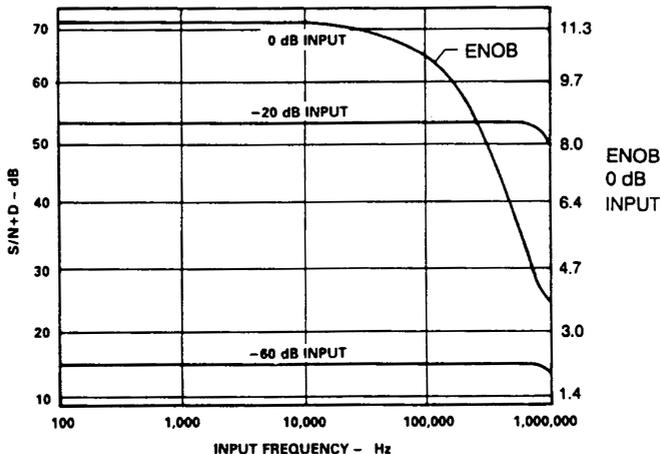


图 20 12 位、200 kSPS ADC AD678 的 $S/(N+D)$ 和有效位数

这种方法不是对时间样本执行 FFT,而是计算数据点的最佳拟合正弦波。选择正弦波振幅、偏移、频率和相位的原则是要使实际正弦波数据点与理论正弦波之间的均方根误差最小。同样,理想 ADC 的理论均方根误差为 $q/\sqrt{12}$ 。利用图 21 所示公式,计算实际正弦波与理论正弦波之间的均方根误差以及有效位数。使用正弦波曲线拟合方法测得的 ENOB 与使用 SNR 技术获得的 ENOB 之间具有良好的相关性。如果 SNR 计算所用的信号小于满量程,则为使这两种方法相关,必须增加一个校正系数,如图 21 所示。

- Q_A = 由拟合正弦波得到的实际均方根误差
- Q_T = 由最佳拟合正弦波得到的理论 N 位均方根误差 = $q/\sqrt{12}$
- $ENOB = N \cdot \log_2 \left[\frac{Q_A}{Q_T} \right]$ 与 SNR 相关;
- $SNR = \frac{SNR_{实际} - 1.76DB + \text{低于满量程的信号水平}}{6.02}$

图 21 使用正弦波曲线拟合方法计算 ENOB

根据信号动态范围选择 ADC 分辨率

针对给定应用选择适当的 ADC 远不止是牵涉到确定所需位数和采样速率,还必须根据

所处理的模拟信号考察 ADC 的直流和交流特性,找到适当的匹配。显然,这一过程不可避免地会涉及性能与成本的权衡。

图 22 显示了许多适合 DSP 处理的应用,并给出了对应信号的近似带宽和动态范围。动态范围实际上有两方面:直流和交流。直流动态范围对应于图 22 中提供的值(忽略 ADC 静态误差)。交流动态范围则与 ADC 的谐波失真性能相关。例如,在数字频谱分析应用中,满量程正弦波输入信号的谐波会限制系统在大信号存在的情况下解析小信号的能力。交流线性通常用谐波失真或总谐波失真(THD)表示。对于实际的 ADC,位数可能并不能很好地指示转换器的谐波失真性能。交流动态范围低于 SNR 公式所预测的动态范围 $6.02N + 1.76$ dB。由于这些原因,数据手册必须包含直流和交流特性,以使用户根据应用做出明智的选择。

应用	信号带宽	动态范围	ADC 位数
地震学	10 Hz	146 dB	24
数字音频	20 kHz	100 dB	18
回波消除	4 kHz	84 dB	14
语音处理	4 kHz	74 dB	12
V. 32 调制解调器	4 kHz	74dB	14
超声	15 MHz	60 dB	10
雷达	5 MHz	74 dB	12
宽带接收机	5 MHz	86 dB	14

图 22 DSP 应用和动态范围要求

ADC 静态传递特性

描述 ADC 静态性能的基本特性如图 23 所示。

- 微分非线性(DNL)
- 积分非线性(INL)
- 失码
- 增益误差
- 偏移误差

图 23 ADC 静态特性

在一个 3 位 ADC 的理想传递函数中(图 24),模拟输入信号位于水平轴,数字输出位于垂直轴。ADC 的数字输出在一定的输入信号范围内有效。对于给定输出码,输入的量称为码的宽度。理想宽度为 1 LSB(最低有效位),但实际上,每个码的宽度均与其相邻码不同。码宽度

与理想的 1 LSB 值的偏差称为微分非线性或 DNL。一个具有多种不同误差的 3 位 ADC 的传递函数如图 25 所示。请注意,码 100 因为相邻码的 DNL 误差较大而丢失。在闭环系统中,失码可能会产生振荡和摆动,因此该参数对于这种应用中的 ADC 选择非常重要。

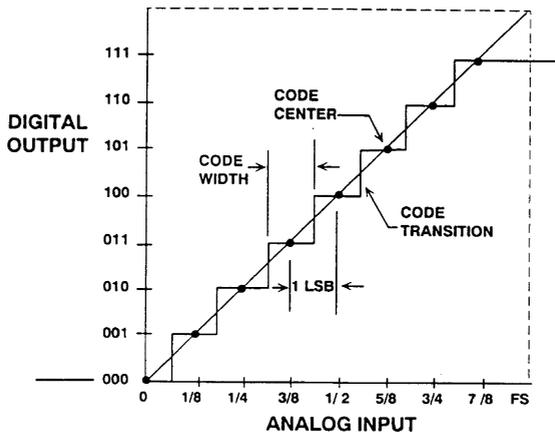


图 24 理想 3 位 ADC 的传递函数

积分非线性或 INL 通常是相对于码中心来测量。通过端点画一条直线,码中心与该理想直线的最大偏差即为 INL,如图 25 所示。一些情况下,积分非线性相对于最佳拟合直线来定义,该直线通常利用最小二乘法来计算。

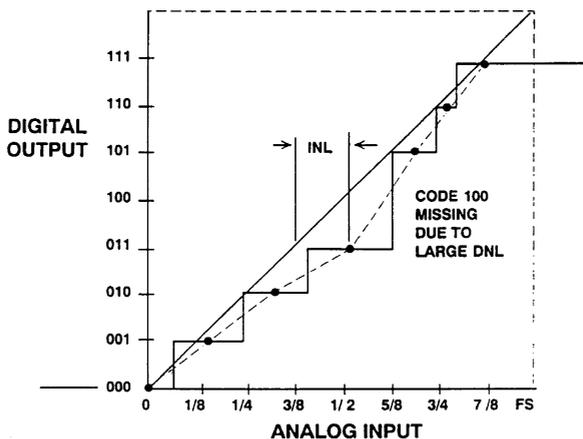


图 25 非理想 3 位 ADC 的传递函数

增益和偏移误差均等地影响所有码,通常用比较传统的技术从系统中予以消除。

DAC 静态传递特性

描述 DAC 静态传递特性的基本特性如图 26 所示。

- 微分非线性(DNL)
- 积分非线性(INL)
- 非单调性
- 增益误差
- 偏移误差

图 26 DAC 静态特性

一个理想 3 位 DAC 的静态传递函数如图 27 所示。数字输入值位于水平轴上,对应的模拟输出值位于垂直轴上。与 ADC 不同,DAC 不会有失码。针对每个数字输入码,都会产生一个离散的模拟输出电压。微分非线性定义为相邻模拟输出值之间的间隔与理想的 1 LSB 值的偏差。过大的 DNL 误差可能导致非单调性状况,如图 28 所示。如果数字码输入的提高引起模拟输出值的降低,则认为 DAC 为非单调性。相反,如果 DAC 传递特性的斜率在整个范围内具有相同的符号,则认为 DAC 为单调性。在闭环系统中,非单调性状况会产生振荡,因此这一特性对于这种应用中的 DAC 选择非常重要。

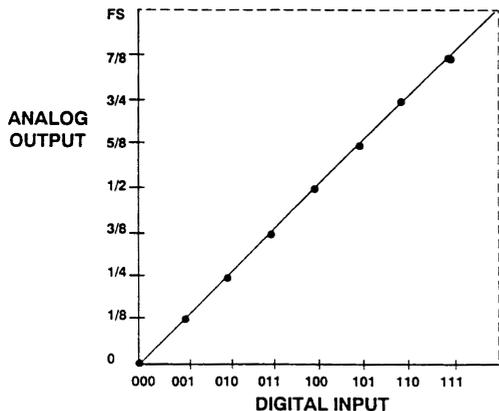


图 27 理想 3 位 DAC 的传递函数

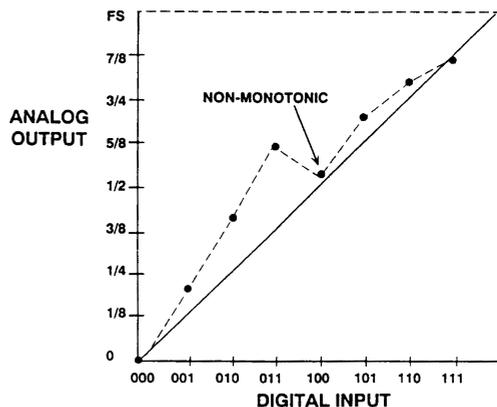


图 28 非理想 3 位 DAC 的传递函数

积分非线性定义为模拟输出值相对于通过端点所画的理想直线的最大偏差。与 ADC 一样,INL 也可以相对于最佳拟合直线来定义。

增益和偏移的定义与 ADC 相似,并且均等地影响所有模拟输出值。

ADC 动态性能

为了能用于大多数 DSP 应用,ADC 必须具有可接受的直流和交流特性。ADC 的最重要动态特性列表如图 29 所示。

- 信号与噪声加失真比(S/N+D)及有效位数
- 峰值杂散、峰值谐波成分及无杂散动态范围(SFDR)
- 总谐波失真(THD)
- 全功率带宽(FPBW)
- 全线性带宽
- 交调失真(IMD)
- 孔径延迟时间和孔径抖动
- 瞬态响应
- 过压恢复

图 29 ADC 动态特性

稍后我们将看到,有许多架构适合 DSP ADC 设计,大部分架构都要求在转换器之前放置一个采样保持放大器(SHA),如图 30 所示。值得注意的例外是 Flash 型转换器和 Σ - Δ 型转换器,后者尤为重要。为获得 SHA-ADC 对的完整动态性能,必须将二者集成在同一芯片上,或者至少作为一个完整的功能单元提供。否则,由单个器件的特性确定 SHA-ADC 组合的整体动态性能几乎是不可能的。对 ADC 的完整直流和交流特性的要求催生了内置片上 SHA 的采样 ADC。这些转换器不存在 SHA 与 ADC 接口的问题,并为用户提供了完整的直流和交流特性。

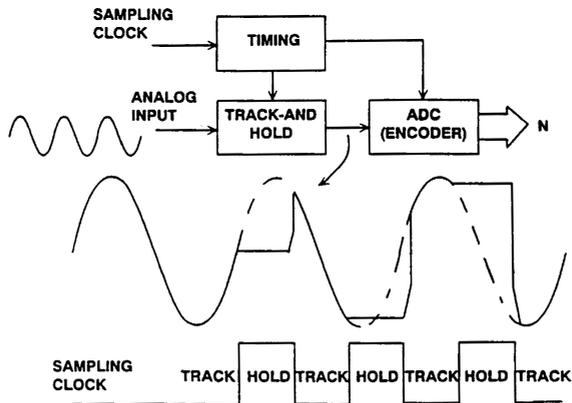


图 30 内置采样保持功能的 ADC

信噪比和有效位数

正如之前所讨论的,信噪比特性大概是当今业界所用的内涵最丰富的交流特性。将谐波失真的影响包含在这一特性中是常规做法,因此 $(S/N+D)$ 定义为测得的输入信号的均方根值与奈奎斯特频率以下的所有其他频谱成分(包括谐波,但不包括 DC)的均方根和的比值。图 31 显示了三种高速 Flash 型 ADC 的 $(S/N+D)$ 典型曲线图。图中同时显示了电流反馈型运算放大器 AD9617 的谐波失真性能,以供比较。SNR 测量结果也可以用有效位数或 ENOB 表示,图 31 也显示了这一点。

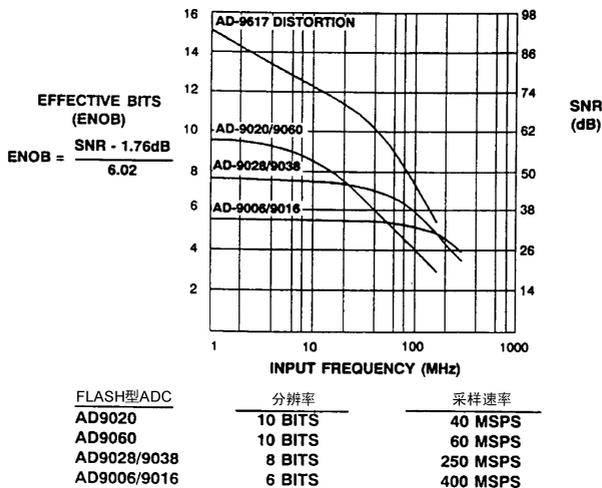


图 31 FLASH 型 ADC 及运算放大器的动态性能

峰值杂散、峰值谐波成分及无杂散动态范围(SFDR)

峰值杂散或峰值谐波成分是输入信号和 DC 之外最大的频谱成分。该值表示为相对于满量程输入信号的均方根值的 dB 值。峰值杂散特性有时也称为无杂散动态范围(SFDR)。图 32 显示了 AD678 的峰值杂散性能典型曲线。

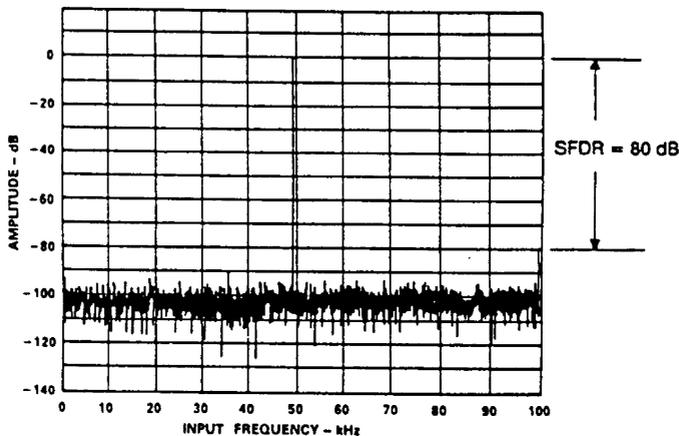


图 32 AD678 的峰值杂散响应 (200 kSPS、非平均 2048 点 FFT)

总谐波失真 (THD)

总谐波失真 (THD) 指前 6 个谐波成分的均方根和与满量程输入信号的均方根值之比, 用百分比或 dB 表示。对于高于奈奎斯特频率的输入信号或谐波, 用其混叠成分计算。图 33 显示了 AD678 的典型 THD 性能。

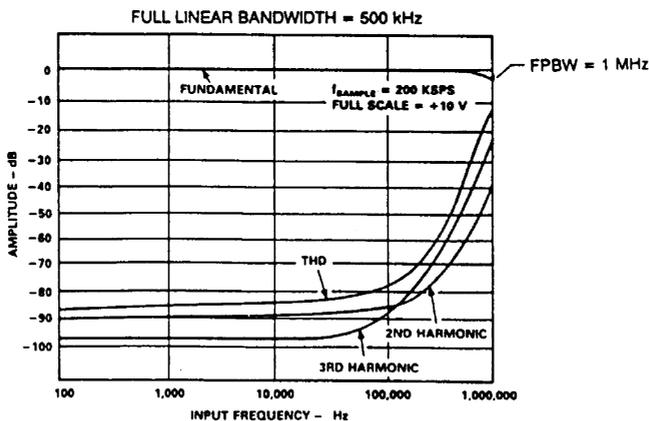


图 33 AD678 的总谐波失真、全功率带宽和全线性带宽

全功率带宽

ADC 的全功率带宽(FPBW)是指针对满量程输入,重构(使用 FFT)基本频率的振幅比满量程低 3 dB 时的输入频率。从图 33 可以看出,AD678 的全功率带宽约为 1 MHz。然而,为使该特性有意义,必须将它与 SNR、ENOB 和谐波失真结合起来考察,从而确定 ADC 在 FPBW 频率的真正动态范围。

全线性带宽

ADC 的全线性带宽是指达到输入采样保持(SHA)的压摆率时的输入频率。此时,重构正弦波的振幅降低不到 -0.1 dB。一旦超过此频率,采样输入信号的失真将显著增大。AD678 ADC 已针对输入带宽进行优化,可以对显著高于转换器奈奎斯特频率的输入信号进行欠采样。AD678 的全线性带宽为 500 kHz,图 33 也显示了这一点。

交调失真(IMD)

当输入由两种频率(F_1 和 F_2)的正弦波组成时,便会发生交调失真(IMD)。任何具有非线性的器件都会在和频率和差频率 $mF_1 \pm nF_2$ 时产生 $(m+n)$ 阶失真积,其中 $m, n = 0, 1, 2, 3, \dots$ 。交调项指 m 或 n 不等于 0 的那些项。例如,二阶项为 $(F_1 + F_2)$ 和 $(F_1 - F_2)$,三阶项为 $(2F_1 + F_2)$ 、 $(2F_1 - F_2)$ 、 $(F_1 + 2F_2)$ 和 $(F_1 - 2F_2)$ (参见图 34)。IMD 积表示为测得的输

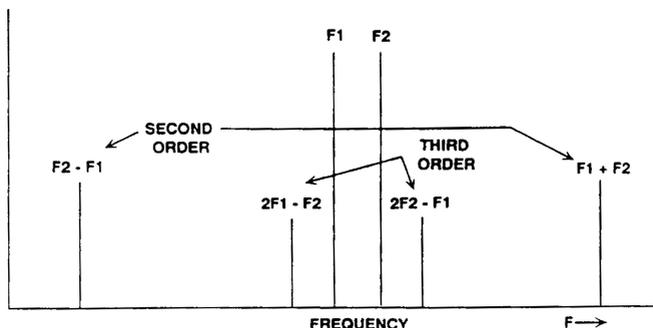


图 34 交调积

入信号的均方根和与失真项的均方根和之 dB 比。施加于 ADC 的两个信号具有相同的振幅，其和的峰值与满量程相差 -0.5 dB。IMD 积归一化为 0 dB 输入信号。图 35 显示了 AD678 的典型 IMD FFT 曲线。

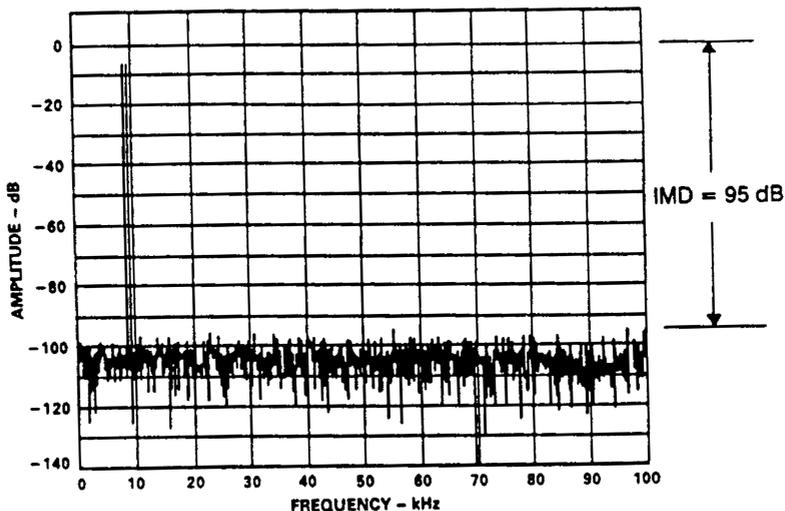


图 35 AD678 的 IMD 曲线 ($F1=9.08$ kHz, $F2=9.58$ kHz, $f_s=200$ kSPS)

用直方图方法获得交流线性曲线

对于这种测量,需将一个满量程正弦波施加于 ADC,并采集大量样本。每个码的出现次数记录在直方图上,如图 36 左上方曲线所示。对于 12 位转换器,为了获得有统计意义的结果,需要采集数百万样本。直方图应符合正弦波的理想概率密度分布,如图 36 右上方曲线所示。然后,利用正弦波概率密度函数归一化直方图数据,以获得图中下方曲线所示的 DNL 图。积分非线性可以通过编制累积直方图来确定。累积直方柱宽度为传递水平。图 37 所示为 12 位、100kSPS ADC AD7870 以 100 kSPS 速率对一个 25 kHz 输入信号进行数字化处理时,利用直方图方法获得的交流线性曲线。图中没有出现较大的尖峰,表明具有良好的差分线性度。有关数学计算的详细信息,请参考 AD7870 数据手册。

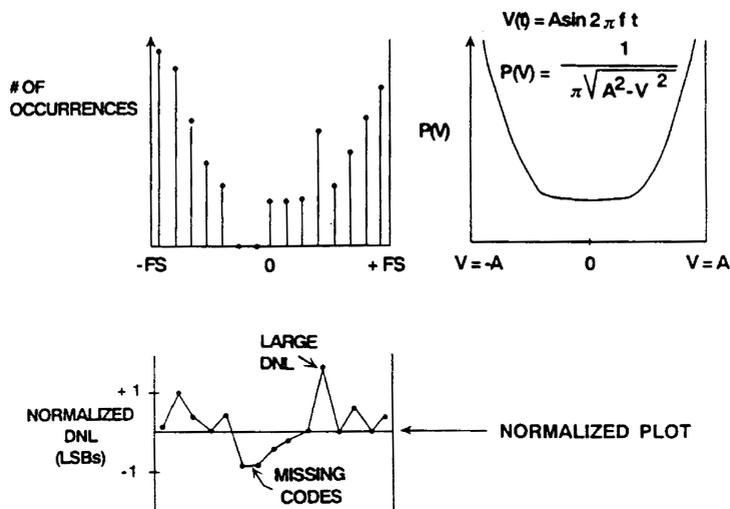


图 36 用直方图计算交流线性

12 位、100 kSPS ADC, 25 kHz 输入

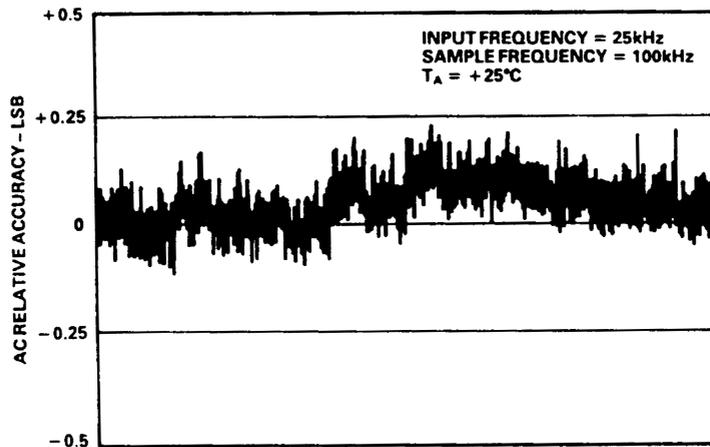


图 37 AD7870 的交流线性

孔径延迟时间(或有效孔径延迟时间)

孔径延迟时间(有时也称为孔径时间)指从采样时钟的前沿到 ADC 实际采样的时间量(参见图 38)。这一特性之所以重要,是因为它有助于用户知道相对于输入信号时序,何时应用采样时钟。在多个 ADC 处理动态信号时需要同步采样或需要彼此跟踪的其他应用中,必

须知道各器件之间关于该参数的差异或容差。

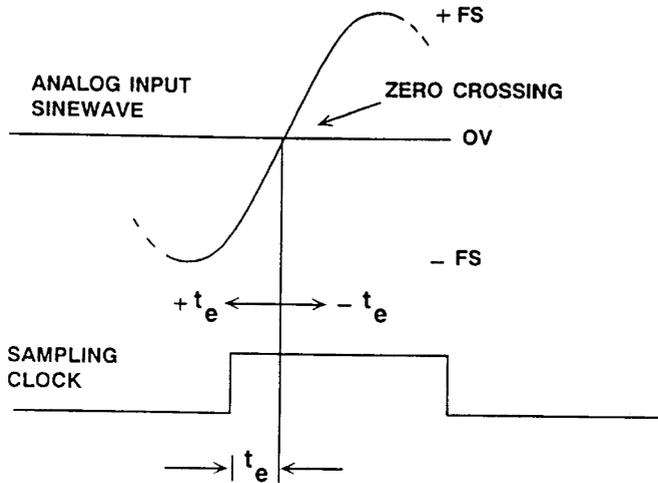


图 38 有效孔径延迟时间的测量

孔径抖动

孔径抖动指样本与样本之间在实际采样的有效时间点上的差异,如图 39 所示。这些误差

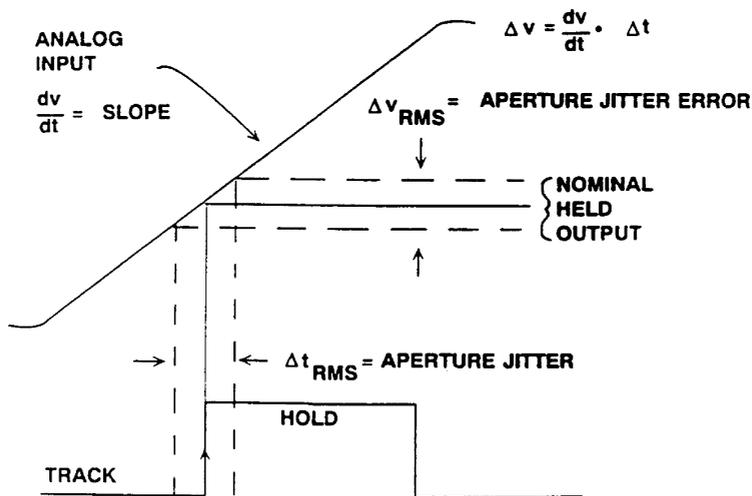


图 39 孔径抖动的影响

的产生原因一般有多种。在实际的 ADC 中,经常会有干扰源对采样时钟进行相位调制;不良布局、旁路和接地技术引起的宽带随机噪声、电源线噪声或数字噪声都可能成为干扰源。由此造成的误差可以用均方根时间抖动来表示。均方根孔径抖动引起的相应均方根电压误差会降低 ADC 的整体信噪比。输入正弦波上的相位抖动可以产生与采样时钟上的抖动相同的影响。

图 40 显示了不同孔径抖动值时孔径抖动这一单个因素对 SNR 产生的影响,它是满量程正弦波输入频率的函数。关于 SNR 与孔径抖动的关系方程式的推导过程,请参考文献 1。

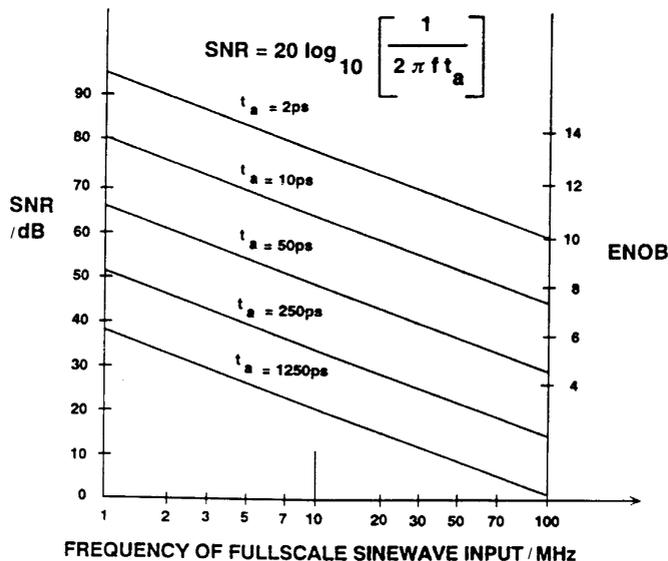


图 40 孔径抖动对 SNR 的影响

瞬态响应或建立时间

ADC 的瞬态响应(或建立时间)是指在施加满量程阶跃输入后,ADC 建立至额定精度所需的时间(参见图 41)。在 ADC 采用模拟多路复用器驱动的应用中,如图 42 所示,这一特性至关重要。多路复用器输出可以使 ADC 的输入发生满量程幅度的跳变。如果多路复用器和 ADC 均未充分建立至所需精度,则将引起直流通道与通道间串扰。

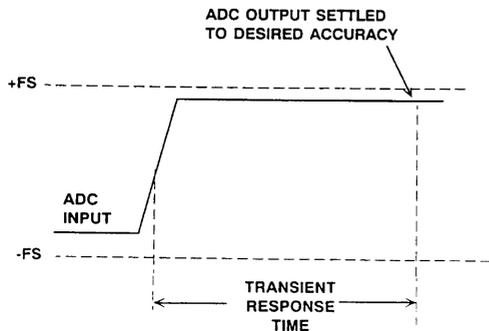


图 41 ADC 瞬态响应

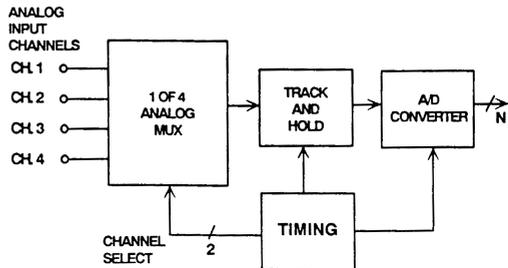


图 42 使用模拟多路复用器的传统数据采集系统

过压恢复时间

过压恢复时间定义为从过压信号重新进入转换器范围时开始到 ADC 达到规定精度所需的时间量,如图 43 所示。这一特性通常是针对超出 ADC 输入范围 50% 的信号而言。无须赘言,ADC 对于超量程信号应起到理想限幅器的作用;在过压状况下,ADC 应产生正满量程码或负满量程码。一些转换器会提供超量程和欠量程标志,以便激活增益调整电路。

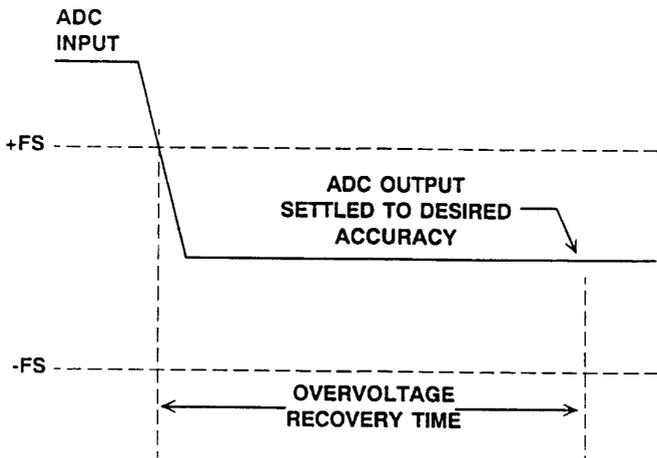


图 43 ADC 过压恢复时间

DAC 动态性能

大多数 DSP 应用最终都要重构动态模拟信号,因此 DAC 的交流性能与 ADC 性能一样重要。DAC 的主要交流特性如图 44 所示。

- 建立时间
- 毛刺脉冲面积
- 谐波失真
- 信噪比
- 音频专用特性

图 44 DAC 动态特性

建立时间

DAC 的建立时间传统上定义为从数字输入转换(通常从 50%点开始测量)到 DAC 输出建立至某一误差带(通常为 1/2 LSB,以最终值为中心)以内的时间。如图 45 所示,建立时间的一部分可能要归因于开关的固定传输延迟。如果 DAC 有一组输入锁存器或寄存器,则建立时间应从锁存器选通脉冲或寄存器时钟脉冲的 50%点开始测量。DAC 满量程建立时间是相对于从 000...0 至 111...1 的数字输入转换而言。DAC 中量程建立时间是相对于从 011...1 到 100...0 或从 100...0 到 011...1 的数字输入转换而言。

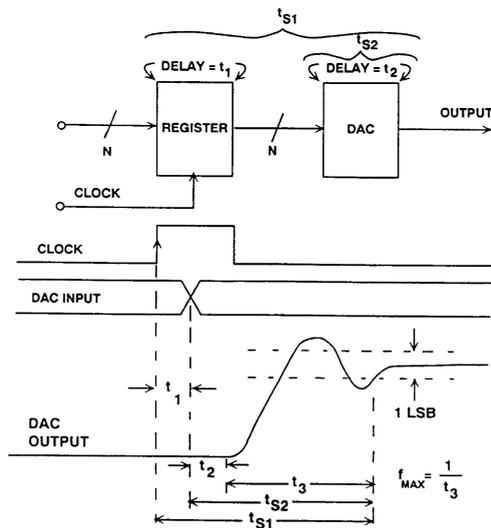


图 45 DAC 建立时间波形

仅仅相对于输出,定义 DAC 建立时间也是完全正确的,如图 46 所示。此时,建立时间是指从输出离开以初始值为中心的 $\pm 1/2$ LSB 误差带到输出停留在以最终值为中心的 $\pm 1/2$ LSB 误差带以内的时间量。这样, $\pm 1/2$ LSB 满量程建立时间对应的最大容许 DAC 更新速率即为 $f_{\max} = 1/t_s$ 。如果 DAC 输入的样本与样本间变化值始终低于满量程,则可以使用更快的更新速率。

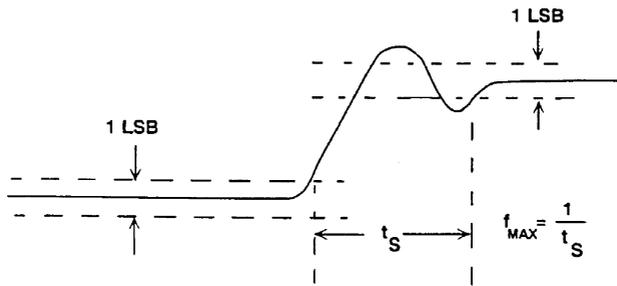


图 46 相对于 DAC 输出定义的建立时间

毛刺脉冲面积

理解毛刺脉冲面积的最佳方法是考察图 47 所示的波形。DAC 突波的产生原因是数字输入逻辑偏斜和 DAC 开关的传输延迟不一致(但 Σ - Δ 型 DAC 架构是一个值得关注的例外,后面的研讨会将予以讨论)。毛刺通常在量程转换时最大,因为此时 DAC 中的所有位都要改变。011...1 到 100...0 转换所产生的毛刺通常与 100...0 到 011...1 转换所产生的毛刺不同,因此必须单独分析每种情况。毛刺脉冲面积就是特定毛刺的面积,通常以 pV-s 为单位来表示;因此,为使不同 DAC 之间的比较有意义,必须知道 DAC 的满量程输出电压。使用“毛刺能量”这一术语是不正确的,因为单位 pV-s 并不是能量的度量标准。

从图 47 可以看出,有 6 个可能的毛刺脉冲面积需要处理。

每次转换有两个相关的毛刺脉冲,将其面积分别称为 1、2、3、4。此外,考虑与各次转换相关的“净毛刺脉冲”也很有用。净毛刺脉冲面积分别为 AREA 1-AREA 2 和 AREA 3-AREA 4。因此,当查看 DAC 数据手册上的毛刺脉冲面积特性时,如果制造商说明得不够清楚,则很可能会造成混淆。

无论滤波与否,毛刺脉冲面积保持不变。快速建立时间并不总是意味着毛刺脉冲面积小。比较理想的状况是,对于每次转换,DAC 的净毛刺脉冲面积为 0,即 AREA 1-AREA 2=AREA 3-AREA 4=0。当然,在理想状况下,所有四个面积均为 0。

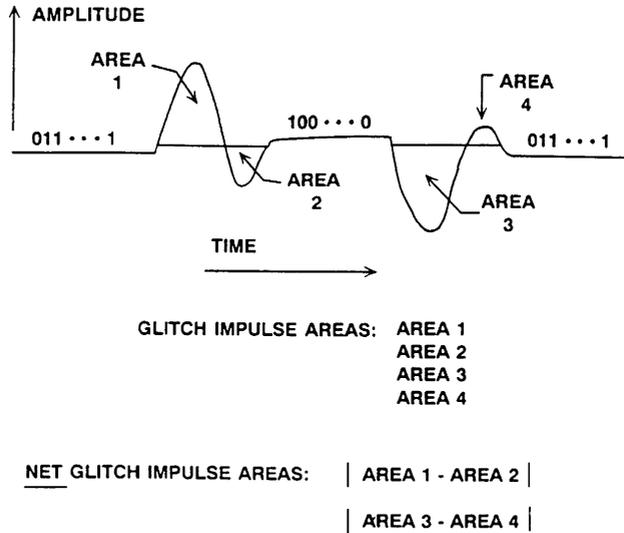


图 47 突波脉冲波形

谐波失真

净毛刺脉冲面积与码相关,因此当 DAC 重构正弦波时,它会产生谐波。在重构正弦波的一个周期内,净中量程毛刺会出现两次(在每个零交越上),因而会产生正弦波的第二个谐波,如图 48 所示。请注意,重新混叠到奈奎斯特带宽内的正弦波的较高阶谐波无法滤波。很难预测特定净毛刺脉冲面积引起的谐波失真,因此,为了充分评估重构 DAC 的动态性能,这两个特性均需要考虑。

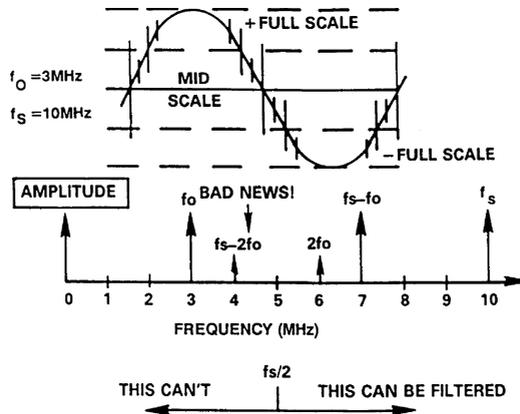


图 48 DAC 突波的影响

总谐波失真(THD)可以用 DSP 技术来测量,如图 49 所示,其中对 18 位音频 DAC AD1860 进行了测试。该 DAC 采用频率为 990.5 Hz 的 18 位数字正弦波来驱动,DAC 更新速率为 176.4 kHz。DSP 对输出测试波形的 4096 个样本进行数字化处理,包含该正弦波的 23 个完整周期。对测试结果执行 4096 点快速傅里叶变换(FFT)。然后,根据 FFT 结果计算总谐波失真和 SNR。陷波滤波器可防止 990.5 Hz 的大振幅基波成分进入数字转换器,因此数字转换器的全部范围均可专门用于处理噪声和谐波成分。图 50 显示了满量程输入和 -20 dB 输入两种情况的典型 THD 加噪声图。应注意,这些测量中并未使用去毛刺器和 MSB 调整技术。

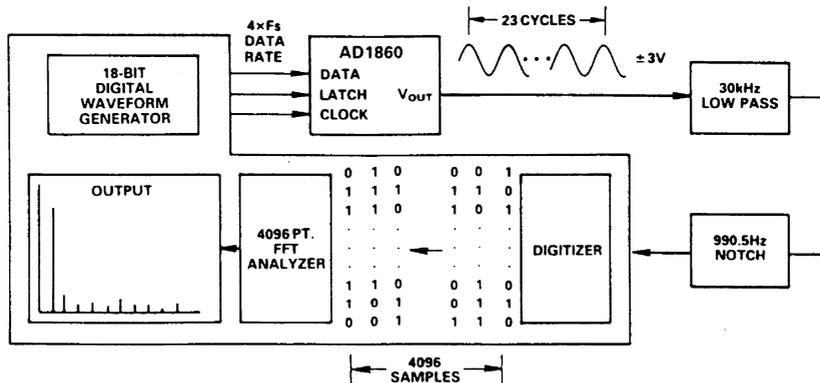


图 49 18 位音频 DAC AD1860 的 FFT 测试

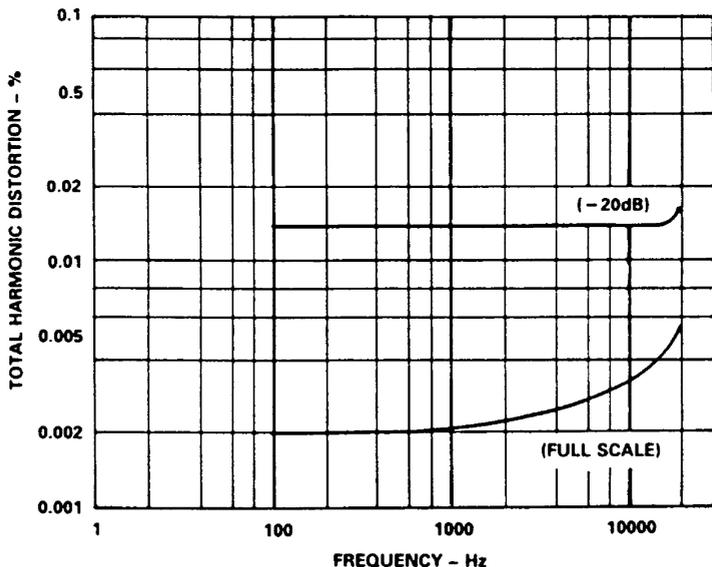


图 50 利用 FFT 方法测得的 18 位音频 DAC AD1860 的总谐波失真

用 SHA 去除 DAC 的毛刺

用 SHA 可以去除 DAC 的毛刺,如图 51 所示。就在要将新数据锁存至 DAC 之前,将 SHA 置于保持模式,从而将 DAC 开关突波与输出隔离。SHA 所产生的开关瞬变与码无关,并且以更新频率出现,因此很容易予以滤除。

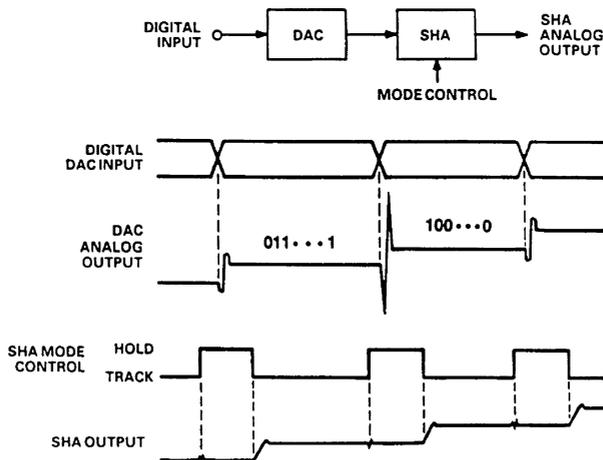


图 51 SHA 用作去突波器

$\text{Sin}(x)/x$ 频率滚降效应

重构 DAC 的输出可以形象地表示为一系列矩形脉冲,其宽度等于更新速率的倒数,如图 52 所示。请注意,相对于低频值,重构信号在奈奎斯特频率极限时低 3.92 dB。有时在 DAC 之后放置一个反向 $\text{sin}(x)/x$ 滤波器,以校正此效应。

开关电容滤波器

信号滤波一度完全是在连续模拟域中由无源器件(通常是电感、电阻和电容)的配置来执行。后来,通过缓冲和增益的运放构建的有源滤波器为滤波器设计人员提供了更大的灵活性和更高的性能,但仍然是在模拟信号上连续工作。DSP 技术催生了稳定而灵活的离散时间数

字滤波器, 采样模拟信号完全由数值计算来处理, 其中所用的一些滤波算法无法由连续时间模拟滤波器来实现。

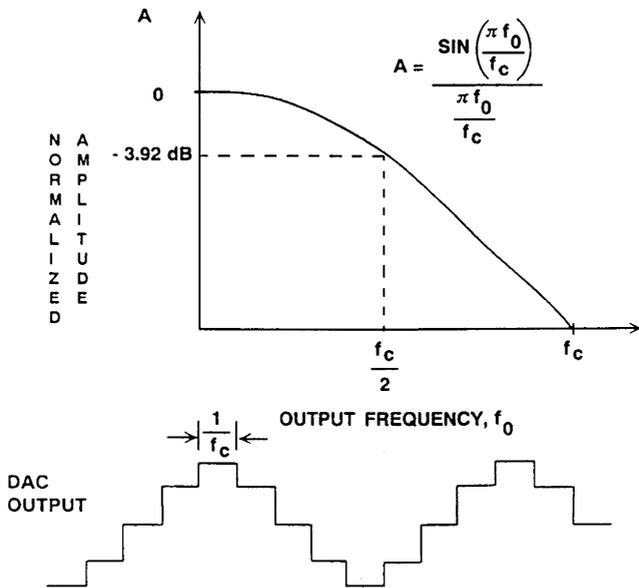


图 52 SIN X/X 滚降

开关电容滤波器(SCF)是一种中间类型的器件,综合了连续时间和离散时间两方面特征。这种滤波器通常利用 CMOS 开关和电容实现,以模拟电阻的行为。因此,许多滤波器架构都可以完全由单芯片器件来实现,而无须外部器件。开关电容滤波器与 DSP 技术一起,在语音和音频带宽信号应用中特别有用。由于开关电容滤波器是采样器件,因此关于离散时间采样的所有概念均适用于这种器件:奈奎斯特定理、混叠等。

图 53 为滤波技术。

- 晶振、SAW 滤波器
- 无源器件(电阻、电感和电容)
- 有源滤波器(电阻、电容和运放)
- 开关电容滤波器(用 CMOS 开关和电容取代电阻)
- 数字滤波器(利用数值计算实现,可能没有对应的模拟器件)

图 53 滤波技术

利用图 54 所示的电荷转移概念,可以十分清楚地了解开关电容充当电阻的基本概念。如果电容从 V_1 切换至 V_2 ,则将发生瞬时电荷转移, $\Delta Q = C(V_1 - V_2)$, 电荷流入或流出 V_2 。其中包含的假设条件是 C 没有串联电阻,而且 V_1 和 V_2 为理想电压源。如果该开关以某一时钟频率 f_s (周期为 T)来回开合,则 V_1 与 V_2 之间将有一个平均电流 i 流过, $i = \Delta Q/T = CAV/T$ 。

提供同样大小平均电流的等效电阻“R”为:

$$“R” = \Delta V / i = T / C = 1 / (C f_s)$$

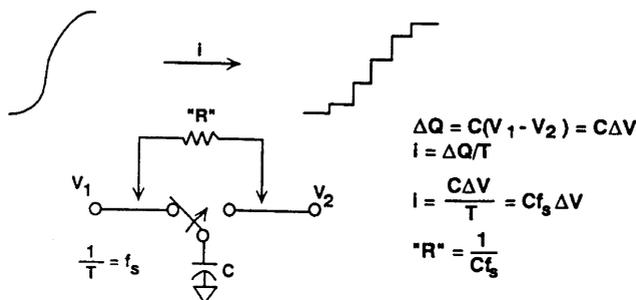


图 54 开关电容“电阻”

在集成电路中,单刀双掷开关利用 CMOS 开关实现,由非重叠的双相时钟驱动,如图 55 所示。为使这种技术有效,开关必须具有非常低的导通电阻和非常高的关断电阻,而 CMOS 技术正好能提供这样的开关。

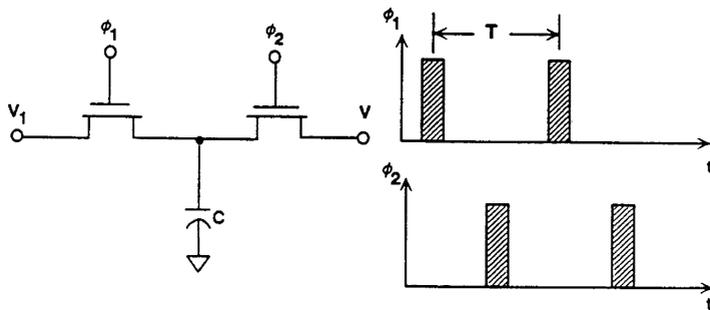


图 55 开关电容的 CMOS 实现方法

利用这种等效的开关电容电阻,可以实现许多传统的无源和有源滤波器配置。图 56 显示了一个单极点无源 RC 滤波器及其等效的开关电容滤波器。RC 滤波器的一 3 dB 频率为 $1/(2\pi R_1 C_1)$ 。对于开关电容滤波器,有

$$f_{3dB} = f_s C_1 / (2\pi C_2)$$

请注意,对于开关电容滤波器,带宽取决于采样速率和电容值之比。为使时间采样和电荷共享的影响最小,必须做出一个重要假设,即 $f_s \gg f_{3dB}$ (通常要求 50 到 100 倍)。因此,当使用开关电容滤波器概念时,临界频率由电容比和采样时钟频率决定,二者均可以非常精确且无漂移。

采用开关电容滤波器进行音频和语音滤波,可以大大减小无源器件的物理尺寸。构建音频滤波器时,若要使用合理大小的单芯片电容(约 10 pF),则要求电阻在 10 MΩ 数量级。以

100 kHz 速率切换一个 1 pF 电容可以轻松实现该电阻值, 所需硅面积约为 0.01 mm²。如果使用多晶硅或扩散技术来实现 10 MΩ 电阻, 则所需面积至少要大 100 倍。

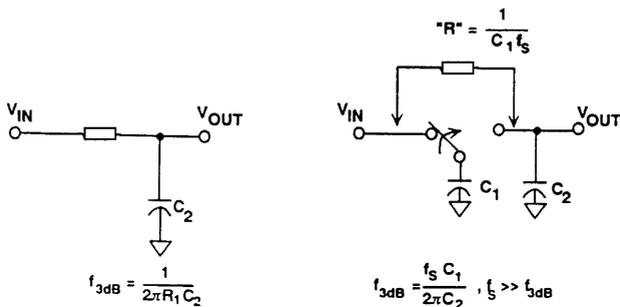


图 56 无源 RC 网络的等效开关电容

图 57 为开关电容滤波器的优势。

- 滤波器带宽与电容成比例, 而不是与绝对值成比例
- 滤波器带宽随时钟频率而变化
- 像经典模拟滤波器一样定义
- 音频频率要求低值电容: 以 100 kSPS 切换
1 pF 电容等效于 10 MΩ 电阻
- 非常适合 DSP CMOS 工艺

图 57 开关电容滤波器的优势

开关电容电阻与其他电容和运放一起使用, 可以实现传统 RC 有源滤波器中使用的许多电路配置。与数字滤波器不同, 开关电容滤波器完全可以像模拟滤波器一样定义。图 58 显示了一个一阶连续时间有源低通 RC 滤波器及其对应的开关电容滤波器。

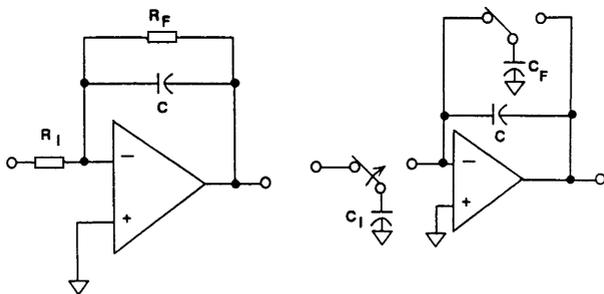


图 58 一阶有源低通 RC 滤波器及其等效开关电容滤波器

开关电容滤波器对模拟信号进行采样, 因此通常必须前置连续时间抗混叠滤波器, 以消除奈奎斯特频率以上的频谱成分。由于开关电容滤波器的采样速率通常远高于其通带, 因此一

个单极点或双极点 RC 滤波器通常就能达到上述目的。

为了对电源线噪声等干扰信号实行充分的共模抑制,模拟电路经常使用差分放大器。开关电容滤波器的设计也可以使用这些原则。图 59 显示了一个有源差分积分器及其等效的开关电容。除了能提供对噪声的良好共模抑制比(CMRR)之外,差分配置还能对开关操作引起的瞬变实行共模抑制。开关电容积分器经常用于 Σ - Δ 型 ADC 的调制器电路中,这将在后面的研讨会予以讨论。

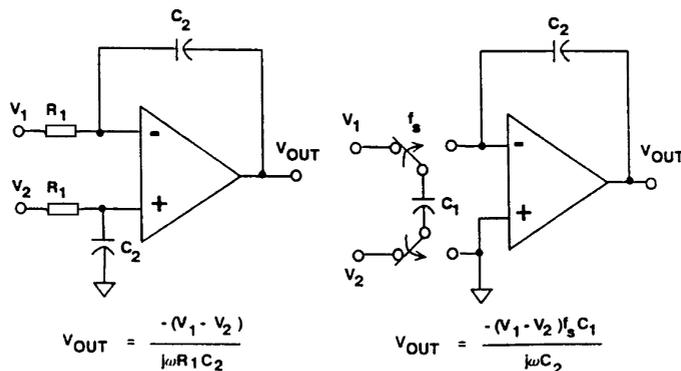


图 59 有源差分积分器及其等效开关电容滤波器

开关电容滤波器也有多种局限性和误差源,如图 60 所示。它只能在音频带宽内使用,因为利用目前的 CMOS 技术还不能轻松地实现数百 kHz 以上的采样速率。开关电容和运放会引入随机噪声,泄漏电流则可能会产生失调误差。来自开关本身的时钟馈通可能会产生同步误差。最后,由于开关电容滤波器是采样器件,因此为了防止混叠引起误差,通常要求较大的过采样比。

- 局限于较低频率
- 噪声、失调、失真
- 必须遵从奈奎斯特采样法则
- 开关本身会导致时钟馈通(要求抗混叠滤波器)

图 60 开关电容滤波器的局限性和误差源

参考文献

- [1] Frederic J. Harris, "On the Use of Windows for Harmonic Analysis with the Discrete Fourier Transform", IEEE Proceedings, Vol. 66, No. 1, Jan. 1978, pp. 51-83.

- [2] Joey Doernberg, Hae-Seung Lee, David A. Hodges, “Full Speed Testing of A/D Converters”, IEEE Journal of Solid State Circuits, Vol. SC-19, No. 6, Dec. 1984, pp. 820-827.
- [3] James R. Andrews, Barry A. Bell, Norris S. Nahman, and Eugene E. Baldwin, “Reference Waveform Flat Pulse Generator”, IEEE Transactions on Instrumentation and Measurement, Vol. IM-32, No. 1, March 1983, pp. 27-32.
- [4] Brendan Coleman, Pat Meehan, John Reidy and Pat Weeks, “Coherent Sampling Helps When Specifying DSP A/D Converters”, EDN, October 15, 1987, pp. 145-152.
- [5] Howard K Schoenwetter, “A Programmable Voltage Step Generator for Testing Waveform Recorders”, IEEE Transactions on Instrumentation and Measurement, Vol. IM-33, No. 3, Sept. 1984, pp. 196-200.
- [6] Robert W. Ramirez, The FFT: Fundamental and Concepts, Prentice-Hall, 1985.
- [7] R. B. Blackman and J. W. Tukey, The Measurement of Power Spectra, Dover Publications, New York, 1958.
- [8] James J. Colotti, “Digital Dynamic Analysis of A/D Conversion Systems Through Evaluation Software Based on FFT/DFT Analysis”, RF Expo East 1987 Proceedings, Cardiff Publishing Co. , pp. 245-272.
- [9] Sid Kaufman, “Multistage Error Correcting A/D Converters”, Electronic Products, April 18, 1983, pp. 103-110.
- [10] HP Journal, Nov. 1982, Vol. 33, No. 11
- [11] HP Product Note 5180A-2.
- [12] HP Journal, April 1988, Vol. 39, No. 2.
- [13] HP Journal, June 1988, Vol. 39, No. 3.
- [14] Dan Sheingold, Editor, Analog-to-Digital Conversion Handbook, Third Edition, Prentice-Hall, 1986.
- [15] W. R. Bennett, “Spectra of Quantized Signals”, Bell System Technical Journal, No. 27, July 1948, pp. 446-472.
- [16] G. A. Gray and G. W. Zeoli, “Quantization and Saturation Noise Due to Analog-Digital Conversion”, IEEE Transactions on Aerospace and Electronic Systems, Jan. 1971, pp. 222-223.
- [17] M. J. Tant, The White Noise Book, Marconi Instruments, July 1974.
- [18] W. A. Kester, “PCM Signal Codecs for Video Applications”, SMPTE Journal, No. 88, November 1979, pp. 770-778.

- [19] Lawrence Rabiner and Bernard Gold, Theory and Application of Digital Signal Processing, Prentice-Hall, 1975.
- [20] Matthew Mahoney, DSP -Based Testing of Analog and Mixed-Signal Circuits, IEEE Computer Society Press, Washington, D. C. , 1987.
- [21] IEEE Trial-Use Standard for Digitizing Waveform Recorders, No. 1057-1988.
- [22] Richard J. Higgins, Digital Signal Processing in VLSI, Prentice-Hall, 1990.
- [23] High Speed Design Seminar, Analog Devices, 1990.
- [24] M. S. Ghauri and K R. Laker, Modern Filter Design: Active RC and Switched Capacitors, Prentice Hall, 1981.
- [25] Brodersen, Gray, and Hodges, MOS Switched-Capacitor Filters, Proc. IEEE Vol. 67, January 1979, pp. 61 - 65.
- [26] J. T. Caves, et. al. , Sampled Analog Filtering Using Switched Capacitors as Resistor Equivalents, IEEE J. Solid State Circuits Vol. SC-12, pp. 592 - 599.

AN - 835 应用笔记 高速 ADC 测试和评估

作者: Brad Brannon Rob Reeder

应用范围

本应用笔记将介绍 ADI 公司高速转换器部门用来评估高速 ADC 的特征测试和生产测试方法。本应用笔记仅供参考,不能替代产品数据手册。

动态测试硬件设置

SNR、SINAD、最差杂散和 IMD 均通过类似于图 1 的硬件设置进行测试。在生产测试中,测试硬件均高度集成,但硬件原理都是一样的。动态测试的基本设置包括一个信号发生器、带通滤波器、测试夹具、低噪声电源、编码源(通常集成于评估板中)、数据采集模块和数据分析软件。ADI 公司提供了相应的应用软件和硬件,用以在基准评估中提供帮助。请参阅“ADC FIFO 套件”部分。

ADC FIFO 套件

图 2 为典型 ADI ADC FIFO 套件设置。

高速 ADC FIFO 评估套件(HSC-ADC-EVALA-SC /HSC- ADC-EVALA-DC 和 HSC-ADC-EVALB-SC /HSC-ADC- EVALB-DC) 包括一块存储板,用以获取来自 ADI 公司高速模数转换器(ADC)评估板和 ADC Analyzer 软件(见图 4)的数字数据块。有关 ADC FIFO 评估套件的更多信息,请访问:www.analog.com/FIFO。

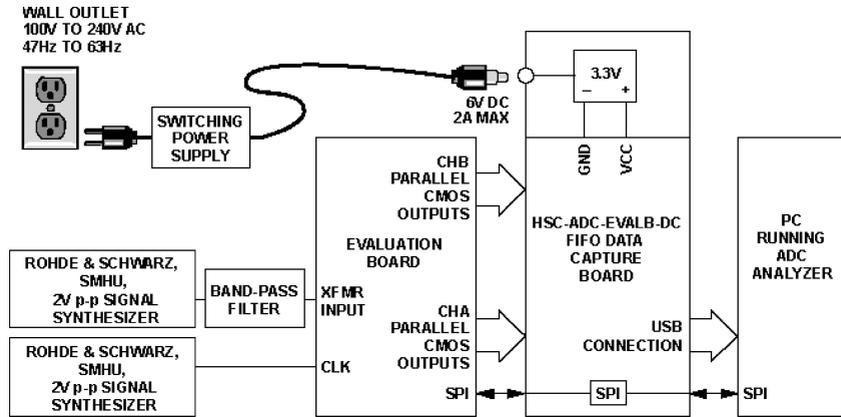


图 1 典型特征测试设置

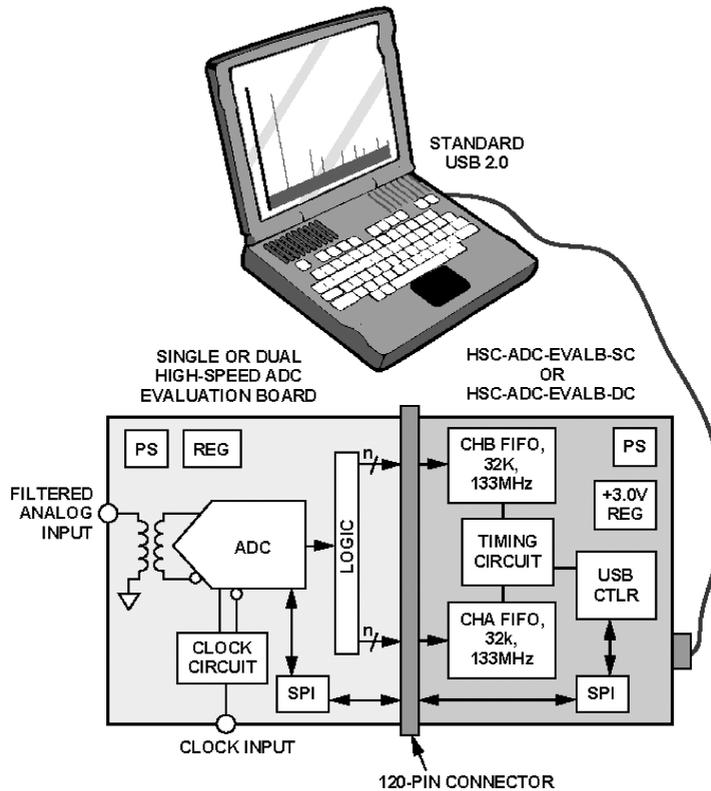


图 2 典型 ADI ADC FIFO 套件设置

FIFO 板可通过一根标准 USB 线连接至个人计算机,并配合 ADC Analyzer 软件对高速 ADC 的性能进行快速评估。用户可以查看特定模拟输入和时钟速率的快速傅立叶变换 (FFT),并对信噪比(SNR)、信纳比(SINAD)、无杂散动态范围(SFDR)和谐波数据进行分析。FIFO 板有单通道和双通道两种版本可供选择。对于某一特定 ADC 该选择哪一版本的决定,请参阅 FIFO 数据手册。LVDS 和串行输出器件可能需要附加一块称为 HSC-ADC-FPGA 的适配板。这些会在产品数据手册中特别说明。有关 HSC-ADC-FPGA 串行 LVDS 适配板、FIFO 以及 ADC Analyzer 软件工作原理的更多信息,请访问 ADI 公司网站:www.analog.com/FIFO。

背景知识

图 3 为双通道 ADC FIFO 板。

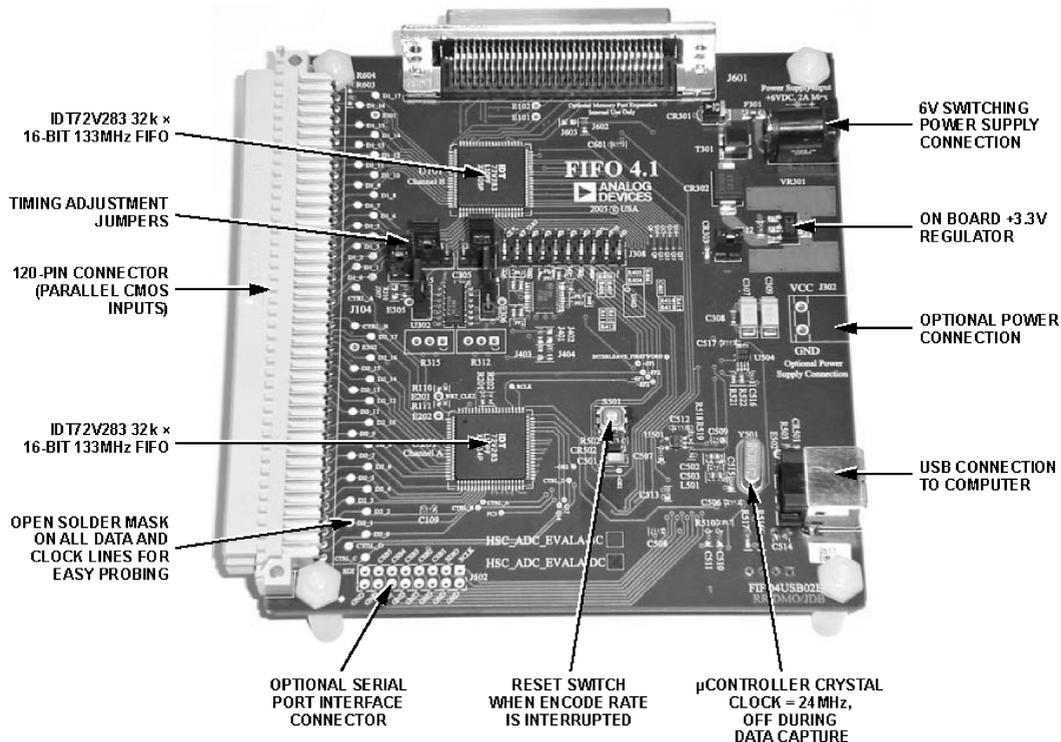


图 3 双通道 ADC FIFO 板

1. ADIsimADC

ADIsimADC 是 ADI 公司的 ADC 行为建模工具。ADIsimADC 可精确模拟 ADC 常见的多种时域和频域误差。无论在简单的转换器的选型还是在全面系统模拟方面,这种工具都具有无法衡量的价值。该工具完全集成于 ADC Analyzer 软件中,用来帮助简单的转换器选型,同时为几家第三方 CAD 供应商所支持。目前,支持 ADIsimADC 的工具包括 MATLAB、C++、美国国家仪器公司(National Instruments)的 LabVIEW 和 Signal Express、美国安捷伦公司(Agilent)的 ADS 以及 Applied Wave Research 公司的 Visual System Stimulator。将来会受到其他工具的支持。可从网站下载该工具以及全套最新模型。同时提供支持 ADIsimADC 的第三方工具链接。(有关 ADIsimADC 行为建模的更多信息,请访问 www.analog.com/ADIsimADC。)

如前所述,该工具随 ADC Analyzer 软件提供,通过该软件可直接访问 ADIsimADC,用户可基于特定 ADC 的某种行为模型对该 ADC 进行模拟(无需使用硬件)。有关 ADIsimADC 的信息可在 www.analog.com/ADIsimADC 找到。有关 ADIsimADC 的详情,请参阅《AN-737 应用笔记》。

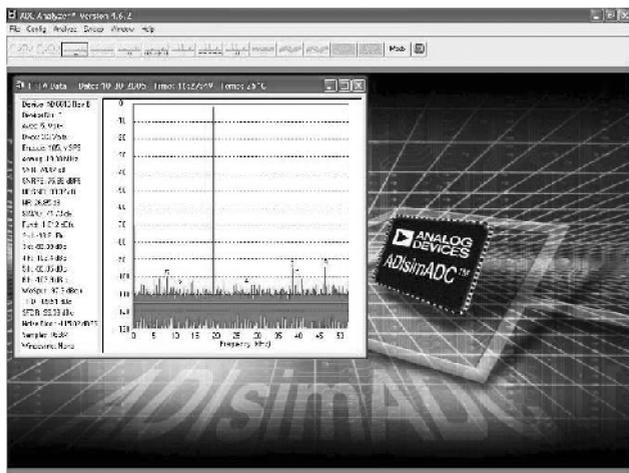


图 4 ADC Analyzer

2. 模拟信号源

通常,动态测试使用的是:一个 Rohde & Schwarz(网址:www.rohde-schwarz.com) SMA/SMHU/SMG/SMGU、一个安捷伦(网址:www.agilent.com)8644 信号发生器或一个 Wenzel(网址:www.wenzel.com)晶体振荡器。已经证明,在从几千赫到几千兆赫的频率范围内,这些信号源具有出色的性能(低相位噪声、平坦的频率响应、适度的谐波性能)。由于这些发生器的谐波性能一般不如特定 ADC 固有的线性度那么好,因而要求在信号发生器与 ADC

模拟输入之间进行附加滤波。

3. 模拟信号滤波器

固定频率和可调频率带通滤波器都有用在器件测试中。固定频率滤波器通常比可调滤波器体积小,且性能一般略优。使用可调滤波器时,只需一个滤波器即可测试较宽范围内的频率。包括 K&L Microwave(网址:www.klmicrowave.com)、TTE(网址:www.tte.com)和 Allen Avionics 有限公司(网址:www.allenavionics.com)在内的数家滤波器制造商均提供卓越的 ADC 测试滤波器。

ADC 测试经常使用的滤波器有两类:低通滤波器和带通滤波器。它们可单独使用,或者为达到某一特定应用要求的性能水平而结合使用。

当需在 ADC 输入一个频率范围较宽的模拟信号时,低通滤波器是一种不错的选择。然而,使用低通滤波器时,噪声可从信号发生器传到 ADC。这种噪声可能降低测得的 ADC 性能水平。TTE 出品的 J97(见图 5)即是一种典型低通滤波器。通常情况下,低通滤波器存在一个过渡带,定义为从通带结束到阻带开始的区域。除该指标外,还需指定一个保证阻带抑制。对于 J97 而言,其过渡带定义为 3 dB 频率的 1.0 至 1.2 倍,保证阻带抑制为 80 dB。高于 3 dB 频率 1.2 倍的能量将衰减至少 80 dB。

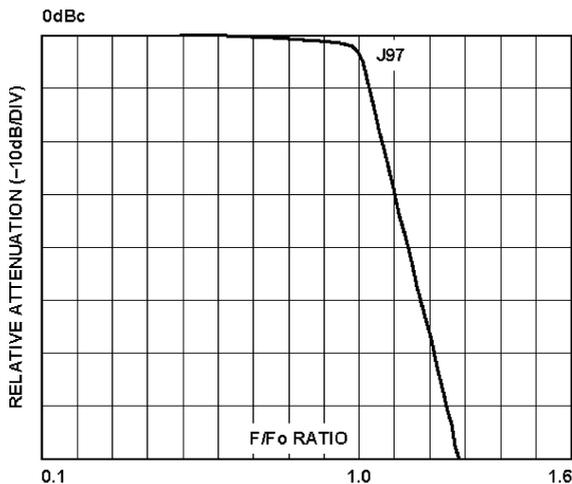


图 5 TTE J97 的典型性能

在模拟频率固定且将来也不会变化的情况下,可使用带通滤波器。带通滤波器也可消除信号源产生的大部分宽带噪声,通常在 ADC 测试方面有极佳表现。诸如 TTE Q56(见图 6)系列等滤波器的带宽定义为为中心频率的一定百分比。带宽越窄,通过滤波器的噪声越少;但对模拟频率要求更高,还会导致更大的插入损耗。一旦选定一个中心频率,带宽即可确定。理想状况下,应选择 5%至 6%的带宽。请记住,良好的噪声性能是以模拟频率灵活性为代价的。

跟低通滤波器一样,带通滤波器也存在一个过渡带,决定着 3 dB 频率(中心频率之上和之下)与保证阻带性能频率之间的形态。对于 TTE 的 Q56,其阻带抑制为 60 dB。

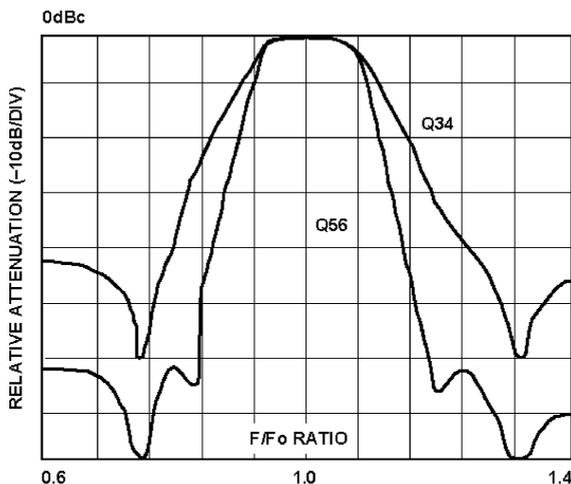


图 6 TTE Q34 和 Q56 的典型带通性能

如前所述,带通滤波器的阻带抑制可能仅为 60 dB,意味着落入阻带的信号将被减去 60 dB。举例来说,如果某个信号源的谐波为比基波低 25 dB,通过一个 Q56 滤波器后,该谐波的有效电平为 -85 dBc。对于许多高性能 ADC 来说,这是不够的。当需要 -100 dBc 或更好的性能时,通常将一个带通滤波器与一个低通滤波器级联起来。在选择置于带通滤波器之后的低通滤波器时,应谨慎选择低通频率,以使该低通滤波器的阻带能尽可能地滤掉从带通滤波器通过的任何谐波。对于 J97 低通滤波器,其阻带抑制可达 1.2 倍 3 dB 频率。如果将带通滤波器的第二谐波设为低通 3 dB 频率的 1.4 倍,则可确保过滤掉通过带通滤波器的全部谐波,并可保证低通滤波器的额外插入损耗不会显著降低所需通带的电平。这种情况下,低通频率应等于带通频率的 1.4 倍,级联抑制理论上应为 140 dB 左右。受耦合和辐射效应影响,实际上很难达到这种水平,但这种技术的确有用,可获得远大于 -100 dBc 的谐波抑制。另需注意的是,可在带通和低通串行组合之间设置一个 0.5 dB 至 3 dB 的衬垫。这样有助于两个滤波器间更好地匹配,额定匹配值为 50 Ω 。

指定滤波器时,要求用大铁芯制成的滤波器,以防止发生饱和。滤波器一般设计为输入功率 5 dBm 左右。然而,在许多情况下,驱动 ADC 要求远远大于这个数值,结果导致铁芯饱和与失真。指定较大铁芯有利于减少因铁芯饱和导致的杂散失真。最后,值得一提的,同时也可指定滤波器连接器。尽管很容易找到适配器来实现不同连接器类型间的转换,但使用适配器会导致失配,这可能会对转换器的性能造成某些影响。虽然对于 8 位和 10 位转换器来说并不算什么问题,但在 12 位、14 位和 16 位转换器上却非常明显。

4. 编码信号源

对于高性能转换器,由于存在带内及宽带相位两种噪声,现有的信号发生器通常不足以用作编码源。往往采用固定频率振荡器来作编码源。可使用 Wenzel(网址:www.wenzel.com)和 Techtrol Cyclonetics, Inc. (TCI, 网址:www.tci-ant.com)生产的高性能晶体振荡器。Wenzel 出品的 Sprinter 和超低噪声系列具有最佳的相位噪声性能。生产优质编码源的另一公司是 Valpey Fisher(网址:www.valpeyfisher.com),可提供多种选择,包括差分 PECL 和 VCXO。对于要求较低的应用,可使用标准 CMOS 时钟模块,多家制造商均有提供。对于要求时钟与外部基准源同步的终端应用,则可使用锁相环(PLL)回路中的压控晶体振荡器(VCXO)。

图 7 为典型的低成本 CMOS 时钟振荡器。



图 7 典型低成本 CMOS 时钟振荡器

对于每一个 ADC 设计来说,使用一个合适的时钟振荡器是非常重要的。有关时钟的选择问题,ADI 公司《AN-501 应用笔记》和《AN-756 应用笔记》可提供帮助。这些应用笔记说明了如何测量孔径抖动,以及如何具体选择一款符合所需相位噪声或抖动指标的时钟。如果没有恰当低指定一款时钟源将降低 SNR 性能,如图 8 和图 9 所示。作为参考,一个典型 Wenzel 时钟振荡器的孔径抖动约为 0.07 ps, CMOS 时钟振荡器的孔径抖动则为 0.3 ps 左右或更高。

当现有时钟源达不到所需抖动性能要求时,可将一个较高频时钟分成较低频率。这相当于以 $10 \log(x)$ 的速率减少抖动,其中 x 为分频比。但这种方法存在一个缺陷,即门本身的抖动问题。《AN-501 应用笔记》中指出了各种逻辑系列存在的时钟抖动问题。

在要求定制时钟的情况下,通常需要使用锁相环(PLL)。通过一个 VCO 或 VCXO,锁相环(PLL)可实现 ADC 与外部基准时钟同步。然而,用一个简单 PLL 很难为一个以上的器件

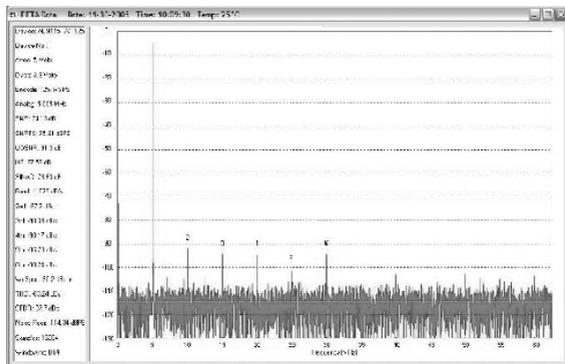


图 8 AD9445,模拟中频为 130 MHz(-1.0 dBFS),采用 Wenzel 时钟,SNR=75.2 dBFS

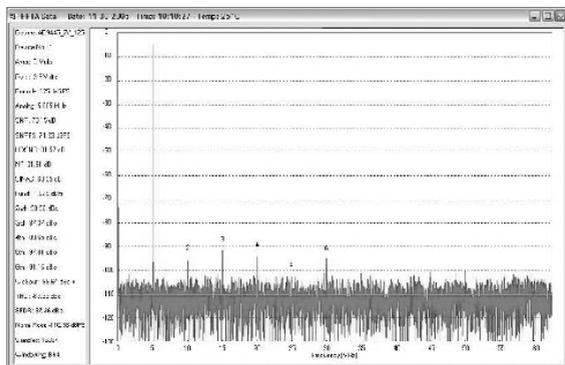


图 9 AD9445,模拟中频为 130 MHz(-1.0 dBFS),采用 CMOS 时钟,SNR=71.2 dBFS

提供时钟,但通过在器件间加入延迟,则可容易地实现。AD9510(见图 11)之类的器件是时钟优化和分发的理想选择。

AD9510 的附加抖动约为 0.22 ps,专门为驱动 ADC、DAC 及各种逻辑器件而优化。

5. 电源

对于 ADC 而言,电源至关重要。因此,必须提供干净的无噪声电源,因为大多数 ADC 的电源抑制比都很差。尽管对于很多应用场合来说可以采用开关电源,但线性电源通常能提供更安静、更高性能的解决方案。像 ADP3338 和 ADP3339(见图 10)等器件可提供噪声极低、稳压性能良好的电源,非常适合大多数 ADC 应用。此外,这两种器件有多种电压可选,最大输出电源分别为 1 A 和 1.5 A。

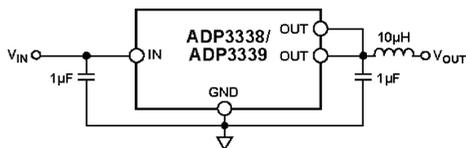


图 10 ADP3338/ADP3339 典型应用

6. 数据采集

数据采集和处理是通过高速缓存实现的。数据采集可以 ADC 全采样进行,或抽取采样,具体取决于所用测试方法。基准测试结合使用 ADI FIFO 套件数据采集板(无需抽取)和 ADC Analyzer 软件(有关详情,请参阅 ADC FIFO 套件部分)。一般采用 16 k、32 k 和 64 k FFT,但基准 FFT 采样速率则可高达 4 M。在模拟输入源与时钟不同步(非相干采样)的情况下,通常使用 Hanning 或 Blackman-Harris 窗函数。(有关详情,请参阅“On the Use of Windows for Harmonic Analysis with the Discrete Fourier Transform,” Fredric J. Harris, Proceedings on the IEEE. Vol. 66, No. 1, January 1978.)

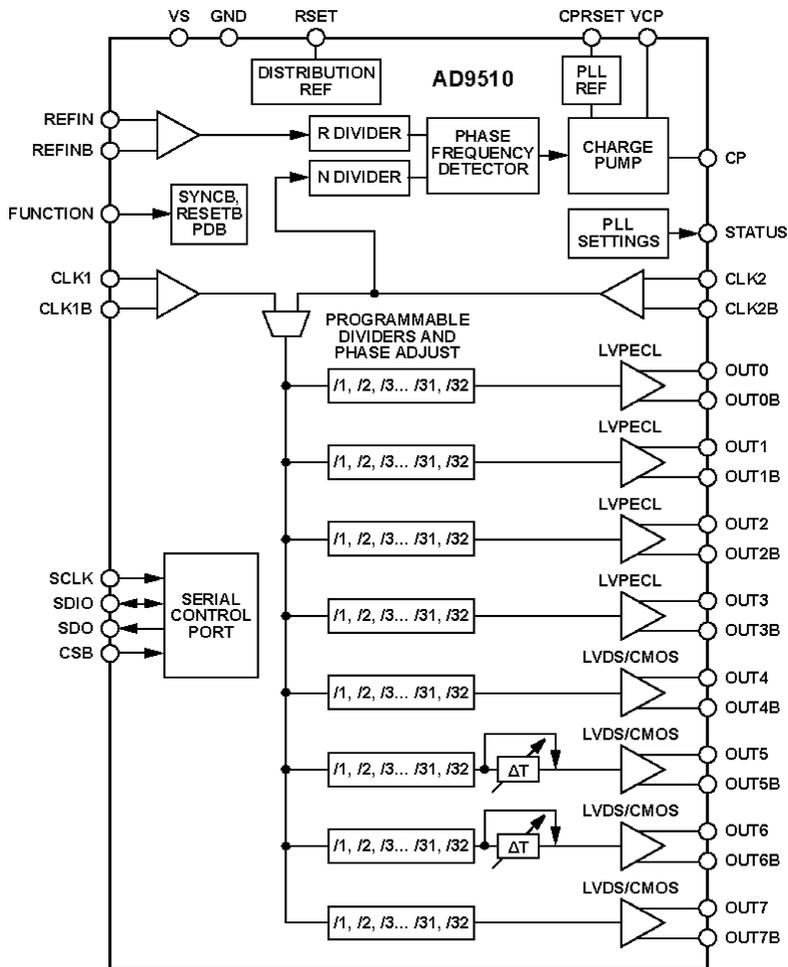


图 11 AD9510 低抖动时钟源

交流测试定义

交流或动态测试一般采用额定频率的模拟信号,信号功率为满量程以下 0.1 dB、0.5 dB 或 1 dB(dBFS)。若使用不同幅度的信号,会在数据手册的测试条件中给出定义。对于这些测试,编码率通常设定为等于或接近额定最大值。在确定其他测试条件(包括电源和温度条件)时,务必查阅数据手册。

1. FFT 测试

可使用相干和非相干 FFT 测试,取决于实际测试条件。采用相干测试时,应选择特定的模拟频率,从而使得采集到的采样数据能在记录长度内转换的代码尽可能多。这是通过模拟频率与编码率之间的一种基本关系实现的。

例如,若使用相干采样,且要求模拟输入频率为 10 MHz,额定采样速率为 65 MSPS,则计算出的相干模拟输入频率为 10.001 525 878 906 3 MHz,或恰好 2 521 个周期。计算方程如下:

$$\text{Cycles} = \frac{f_{\text{DESIRED_FREQUENCY}}}{\frac{\text{Sample_Rate}}{\text{FFT_Samples}}}$$

应对周期数进行舍入处理,取最近的整数。如有可能,应尽量选择最接近的素数,以确保发挥出转换器的最大量子化电平。一旦选好周期数后,则可用有效模拟输入频率求出以上方程式的解。

FFT 测试的结果一般以分贝来衡量。单位可以用 dBc(有效信号以载波为参照)或 dBFS(有效信号以转换器满量程为参照)。两种单位可相互转换,方法是在满量程的基础上加上或减去载波电平。(有关 FFT 测试的详情,请参阅“The FFT: Fundamentals and Concepts,” Tektronix, Inc., 070-1754-00, Production Group 45, first printing December 1975.)

2. 单音 FFT

(1) 信噪比(SNR, dB)

信噪比(SNR)指信号均方根振幅与除前 6 个谐波和直流之外的所有频谱分量均方根和之比。随着输入电平的降低,SNR 往往按分贝线性递减。

以满量程为参照的信噪比(SNRFS, dBFS)

以满量程为参照的信噪比(SNR)指均方根满量程与除前 6 个谐波和直流之外的所有频谱分量均方根和之比。SNRFS 表示为以满量程为参照的分贝数(dBFS)。SNR 与 SNRFS 之间的差异也就是基波幅值与满量程之间的差异。

(2) 信纳比(SINAD, dB)

信纳比(SINAD)指信号均方根振幅与所有频谱分量(包括谐波但不含直流)均方根和之

比。SNR 与 SINAD 之间的差异即是前六个谐波所含能量。

(3) 用户自定义信噪比(UDSNR, dB)

用户自定义信噪比(UDSNR)是 ADC Analyzer 软件中使用的一个术语(请参阅《ADC Analyzer 用户手册》)。表示信号均方根振幅与用户指定频带内除前 6 个谐波和直流之外的所有频谱分量均方根和之比。ADC Analyzer 软件允许单独设置目标信号左右两侧的噪声带宽。UDSNR 单位为分贝。

(4) 噪声系数(NF, dB)

噪声系数(NF)指器件输出端噪声功率与器件输入端噪声功率之比,其中,输入噪声温度等于参考温度(298 K)。噪声系数单位为分贝。

可通过计算求出单配置 ADC 的噪声系数。假设输入范围、端电极和采样速率均为固定值,则可用以下方程算出 ADC 的噪声系数:

$$\text{Noise Figure} = 10 \times \log\left(\frac{V_{\text{rms}}^2 / Z_{\text{IN}}}{0.001}\right) - \text{SNRFS} - 10 \times \log\left(\frac{\text{Encode Frequency}}{2}\right) - 10 \times \log\left(\frac{k \times T \times B}{0.001}\right)$$

其中:

$K =$ 玻尔兹曼常数 $= 1.38 \times 10^{-23}$ 。

$T =$ 绝对温度(单位:Kelvin) $= 273 \text{ K}$ 。

$B =$ 带宽 $= 1 \text{ Hz}$ 。

Encode Frequency $=$ ADC 时钟速率。

$V_{\text{rms}} =$ 满量程输入均方根电压。

$Z_{\text{IN}} =$ 输入阻抗。

SNRFS $=$ 满量程 ADC 信噪比(SNR)。

(5) 噪底(dBFS)。

噪底是 ADC Analyzer 软件中使用的一个术语(请参阅《ADC Analyzer 用户手册》)。噪底等于

$$\text{Noise Floor} = \text{SNRFS} - 10 \log\left(\frac{\text{FFT Bins}}{2}\right)$$

该值表示的是各 FFT 滤波器组的平均噪声。若 FFT 滤波器组增加一倍,该数值将减少 3 dB。本底噪声并非绝对指标,相反,它表示的是给定设置中噪声的相对位置。

(6) 有效位数(ENOB, Bits)

有效位数(ENOB)是用来衡量 ADC 性能的指标,单位为位(Bits)。测量 ENOB 最精确的方法是采用一个正弦波的曲线拟合法(请参阅“Calculate an ADC's Effective Bits”(计算 ADC 的有效位))。最常用的 ENOB 算法采用基于转换器满量程 SINAD 的以下方程:

$$\text{ENOB} = \frac{\text{SINAD} - 1.76}{6.02}$$

(7) 无杂散动态范围(SFDR, dBc)

无杂散动态范围(SFDR)指信号均方根值与模拟输入产生最差结果的峰值杂散频谱分量均方根值之比。多数情况下, SFDR 为 ADC 输入信号的一种谐波。

(8) 谐波失真(dBc 或 dBFS)

谐波是模拟输入频率的一个整数倍频谱分量。例如,二次谐波的频率就是模拟输入频率的两倍。

大多数 ADC 指标均包含有一个或多个谐波。一般地,二次和三次谐波均会被列出,因为在所有谐波中它们的性能最差。

谐波失真,无论其次数,均指信号均方根振幅与相应次数的谐波分量均方根值之比,单位为 dBc 或 dBFS。

由于 ADC 属于非线性器件,因而其输出中频谱分量非常丰富。最差杂散能量并不一定与前两个谐波(2HD 和 3HD)直接相关,而是用最差其他杂散(WoSpur)来衡量。WoSpur 指的是信号均方根振幅与除去前 6 个谐波相关分量之外的最差杂散分量均方根之比,单位为 dBc。

(9) 总谐波失真(THD, dBc)

总谐波失真(THD)指的是信号均方根能量与前 6 个谐波之和的均方根值之比。

(10) 谐波镜像(dBc)

谐波镜像测量结果仅在分析隔行扫描 ADC 时有效。该指标对大多数 ADC 都不适用。谐波镜像指的是信号均方根振幅与两个 ADC 时钟相位差产生的非谐波分量均方根之比,单位为 dBc。

图 12 为单音测试设置。

3. 双音 FFT

如果多个信号音通过一个存在非线性度的转换器,就会产生交调失真(IMD)。ADC 双音测试是测量这类非线性度的一种方法。由于许多失真积可能在模拟频谱中相对较高,因而这些频率可能已发生混叠。在识别失真积时,务必记住这一点。

(1) $F1+F2$ (dBc)

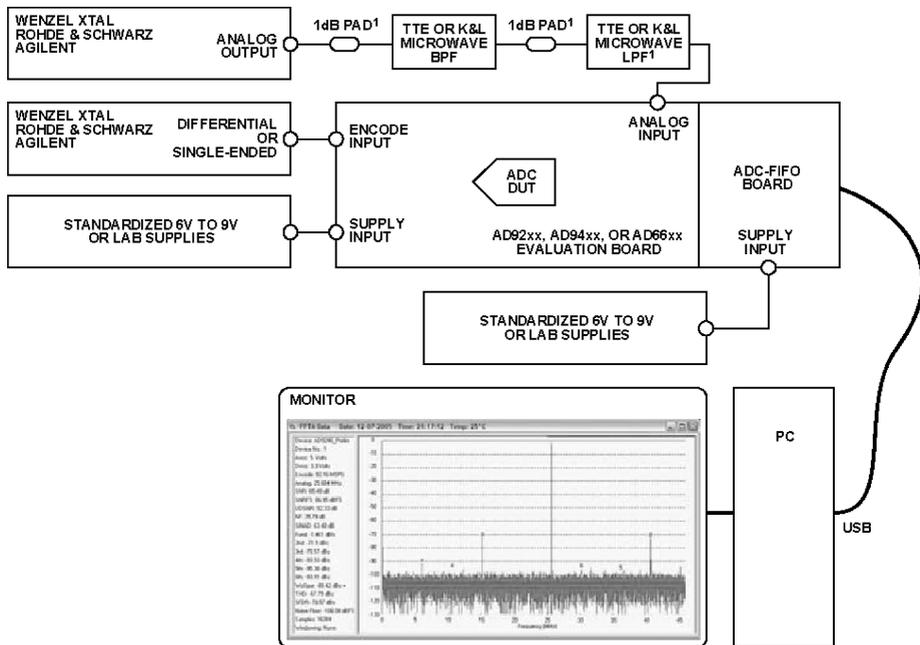
该术语表示相应频率出现的 2 阶失真积,等于两个输入频率之和。其衡量指标为其均方根值与两个输入信号音之一的均方根值之比,单位为 dBc。

(2) $F2-F1$ (dBc)

该术语表示相应频率出现的 2 阶失真积,等于两个输入频率之差。其衡量指标为其均方根值与两个输入信号音之一的均方根值之比,单位为 dBc。

(3) 2 阶输入交调点(IIP2, dBm)

2 阶输入交调点(IIP2)衡量的是转换器满量程输入信号功率减去 IMD 2 阶积之差,单位为 dBm。



¹OPTIONAL TO IMPROVE PERFORMANCE.

NOTES

1. AIN LEVELS SHOULD BE ADJUSTED FOR THE FREQUENCY AND LEVEL SPECIFIED.
2. ENCODE SETTING SHOULD BE ADJUSTED TO THE SPECIFIED RATE.
3. UNLESS ONBOARD REGULATORS ARE USED, SUPPLIES SHOULD BE AT NOMINAL.
4. TEMPERATURE SHOULD BE AT AMBIENT, UNLESS OTHERWISE NOTED.
5. USE THE APPROPRIATE CONFIGURATION FILE FOR ADC ANALYZER.

图 12 单音测试设置

(4) $2F1 \pm F2$ 及 $2F2 \pm F1$ (dBc)

这两个术语表示转换器的 3 阶失真积。每一术语的衡量指标均为其均方根值与两个输入信号音之一的均方根值之比,单位为 dBc。峰值杂散分量被当做 IMD 积。

(5) 3 阶输入交调点 (IIP3, dBm)

3 阶输入交调点 (IIP3) 衡量的是转换器满量程输入信号功率减去 IMD 3 阶积的一半得到的差,单位为 dBm。

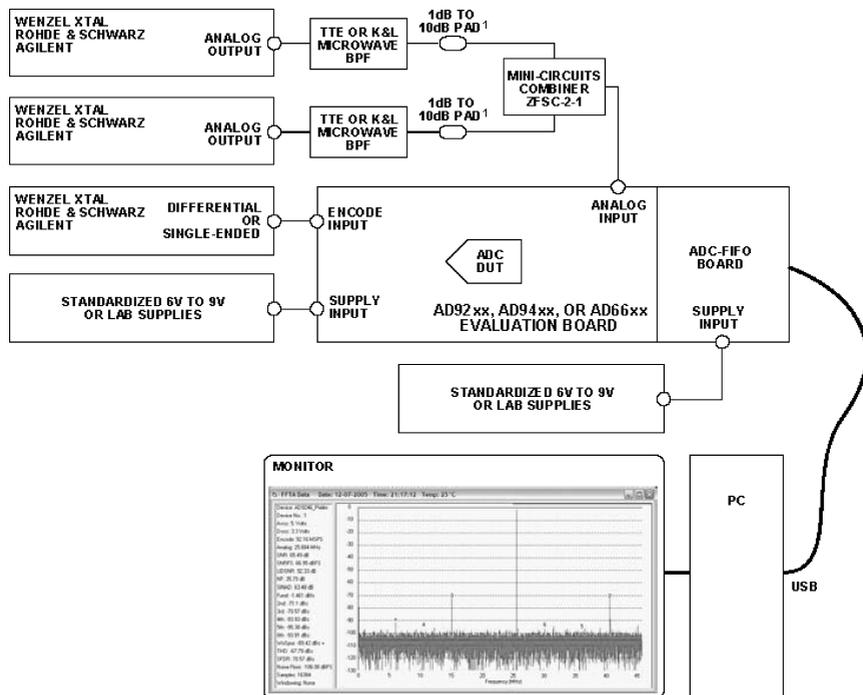
(6) 最差其他杂散 (WoSpur, dBc)

最差其他杂散 (WoSpur) 指与两个模拟输入信号混合所导致的 2 阶或 3 阶失真积无关的最差杂散。该术语的衡量指标为其均方根值与两个输入信号音之一的均方根值之比,单位为 dBc。

(7) 双音 SFDR (dBc)

无杂散动态范围 (SFDR) 指信号均方根值与模拟输入产生最差结果的峰值杂散频谱分量均方根值之比。多数情况下, SFDR 为 ADC 输入信号的一种谐波。

图 13 为双音测试设置。



¹OPTIONAL TO IMPROVE PERFORMANCE.

NOTES

1. AM LEVELS SHOULD BE ADJUSTED FOR THE FREQUENCY AND LEVEL SPECIFIED.
2. ENCODE SETTING SHOULD BE ADJUSTED TO THE SPECIFIED RATE.
3. UNLESS ONBOARD REGULATORS ARE USED, SUPPLIES SHOULD BE AT NOMINAL.
4. TEMPERATURE SHOULD BE AT AMBIENT, UNLESS OTHERWISE NOTED.
5. USE THE APPROPRIATE CONFIGURATION FILE FOR ADC ANALYZER.

图 13 双音测试设置

4. 噪声功率比(NPR, dB)

噪声功率比(NPR)是一种动态测试,用于通过一满载高斯噪声源来评估转换器的性能。使用一个奈奎斯特带宽的噪声源来调节噪声电平,从而使转换器加载到刚好低于削波点。然后用一个深陷波滤波器来消除噪声窄带。陷波内的噪声可用FFT技术进行测量,以确定陷波内噪声密度与陷波外的噪声密度比值。结果表示为分贝。NPR恰好在削波点之前进行优化,如图14所示。一旦削波开始,NPR将随着输入信号的加强而迅速下降。如果输入信号减弱,噪声功率每减少1分贝,NPR将大约下降1dB。

图15为12位转换器的典型NPR响应;图16为NPR测试设置。

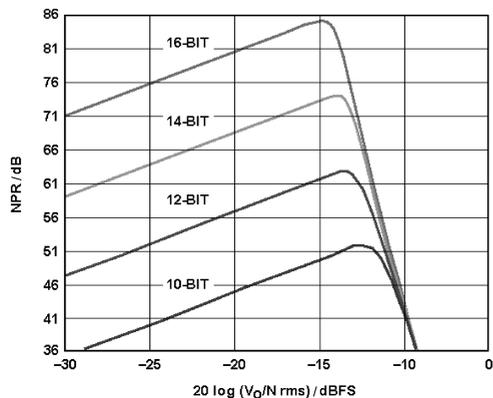


图 14 典型 NPR 曲线

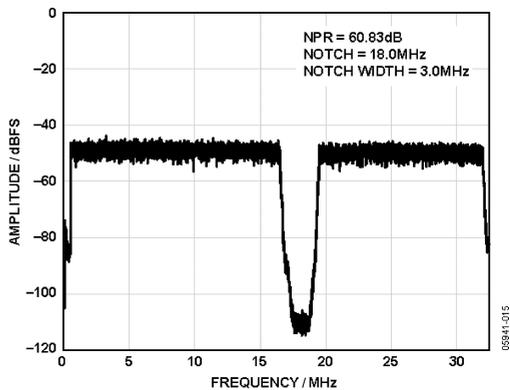
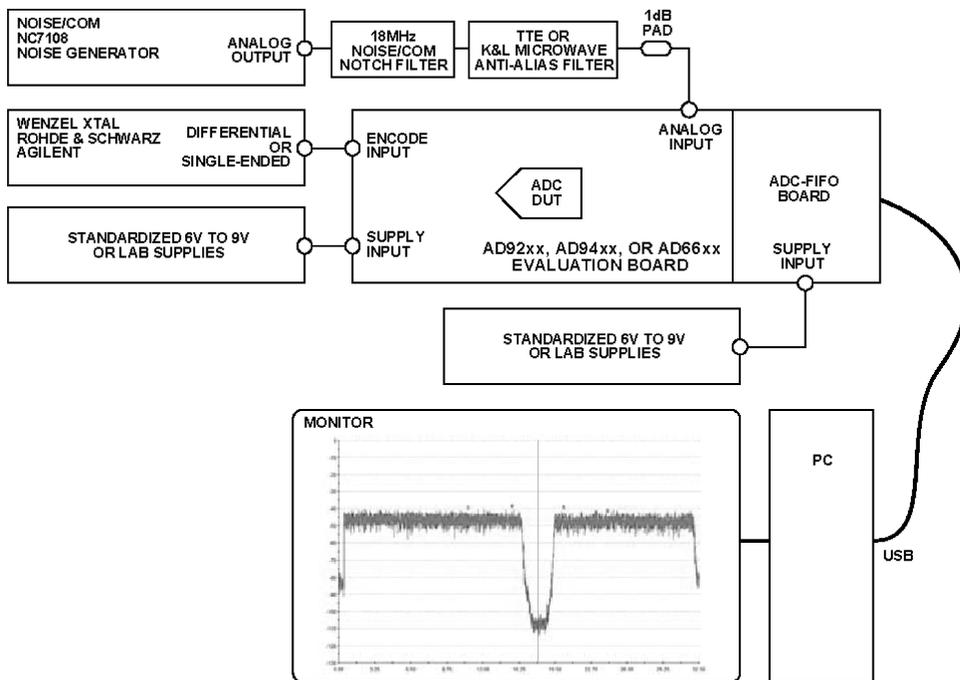


图 15 12 位转换器的典型 NPR 响应



NOTES

1. SET NOISE/COM TO -5dBm OR DECREMENT/INCREMENT FOR APPROPRIATE NOISE INPUT LEVEL.
2. ENCODE SETTING SHOULD BE ADJUSTED TO THE SPECIFIED RATE.
3. UNLESS ONBOARD REGULATORS ARE USED, SUPPLIES SHOULD BE AT NOMINAL.
4. TEMPERATURE SHOULD BE AT AMBIENT, UNLESS OTHERWISE NOTED.
5. USE THE APPROPRIATE CONFIGURATION FILE FOR ADC ANALYZER.
6. USE AN ADC-FIFO BOARD WITH AT LEAST 64k.

图 16 NPR 测试设置

5. 全功率带宽 (MHz)

模拟输入带宽指的是基频频谱功率(由 FFT 分析所确定)衰减 3 dB 时的模拟输入频率。该测试并不包含某一具体的 SFDR 或 SNR 性能。

图 17 为典型全功率带宽响应;图 18 为全功率带宽测试设置。

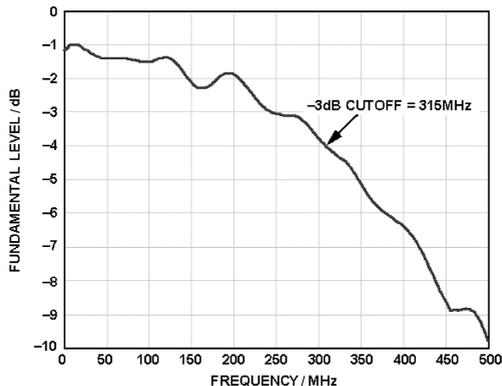
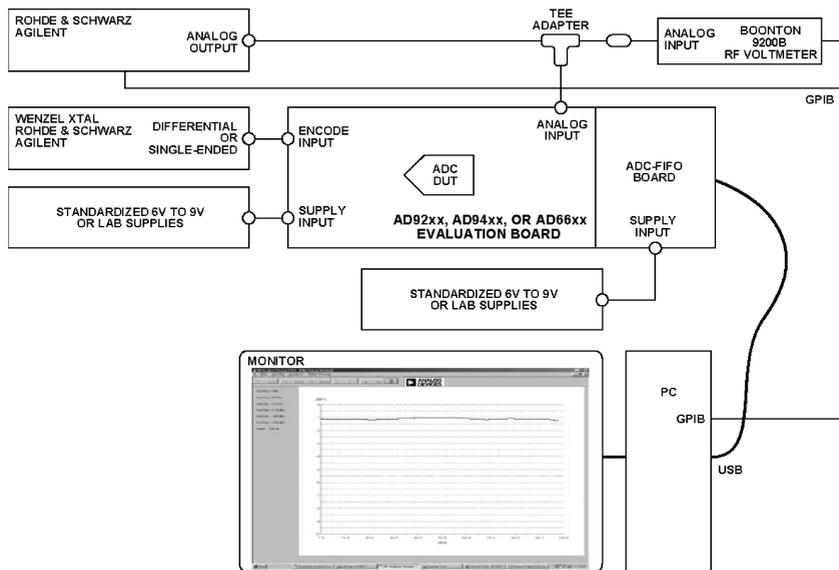


图 17 典型全功率带宽响应



NOTES

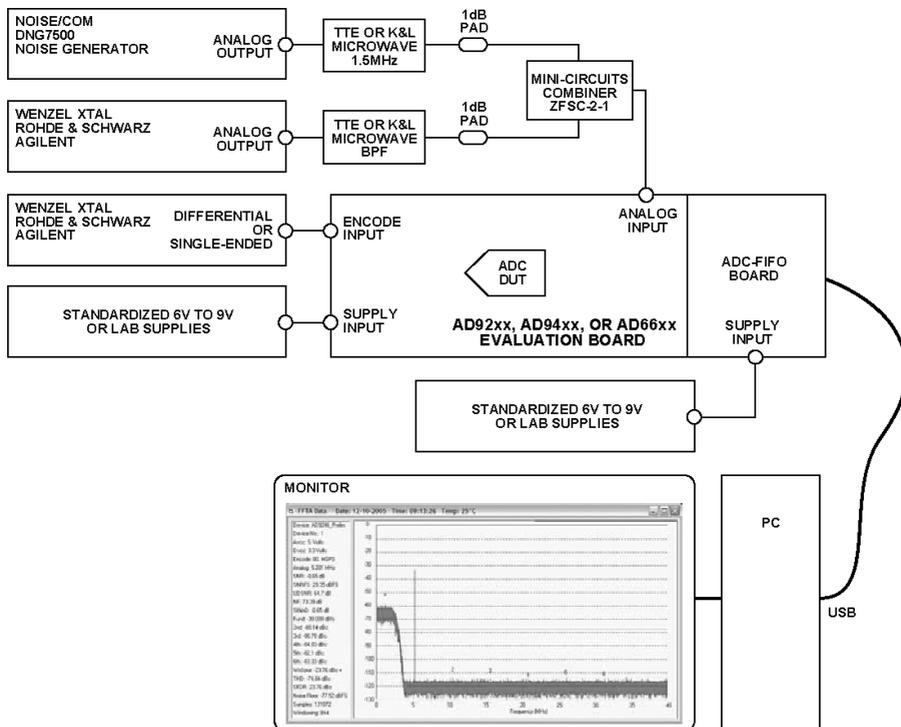
1. AIN LEVELS SHOULD BE ADJUSTED FOR -1dB AT A 10MHz REFERENCE FREQUENCY.
2. ENCODE SETTING SHOULD BE ADJUSTED TO THE SPECIFIED RATE.
3. UNLESS ONBOARD REGULATORS ARE USED, SUPPLIES SHOULD BE AT NOMINAL.
4. TEMPERATURE SHOULD BE AT AMBIENT, UNLESS OTHERWISE NOTED.
5. USE THE APPROPRIATE CONFIGURATION FILE FOR ADC ANALYZER.
6. BOONTON PROBES SHOULD USE UNTERMINATED ADAPTERS.

图 18 全功率带宽测试设置

6. 抖动测试

向 ADC 输入一额外噪声会导致传递函数抖动,从而减少静态非线性度导致的杂散现象。尽管这种抖动对减小因压摆率限制引起的失真作用不大,但是对减少有碍 ADC 性能的本征误差却非常有效。

抖动分为两类:带外抖动和宽带抖动。如图 19 所示的设置中,带外抖动表示位于带外的带限噪声,在此范围内,抖动并不会对转换器性能造成太大的影响。这种技术通常用于通信系统中,这些系统使用数字滤波器来选择有效信号以及滤除其他信号。宽带抖动通常用在高性能测试设备中。在这种配置中,宽带模拟噪声被加到输入端,并在输出中减去相应的数字等效值。任一技术的实际效果都是转换器的杂散性能得以大幅增加。有关详情,请参阅《AN-410 应用笔记》。



NOTES

1. AIN LEVELS SHOULD BE ADJUSTED FOR THE FREQUENCY AND LEVEL SPECIFIED.
2. ENCODE SETTING SHOULD BE ADJUSTED TO THE SPECIFIED RATE.
3. UNLESS ONBOARD REGULATORS ARE USED, SUPPLIES SHOULD BE AT NOMINAL.
4. TEMPERATURE SHOULD BE AT AMBIENT, UNLESS OTHERWISE NOTED.
5. USE THE APPROPRIATE CONFIGURATION FILE FOR ADC ANALYZER. ADJUST DC BINS TO EXCLUDE DITHER.
6. USE AN ADC-FIFO BOARD WITH AT LEAST 64K.
7. ADJUST NOISE/COM DITHER LEVEL FOR MAXIMUM SFDR PERFORMANCE.

图 19 抖动测试设置

采用抖动时,杂散性能一般能改善 15 dB 或更多,具体取决于应用。许多数据手册均含有抖动性能曲线图,可供比较。此外,结合使用 ADC Analyzer 软件和 ADIsimADC,可把抖动加到模拟仿真中,以进一步说明抖动将如何提升性能。

7. 模拟输入

(1) 模拟输入阻抗

模拟输入阻抗指的是模拟输入的复合输入电压与复合输入电流之比。模拟输入阻抗一般采用网络分析仪来测量,结果用史密斯圆图进行显示。

某些情况下,复合输入可分解为电阻、电容或电感项,结果也可分别显示。

(2) 电压驻波比(VSWR)

VSWR 衡量的是从 ADC 输入端反射回的功率量,这是对能量传输至 ADC 输入端口效率的一种衡量。

根据以下方程,可由输入阻抗来计算从器件反射回的功率量:

$$\rho = \frac{Z_{IN} - Z_0}{Z_{IN} + Z_0}$$

式中:

ρ 为器件反射回的功率量;

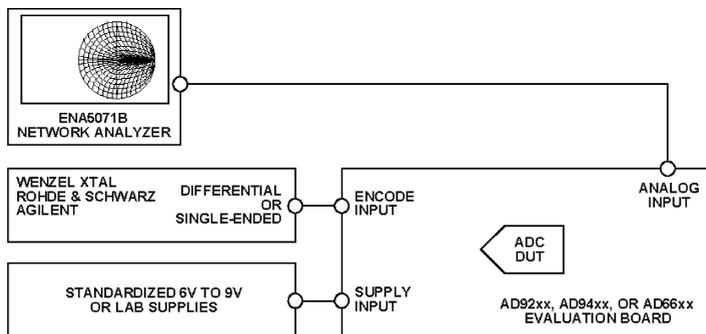
Z_{IN} 为 ADC 的复合输入阻抗;

Z_0 为网络有效阻抗。

根据反射系数,可由以下方程求出 VSWR:

$$VSWR = \frac{1 + \rho}{1 - \rho}$$

图 20 为模拟输入阻抗与 VSWR 测试设置。



NOTES

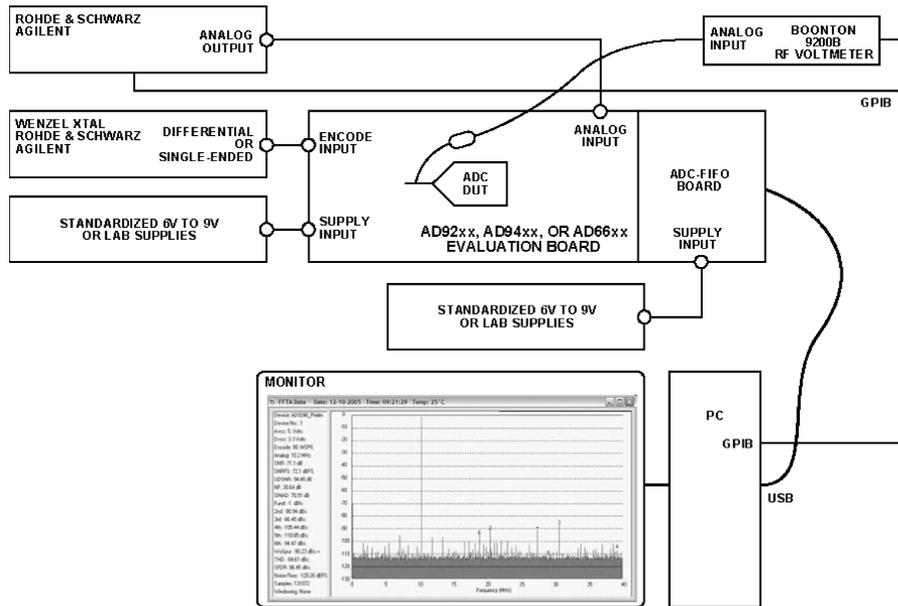
1. ENCODE SETTING SHOULD BE ADJUSTED TO THE SPECIFIED RATE.
2. UNLESS ONBOARD REGULATORS ARE USED, SUPPLIES SHOULD BE AT NOMINAL.
3. TEMPERATURE SHOULD BE AT AMBIENT, UNLESS OTHERWISE NOTED.
4. USE THE APPROPRIATE CONFIGURATION FILE FOR ADC ANALYZER.
5. CALIBRATE NETWORK ANALYZER (3.5mm CALIBRATION KIT, PART NO. 85033C OR EQUIVALENT).

图 20 模拟输入阻抗与 VSWR 测试设置

8. 模拟输入满量程范围 (V p-p)

模拟输入满量程范围指可输入转换器模拟输入端以产生有效满量程响应的峰-峰值(单端或差分)电压的范围。

图 21 为模拟输入满量程范围测试设置。



NOTES

1. AIN LEVELS SHOULD BE ADJUSTED FOR -1dB AT 10MHZ.
2. ENCODE SETTING SHOULD BE ADJUSTED TO THE SPECIFIED RATE.
3. UNLESS ONBOARD REGULATORS ARE USED, SUPPLIES SHOULD BE AT NOMINAL.
4. TEMPERATURE SHOULD BE AT AMBIENT, UNLESS OTHERWISE NOTED.
5. USE THE APPROPRIATE CONFIGURATION FILE FOR ADC ANALYZER.
6. BOONTON PROBES SHOULD USE UNTERMINATED ADAPTERS.

图 21 模拟输入满量程范围测试设置

9. 共模输入范围 (V)

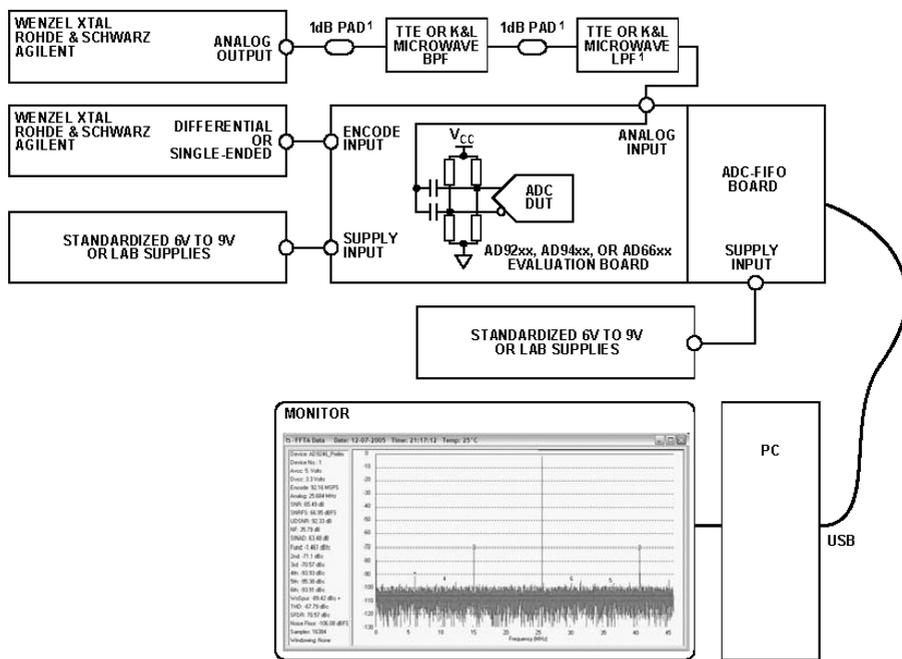
共模输入范围指差分输入 ADC 两个输入端的直流偏置的范围,在此范围内,转换器可正常运行。对于许多转换器而言,该范围非常有限,但有些转换器共模范围较宽。在确定具体共模范围时,请参考相应转换器数据手册。

10. 共模抑制比 (CMRR, dB)

共模抑制比(CMRR)定义为差分模拟输入时,对共模信号的抑制量。CMRR 一般表示为分贝,可通过以下方程进行计算:

$$CMRR = 20 \log \left(\frac{A_{\text{differential}}}{A_{\text{common mode}}} \right)$$

图 22 为 CMRR 测试设置。



¹OPTIONAL TO IMPROVE PERFORMANCE.

NOTES

1. AIN LEVELS SHOULD BE ADJUSTED FOR THE FREQUENCY AND LEVEL SPECIFIED.
2. ENCODE SETTING SHOULD BE ADJUSTED TO THE SPECIFIED RATE.
3. UNLESS ONBOARD REGULATORS ARE USED, SUPPLIES SHOULD BE AT NOMINAL.
4. TEMPERATURE SHOULD BE AT AMBIENT, UNLESS OTHERWISE NOTED.
5. USE THE APPROPRIATE CONFIGURATION FILE FOR ADC ANALYZER.
6. RESISTIVE DIVIDER MAY NOT BE NECESSARY FOR SOME ADCs.

图 22 CMRR 测试设置

11. 孔径延迟 (ps)

孔径延迟 (AD) 衡量的是模拟通道与编码通道之间的延迟差。由采样时钟上升沿 50% 点到输入信号采样实际开始所需时间进行测量。

可通过以下测试配置来测量孔径延迟 (AD)：

- ① 将模拟输入连接至一个模拟滤波源。
- ② 用 ADC Analyzer 一类的程序对输入进行调节, 直到单音 FFT 产生满量程信号 (0 dBFS) 为止。
- ③ 断开模拟输入连接, 用短路棒将模拟输入短接到地。
- ④ 用连续平均时域坐标图测量该器件的失调值。
- ⑤ 把模拟输入上的短路棒移开, 按图 23 所示重新连接模拟输入。
- ⑥ 记录新的失调值, 并用该值求出以下方程的解：

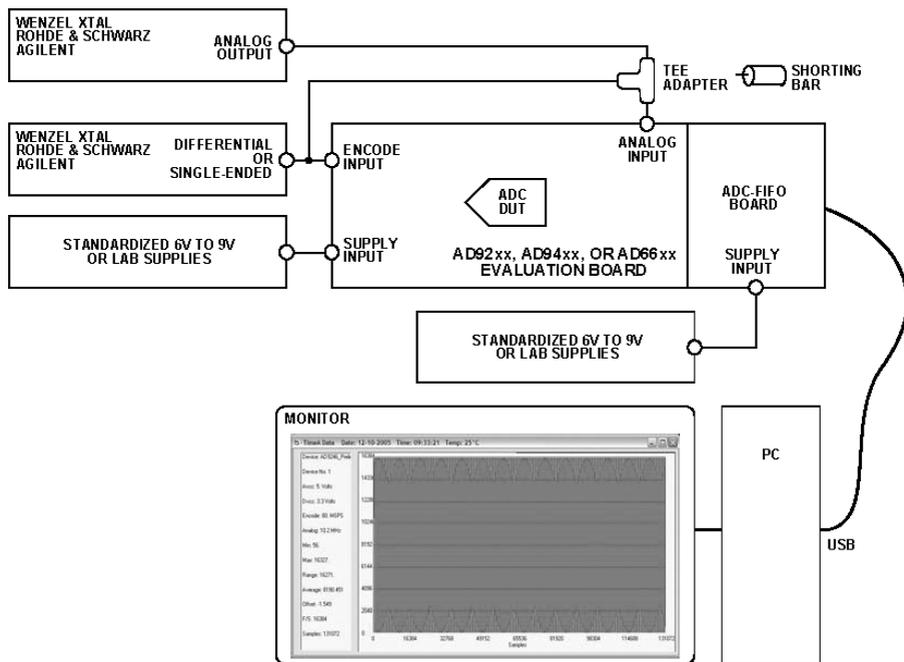
$$t_{AD} = \sin^{-1} \left(\frac{(\text{Code}_{\text{AVERAGE}} - \text{Offset}) / (2^N / 2)}{2\pi \times \text{Frequency}} \right)$$

其中:

$2^N / 2$ 为 16 位 ADC 的中量程。

Offset 为通过连续平均时域坐标图测得的器件失调值(见第 4 步)。

Code_{AVERAGE} 为移除短路棒并重新连接模拟输入后测量的新失调值(见第 5 步)。



NOTES

1. AIN LEVELS SHOULD BE ADJUSTED FOR 0dBFS OUTPUT FOR THE INPUT FREQUENCY OF MIDBAND.
2. ENCODE SETTING SHOULD BE ADJUSTED TO THE SPECIFIED RATE.
3. UNLESS ONBOARD REGULATORS ARE USED, SUPPLIES SHOULD BE AT NOMINAL.
4. TEMPERATURE SHOULD BE AT AMBIENT, UNLESS OTHERWISE NOTED.
5. USE THE APPROPRIATE CONFIGURATION FILE FOR ADC ANALYZER.

图 23 孔径延迟时间测试设置

12. 孔径抖动或孔径不确定度 (ps RMS)

孔径抖动指孔径延迟中的采样间变化,在 ADC 输入中可表现为频率相关噪声。有关孔径抖动测量方法的详情,可参看《AN - 501 应用笔记》,有关如何将孔径抖动转换为相位噪声的详细介绍,可参看《AN - 756 应用笔记》。

图 24 为孔径不确定度。

13. 串扰 (dB)

串扰定义为多通道 ADC 中,耦合至无信号通道的任何信号。串扰包括两种条件,共三种

测量方式。

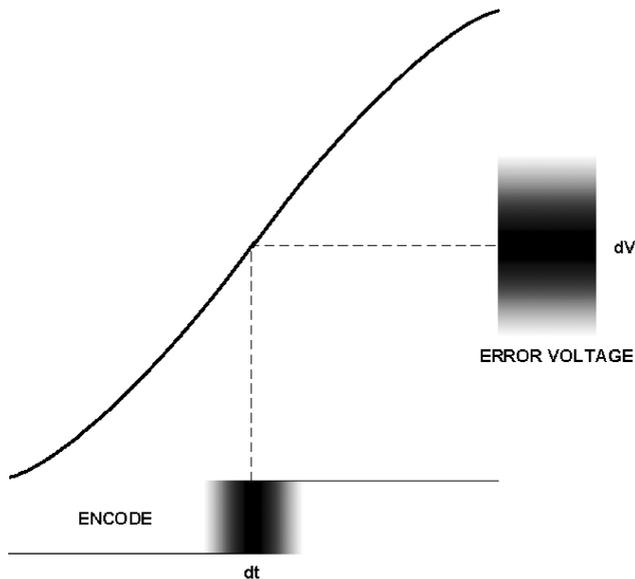


图 24 孔径不确定度

(1) 条件 1

如果信号驱动接近满量程,则可通过以下方法之一进行测量:

- 分别用一个差分中基带频率驱动任意两个通道,间隔至少 2 MHz(-0.5 dBFS)。记下任何开路通道(未驱动)上的相同基频。对全部通道组合重复这一步骤。
- 用一单中基带频率(-0.5 dBFS)驱动任何 N-1 通道。记下任何开通道(未驱动)上的相同基频。对全部通道组合重复这一步骤。

(2) 条件 2

如果信号驱动超过满量程 3 dB(这种情况称为过载条件),则可通过以下方法测量串扰:

- 使用“条件 1”中描述的方法之一,但需将中基带频率振幅设为超过满量程 3 dB。

所有结果均表示为分贝,等于无信号通道上干扰信号的能量与受驱动通道上的能量之比。

14. 折合到输入端的噪声 (LSB RMS)

折合到输入端的噪声衡量的是 ADC 产生的宽带噪声。输入接地时,将生成关于输出码的直方图。折合到输入端的噪声通过直方图标准差进行计算,表示为 LSB 均方根。

该指标也可通过 SNRFS 测量值加以关联,并用以下方程将分贝转换为伏特:

$$\text{Noise}_{\text{INPUT}} = \frac{V_{p-p}}{2 \times \sqrt{2} \times 10^{\text{SNR}/20}}$$

其中, V_{p-p} 为 ADC 满量程输入范围, SNR 为由小输入信号驱动时的满量程 SNR 性能。

15. 范围外恢复时间(时钟周期)

范围外恢复时间是指当瞬时输入从高于正满量程 10%变为高于负满量程 10%，或者从低于负满量程 10%变为低于正满量程 10%时，ADC 恢复额定精度所需的时间。

16. 数字时域

(1) 最小转换速率(MSPS)

最小转换速率是指最低额定模拟信号频率的信噪比降至保证限值之下不超过 3 dB 时的时钟速率。

(2) 最大转换速率(MSPS)

最大转换速率是指执行参数测试的时钟速率。尽管工作速率也可达到更高水平，但并无保证。

(3) 流水线延迟(时钟周期)

流水线延迟是指通过转换器的延迟，为编码周期的函数。为实现吞吐量的最大化，许多高速转换器采用流水线处理技术。结果，直到数个信号时钟周期采样完毕后，才会输出相应的数据。这种延迟即为流水线延迟，可表示为整数或小数个时钟周期，具体取决于所用数据转换器。

(4) 传播延迟(ns)

传播延迟是指时钟逻辑阈值(或差分时钟输入的 50%点)与全部比特均位于有效逻辑电平之内时的时间之间的延迟。

(5) 编码脉冲宽度或编码占空比

编码脉冲宽度高电平是指编码信号保持逻辑高状态并达到额定性能的最小时间。编码脉冲宽度低电平是指编码信号保持逻辑低状态并达到额定性能的最小时间。在传统 ADC 中，当编码信号处于逻辑高状态时，电路则处于采样模式。如果高状态持续时间不足，采样过程则无法完成。如果低状态持续时间不足，电路将无法精确获得待采样的信号。采集和采样时间适当均衡时，即可实现最佳操作。

许多转换器提供的指标是编码占空比而非脉冲宽度。该指标通常与最大额定编码相关，表示为编码线可保持高状态的时间的百分比范围。

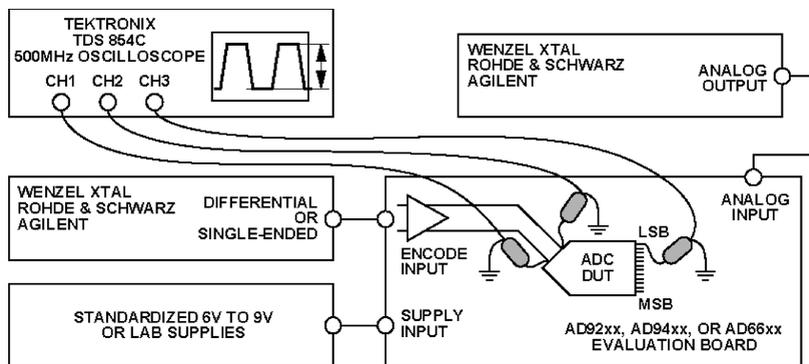
在这种测试中，额定性能被定义为 SNRFS 性能处于额定性能 -3 dB 之内的范围。

图 25 为传播延迟测试设置。

17. 转换误码率(CER)

转换误码率(CER)衡量的是 ADC 产生误码的频率。误码定义为落在转换器噪声界限之外且超过正态分布噪声容许范围的输出码。转换器噪声则指通常由量子化、热效应和时钟抖动产生的噪声，一般认为呈高斯分布。如果发生频率超出正态分布预测范围，则认为相应采样为误码。

噪声大小基于 $\Sigma(\sigma)$ 进行归一化处理，计算方法是，先测量满量程信噪比(SNR)，然后再用该值求出以下方程的解：



NOTES

1. AIN SHOULD BE SET TO A LOW FREQUENCY FULL-SCALE SIGNAL.
2. ENCODE SETTING SHOULD BE ADJUSTED TO THE SPECIFIED RATE.
3. UNLESS ONBOARD REGULATORS ARE USED, SUPPLIES SHOULD BE AT NOMINAL.
4. TEMPERATURE SHOULD BE AT AMBIENT, UNLESS OTHERWISE NOTED.
5. USE THE APPROPRIATE REVS ON EVALUATION BOARD AND PARTS AS NOTED.
6. ALL OSCILLOSCOPE PROBES SHOULD BE SOLDERED DOWN AND GROUNDED.
7. TEKTRONIX PROBES M/N: P6243 OR BETTER SHOULD BE USED. <1pF WITH 1GHz BW.

图 25 传播延迟测试设置

$$\sigma = \frac{2^N}{2 \times \sqrt{2} \times 10^{\text{SNR}/20}}$$

基于预期信噪比(或数据手册提供值)确定 Σ 之后,则可用特定方法来采集数据,以从实际码中减去预期 ADC 码,结果生成分布直方图。对于统计意义上的大数据集,正常 ADC 噪声的分布将类似于图 26 所示结果。对于大样本分布,任何超出这些范围内的样本均表示比特误差,如表 1 所列。

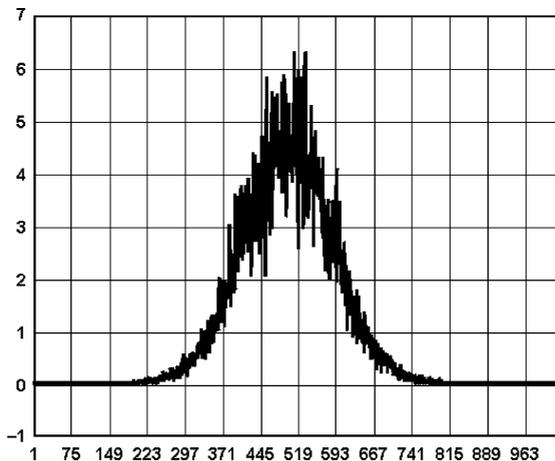


图 26 高斯分布 ADC 输出

表 1 Σ 与常态发生概率

σ	事件正态概率	100 万个采样中的范围外自然发生量
3.09	2×10^{-3}	2000
3.72	2×10^{-4}	200
4.26	2×10^{-5}	20
4.75	2×10^{-6}	2
5.20	2×10^{-7}	0.2
5.61	2×10^{-8}	0.02
6.0	2×10^{-9}	0.002
6.36	2×10^{-10}	0.0002

必须注意的是,当采样速率为 100 MSPS 时,若 6.36Σ 之外的 50 秒窗口中存在一个误码应为正常现象,并不会产生一个转换错误。仅当速率超过 2×10^{-10} 时才会表现为转换误码。实际上,当速率超过 2×10^{-6} 或 2×10^{-7} 以上时,包括闭锁装置和存储元件在内的外部设备增加了测量的难度。

直流测试定义

1. 增益误差 (%FS)

增益误差是指测量满量程与理想满量程之差,通常表示为满量程的百分比。

2. 增益匹配 (%FS)

增益匹配是指多通道 ADC 的最大满量程与最小满量程之比,表示为满量程的百分比,可由以下方程计算:

$$\text{Gain Matching} = \left(\frac{\text{FSR}_{\text{MAX}} - \text{FSR}_{\text{MIN}}}{\frac{\text{FSR}_{\text{MAX}} + \text{FSR}_{\text{MIN}}}{2}} \right) \times 100\%$$

其中, FSR_{MAX} 为 ADC 的最大正增益误差, FSR_{MIN} 则为最大负增益误差。

3. 失调误差 (%FS)

失调误差是指在输出端生成中量程码的模拟输入处的测量电压与理想电压之差,通常表示为满量程的百分比。

4. 失调匹配 (mV)

失调匹配是指多通道转换器各通道间的失调差,单位为毫伏 (mV),可由以下方程计算:

$$\text{失调匹配} = \text{VOFFSET}_{\text{MAX}} - \text{VOFFSET}_{\text{MIN}}$$

其中, $VOFFSET_{MAX}$ 为最大正失调误差, $VOFFSET_{MIN}$ 则为最大负失调误差。

失调匹配通常表示为毫伏(mV), 跟满量程范围一起在产品数据手册中列出。

5. 温度漂移(ppm)

失调误差和增益误差的温度漂移定义的是初始值(25 °C)与 T_{MIN} 或 T_{MAX} 值之间的最大变化范围, 通常表示为 ppm。

6. 输出高电平/输出低电平(VOH/VOL , V)

输出高电平(VOH)表示逻辑高电平的电压。输出低电平(VOL)表示逻辑低电平的电压。

直流或静态测试一般采用直流或非常低频的测试信号。这类测试旨在确定多种铁芯转换器指标的基准值。测试条件因产品而异; 因此, 确定实际测试条件时必须参考相应产品的数据手册。

7. 线性度

线性度分为两类: 差分非线性(DNL)和积分非线性(INL)。衡量一个 ADC 的基本指标是每个代码均有效的电压范围。这些电压的积分决定着转换器的总体传递函数。这两项基本指标共同决定 ADC 的静态性能特征。

这些测试往往借助直方图技术进行。用统计属性已知的信号驱动 ADC 模拟输入, 即可绘出直方图。例如, 一个直流斜坡就具有良好的均匀概率密度函数特征。这就意味着, 驱动 ADC 输入时, 每一 ADC 代码在大观察窗中具有相同的发生概率。如正弦波等其他波形同样拥有各种已知功能。尽管这类波形并不统一, 但可用数学公式精确描述(请参阅“The Data Conversion Handbook”(数据转换手册), Walt Kester, Newness, 2005, Page 315.)。

进行直方图测试, 一般采集尽量多的样本。对于高分辨率转换器, 可能为 400 万个样本或以上。

(1) 差分非线性误差(DNL, LSB)

差分非线性(DNL)是指任一代码偏离理想的 1 LSB 步进的程度。其测量方法是先分析各直方图, 然后对实际发生概率与理想概率进行比较。结果即是各代码 DNL 的直接测量值。图 27 为典型 10 位 DNL。

(2) 失 码

如果某一代码的 DNL 为 -1 LSB, 则称之为失码。失码定义为一个丢失的量化电平, 可由多种原因引起。多数产品均采用无失码设计, 或通过筛选排除失码现象。

(3) 积分非线性误差(INL, LSB)

积分非线性(INL)是指传递函数对基准线的偏离, 该基准线表示为 1 LSB 的几分之一, 采用的是一条由最小均方曲线拟合决定的最佳直线。其测量方法为, 对直方图求积分, 得到传递函数, 然后对该函数进行线性回归。实际传递函数与该最佳拟合线之差即为 INL。图 28 为典型 10 位 INL。

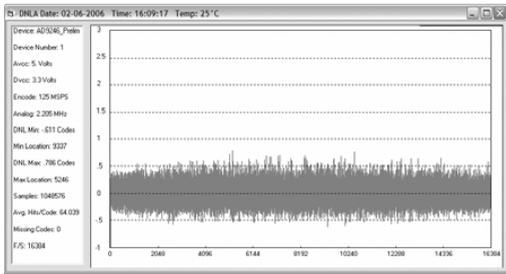


图 27 典型 10 位 DNL

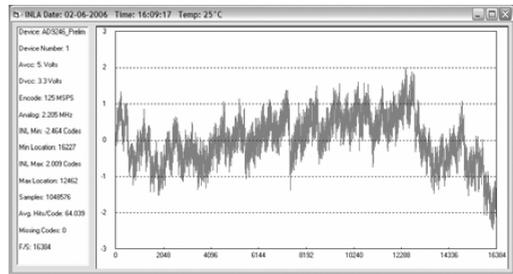
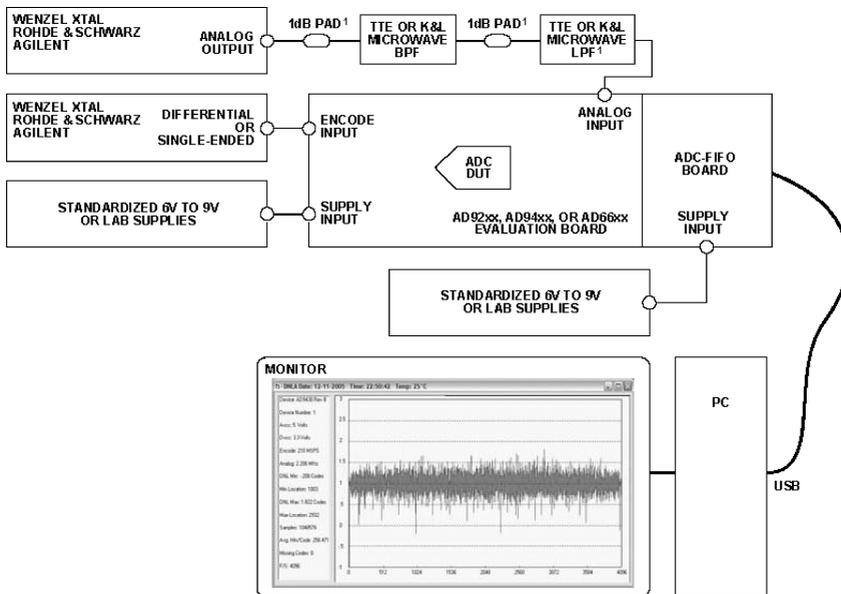


图 28 典型 10 位 INL

图 29 为 DNL 和 INL 测试设置。



1. OPTIONAL TO IMPROVE PERFORMANCE.

NOTES

1. AIN LEVELS SHOULD BE ADJUSTED FOR -0.01dBFS AND ABOUT 2.2MHz.
2. ENCODE SETTING SHOULD BE ADJUSTED TO THE SPECIFIED RATE.
3. UNLESS ONBOARD REGULATORS ARE USED, SUPPLIES SHOULD BE AT NOMINAL.
4. TEMPERATURE SHOULD BE AT AMBIENT, UNLESS OTHERWISE NOTED.
5. CUSTOMER SOFTWARE DOES NOT SUPPORT INL AND DNL TESTING.
6. USE APPROPRIATE REVS ON EVALUATION BOARD AND PARTS AS NOTED.

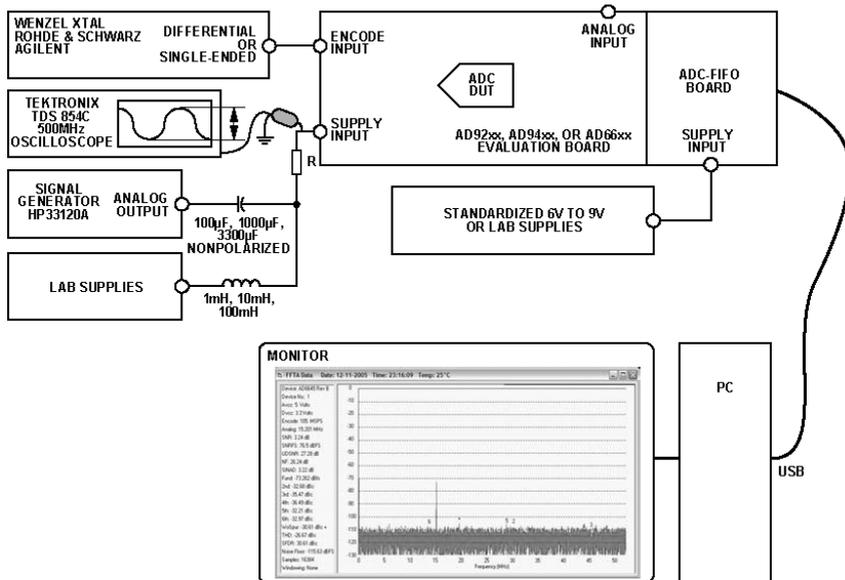
图 29 DNL 和 INL 测试设置

8. 电源抑制比 (PSRR, dB)

电源抑制比(PSRR)衡量的是电源耦合至 ADC 数字输出端的之上的信号量。可通过改变电源然后测量转换器失调变化来测量 PSRR, 单位为满量程百分比。但更常用的 PSRR 测

量方法则是,向电源引脚注入一已知振幅的交流信号,然后再通过观察 FFT 频谱进行测量。PSRR 等于 ADC 测得的电压值减去示波器测得输入值之差值,PSRR 以分贝表示。

图 30 为 PSRR 测试设置。



NOTES

1. ALL BYPASS CAPACITORS AND FERRITE BEADS SHOULD BE REMOVED FROM THE EVALUATION BOARD.
2. ENCODE SETTING SHOULD BE ADJUSTED TO THE SPECIFIED RATE.
3. THE VALUE OF R IS RELATED TO THE SOURCE IMPEDANCE OF THE END POWER SUPPLIES.
4. THE SIGNAL MEASURED BY THE OSCILLOSCOPE IS COMPARED TO THE FFT OUTPUT TO DETERMINE THE PSRR.
5. TEKTRONIX PROBES M.M.: P6243 OR BETTER SHOULD BE USED. <1pF WITH 1GHz BW.

图 30 PSRR 测试设置

参考资料

Additional information on data converter characterization can be found in The Data Conversion Handbook by Walt Kester, Newnes, ISBN 0-7506-7841-0. Additional reference books, including the High Speed Design Techniques, the Practical Analog Design Techniques, the Linear Design Seminar, and the System Applications Guide, can be found on ADI's website. In addition to the many reference books, various applications notes, articles, and reprints are available from your Analog Devices sales representative, or you can visit our website at www.analog.com for additional information.

AN-931 应用笔记

了解 PulSAR ADC 支持电路

作者: Martin Murnane Chris Augusta

简介

逐次逼近型(SAR)模数转换器(ADC)使用了许多新技术来改善分辨率。了解这些器件的工作原理对于预防故障和错误很重要。本应用笔记将从一般意义上讨论使用 SAR ADC 时易犯的错误,以及更重要地,如何预防这些问题。

PulSAR 的工作原理

ADI 公司 PulSAR 系列 ADC 使用内部开关电容技术将 SAR ADC 的分辨率扩展到 18 位。这意味着在 CMOS 工艺上,不需要进行成本高昂的薄膜激光调整。

图 1 显示了 AD7643 的简化输入级。AD7643 是一款 18 位 ADC,转换速率可达 1.25 MSPS,它基于电荷再分配型数模转换器(DAC),这在较新式 SAR ADC 中颇为流行。SAR 算法需要两个阶段来确定 ADC 输出码。第一个阶段是采集阶段,SW+ 和 SW- 最初是关闭的。所有开关均连接到 IN+ 和 IN- 模拟输入,因此各电容用作采样电容,以在输入处采集模拟信号。第二个阶段是转换阶段,SW+ 和 SW- 是打开的。输入与内部电容断开,而作用于比较器输入上,这将导致比较器不稳定。从 MSB 开始,切换 REF 与 REFGND 之间元件阵列的各元件(这里将不详述 SAR 算法),使比较器重新回到平衡状态,由此将产生代表模拟输入信号的输出码。

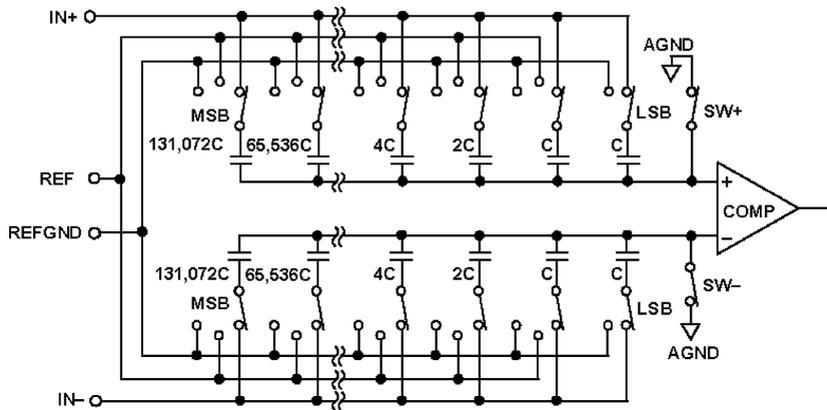


图 1 AD7643 简化原理图

基准电压

在分析图 1 的基准电压部分时,我们将聚焦于使用 PulSAR ADC 设计电路时易犯的误差。请注意,当计算输出码时,输入已与 ADC 的内部元件断开。这一点很重要,它意味着在转换阶段,输入(IN+和 IN-)上出现的任何噪声都不会影响所获得的输出码。

在转换阶段,REF 引脚与内部开关电容结构相连,因为基准电压输入处没有采样保持电路。此处出现的任何噪声(在转换阶段)都会对输出码产生直接影响。如果因为在位检验期间噪声增加,致使其中一位设置不正确,例如第 6 位应当是 0 但被设置为 1,则所有后续位将被设置为 1,以将 DAC 输出降至正确的值。因此,输出计算将不正确,导致输出码低 6 位为一串 1,这些位一般被称为“粘连位”(Stuck Bit)。为避免出现粘连位,采用一个极为稳定的基准电压至关重要。

1. 可以使用哪种类型的精密基准电压?

在 PulSAR 数据手册“技术规格”部分中出现的一种误解是外部基准电压与耗用电流。通常,对于低采样率 PulSAR(AD7685 为 250 kSPS),耗用电流值在数十 μA 范围内;对于较高采样率 PulSAR(AD7621 为 3 MSPS),耗用电流值可达数百 μA 。这是平均电流,转换器输入驱动是由基准电压驱动电路提供 ADC 要求的最大电流。这可能是一 FS 或 +FS,具体取决于 ADC。实际上,任何基准电压都能提供数百 μA 电流,但有些基准电压在 PulSAR 高分辨率转换器中并不实用。

2. 低功耗基准电压(ADR12x、ADR36x)

低功耗基准电压一般是不可接受的,因为在权重最高有效位(MSB)判断期间,它们通常

缺乏能力建立。与相应的缓冲式基准电压(如 AD780、ADR43x 和 ADR44x)相比,这些基准电压的输出阻抗通常较大。基准电压电路的动态部分基本上是一 RLC 储能电路,其中 R 位于 ADC 内部(一些串联开关电阻),C 为基准电压储能或去耦电容,L 为基准电压本身电感。在 L 来自精密基准电压源(如 AD780)的情况下,PuLSAR ADC 设计师选用某一组 R 和 C。使用这些值的结果是:当系统被激励后(激励发生在位判断过程中),系统达到临界阻尼状态。如果使用电感高得多(比好的缓冲式基准电压高 100 倍以上)的低功耗基准电压,将导致 RLC 电路处于欠阻尼状态,从而引起上述粘连位行为。

图 2 至图 7 显示了一些低功耗基准电压的表现。请注意,这些图中的术语“突发模式”是指这样一种模式,即转换控制信号保持非活动状态,直至采集到 8192 个样本之时才激活。这是对基准电压的最低要求,因为当 ADC 不进行转换时,基准电压中便不存在动态部分。我们使用了 16 位、500 kSPS PuLSAR AD7686 来获得图 2 至图 7 中的数据。

直流测量数据一般以柱状图形式显示,这对于显示码字跃迁(或跃迁噪声)及峰峰噪声非常有意义。不过,图 2 和图 3 则以时域显示,以证明被测试的基准电压在动态 SAR 转换期间不能建立这一理论。

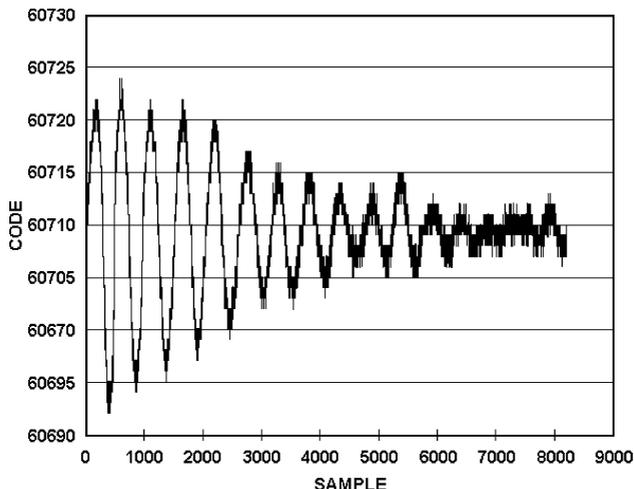
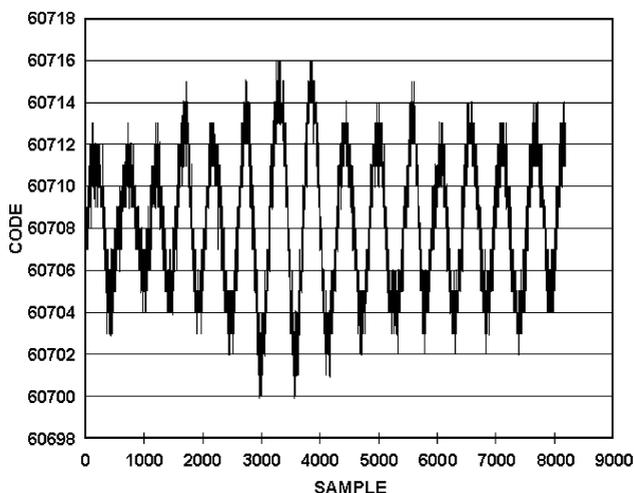
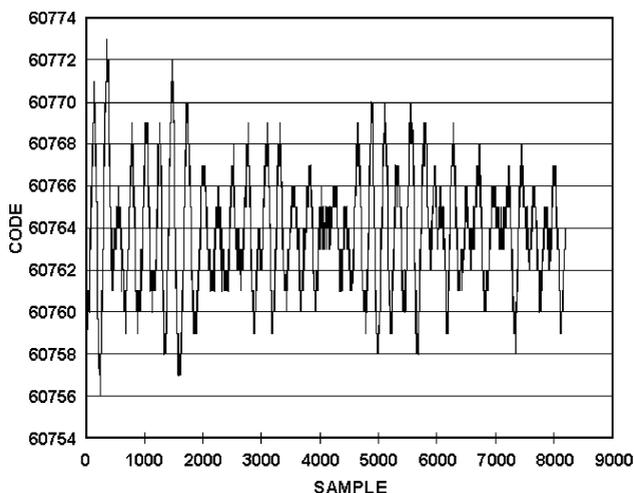


图 2 突发模式—ADR121, $C_{REF} = 22 \mu\text{F}$, AD7686 (500 kSPS)

图 2 显示了突发工作模式下欠阻尼 RLC 电路的经典范例。图 3 显示了连续模式范例。如这两幅图所示,此基准电压从未完全建立至 16 位性能。在连续模式下,峰峰输出码仍与 AD7686 数据手册中规定的性能相差约 16 采样数或约 4 倍。

图 4 显示了使用 ADR365 时 AD7686 的性能。突发模式或连续模式对此基准电压而言并没有真正不同,因为它同样从未完全建立至 16 位性能。峰峰输出码同样比 AD7686 的额定性能大 4 倍左右。

图 3 连续模式—ADR121, $C_{REF} = 22 \mu\text{F}$, AD7686 (500 kSPS)图 4 ADR365, $C_{REF} = 22 \mu\text{F}$, AD7686 (500 kSPS)

3. 缓冲基准电压

几乎任何基准电压都可以使用适当的放大器(如 AD8031 或 AD8605)进行缓冲,以便获得足够的驱动能力,因为此时较高带宽放大器的输出中存在动态部分。图 5 显示了把经过 AD8301 缓冲的 ADR365 作为 AD7686 的基准电压进行测试的输出。

缓冲外部基准电压又会引发原来的功耗要求问题。较简单的解决方案是使用具有足够驱动的较佳基准电压,如 AD780、ADR43x 或 ADR44x 等。这种情况下可以使用任何低功耗基

准电压,因为这些缓冲的串联电感(通常)都很低。一个缓冲可以用来驱动许多 PulSAR ADC,因此这对多转换器系统很有用。此外,在多转换器应用中,最佳方法是使用星形结构的基准电压迹线,每个转换器使用其自己的基准电压储能电容。不建议从一组 ADC 中的第一个 ADC 开始进行菊花链连接,因为 ADC 基准电压可能会发生串扰。

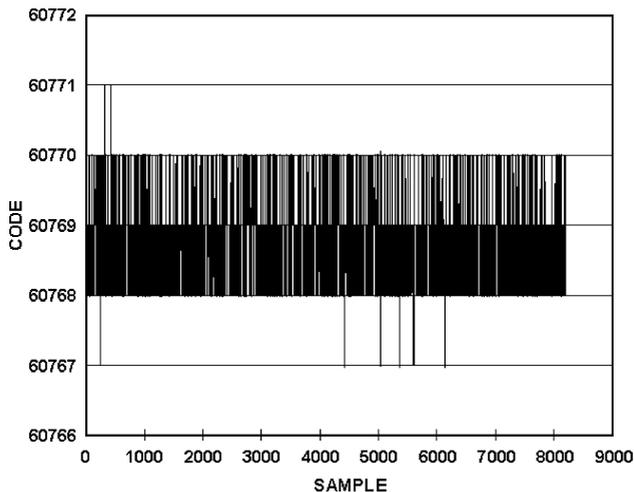


图 5 突发模式—ADR365, $C_{REF} = 22 \mu\text{F}$, AD7686 (500 kSPS)

4. 低功耗基准电压(采样率小于 10 kSPS)

在低功耗、较低采样率应用中(例如必须使用低功耗基准电压的 10 kSPS 或更低应用),可以在 ADC 的基准电压输出之间使用一个小串联电阻,如 10Ω 。在突发工作模式下,为了让流过这个电阻的电流趋于稳定,最初几次转换可能需要丢弃。对于较高采样率,通常无法进行突发转换,因为需要丢弃的转换太多。此外,随着流过此电阻的电流增大到稳态值,此电阻上的压降在时域中表现为一个斜率,一般称其为基准电压下降。

图 6 显示了在 500 kSPS 较高采样率应用中使用 20Ω 串联电阻时的基准电压下降问题。请注意,最初几百次转换是在欠阻尼情况下;随着采样数增加,斜率表现为一个小的负值。

图 7 显示 10 kSPS 较低采样率的情形。此时不存在欠阻尼问题,峰峰噪声为 5 采样数,在性能上与 AD7686 很接近。

为什么要使用较大去耦电容?

选定适当的基准电压(或适当的基准电压与缓冲电路)后,查看缓冲(运算放大器)的数据手册,发现它建议避免使用大容量负载。但是,PulSAR ADC 要求 $10 \mu\text{F}$ 或更大的基准电压去

耦电容(REF CAP)。初看起来,这两个要求自相矛盾。

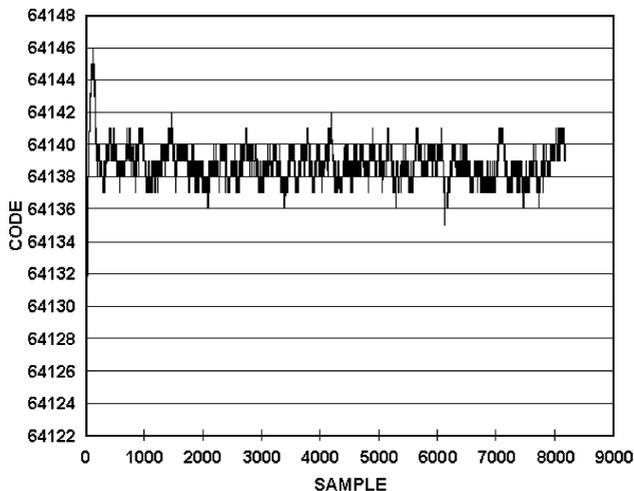


图 6 突发模式—ADR365, $C_{REF} = 22 \mu\text{F}$, 串联电阻 = 20Ω , AD7686 (500 kSPS)

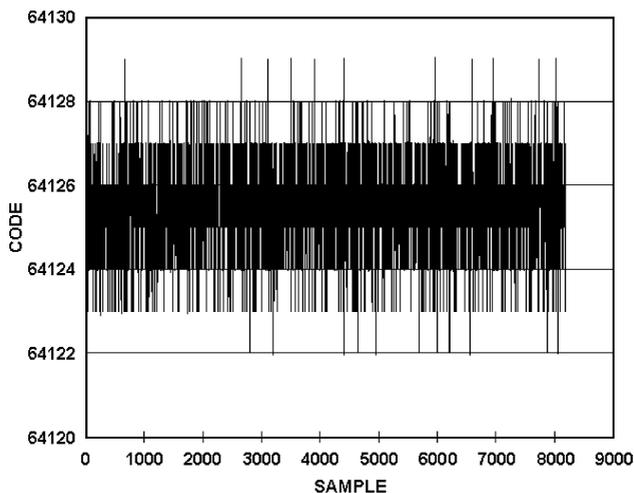


图 7 突发模式—ADR365, $C_{REF} = 22 \mu\text{F}$, 串联电阻 = 20Ω , AD7686 (10 kSPS)

事实上,“去耦”这一术语有多种含义,用户看到的 PulSAR ADC 基准电压(REF)引脚上的 $10 \mu\text{F}$ 电容与电源(VDD、AVDD、DVDD、VIO、OVDD)上的其他 $10 \mu\text{F}$ 电容并不是一回事。REF 上的电容不是旁路电容,而是 SAR ADC 的一部分,这个电容不适合放在硅上。在位判断期间,由于各位会在数十纳秒或更快的时间内建立,因此此处所示的储能电容(REF CAP, 参见图 8)是用来补充内部 CDAC 的电荷,从而与内部电容阵列上的电荷一起平衡比较器。随

着二进制位加权过程的向前进行,将从此电容中不断提取少量电荷。当然,内部电容阵列只是其中(约为 15 pF 至 60 pF,取决于 ADC)的很小一部分,但这些较大值储能电容需要满足 SAR 位判断建立时间要求。关于在位判断过程中电荷发生了什么事情等一些错综复杂的细节问题,这不属于本应用笔记的讨论范围。

储能电容大小不足也会引起粘连位问题。电容的放置和类型同样很重要。为避免基准电压下降,需要使用等效串联电阻(ESR)低的电容。近年来,已经有非常好的陶瓷 X5R 介电电容可以在 0603 封装尺寸下提供 10 μF 容值。对于许多 PulSAR ADC,通过降低某些性能要求,即微分非线性(DNL),可以减小基准电压电容值。

布局

建议将一个电容直接放在 ADC 的基准电压引脚上,用来消除开关电容瞬变。要求使用高质量电容(例如钽电容或 X5R 型陶瓷电容,不推荐使用 NPO 电容),因为这是一个电荷存储电容,而不是旁路电容,电容值可以在 4.7 μF 至 22 μF 范围内。请注意,某些数据手册规定了开启建立时间,这表明 REF 引脚上使用了一个特殊基准电压电容。请参考相关 PulSAR 数据手册的“技术规格”部分以了解详细信息。

布局开始时,考虑具有 SAR ADC 器件的 PCB 布局,并考虑在 ADC 基准电压引脚上放置一个电容。首先将该电容放在这些引脚附近,然后将基准电压放在电容附近,最后放在放大器附近(参见图 8)。

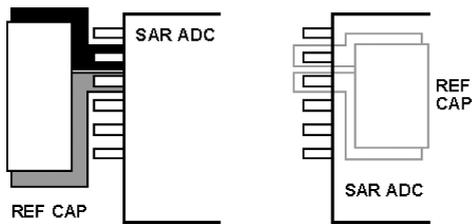


图 8 基准电压电容位于 SAR ADC 同侧或位于 PCB 后侧

布局中还需要一条粗迹线,以减小电路中的阻抗。ADC 的基准电压输入具有动态输入阻抗,意味着对此引脚的输入必须用低阻抗源驱动。请注意,如果基准电压是经缓冲进入 REF 引脚,则缓冲输出阻抗必须很低。这也同样适用于模拟输入引脚。

放大器选择

大部分 PulSAR 数据手册都对放大器做了详细说明。需要注意的一些主要问题是低噪声电平和低输出阻抗。输入信号建立时间也是一项重要参数,因此要求放大器具有高压摆率性

能。符合这一要求的放大器有:ADA4841-1、AD8021、ADA4899-1、AD8099 和 ADA4941-1。

ADA4841-1 和 AD8021 能驱动 PulSAR ADC,具有高带宽和良好的压摆率,是出色的 ADC 驱动器选择。ADA4899-1 也是不错的替代之选,具有出色的压摆率和良好的带宽,但需要消耗更多电流。还有其他放大器也适合各种应用,例如 AD8099,它具有极低的噪声密度,因此适合 18 位 ADC 应用。但是,这款器件不是单位增益稳定型,虽然可以将其配置成单位增益稳定型,但它的电流消耗很高(16 mA)。不过,它具有一个 $\overline{\text{DISABLE}}$ (禁用)功能,可以利用该功能减小电流消耗,以适合便携式应用。ADA4941-1 是单端转差分应用的另一个选择,具有 5 V 输入电压,例如可用于 PulSAR 18 位 ADC AD7982。

结 论

了解 SAR ADC 的工作原理对于避免新设计中易犯的错误非常重要。本应用笔记所列出的问题在新设计中是很常见的。欲了解有关 SAR (PulSAR)转换器或市场上销售的任何 ADI 转换器的更多信息,请访问:

www.analog.com/ADCs