

8kHz 参考时钟合成器 提供多路 35.328MHz 输出

概述

具有 8kHz 输入参考时钟的低成本、高性能时钟合成器 MAX9486 提供 6 路 35.328MHz 带缓冲的 LVTTTL 时钟输出。该时钟合成器可为 T1、E1、T3、E3 和 xDSL 提供时钟。

MAX9486 带有两个锁相环(PLL)，第一个 PLL 使用压控晶体振荡器(VCXO)。第二个 PLL 是一个频率乘法器。MAX9486 在这两个 PLL 基础上产生 35.328MHz 的输出频率。此外，该器件还产生抑制抖动的 8kHz 输出，为参考时钟中继提供良好的信号源。

MAX9486 采用 24 引脚 TSSOP 封装，工作在 -40°C 至 +85°C 的扩展级温度范围，使用 +3V 至 +3.6V 单电源供电。

应用

采用 T1、E1、T3、E3 和 ISDN 协议的电信设备
CO，具有电信协议接口的 xDSL 设备

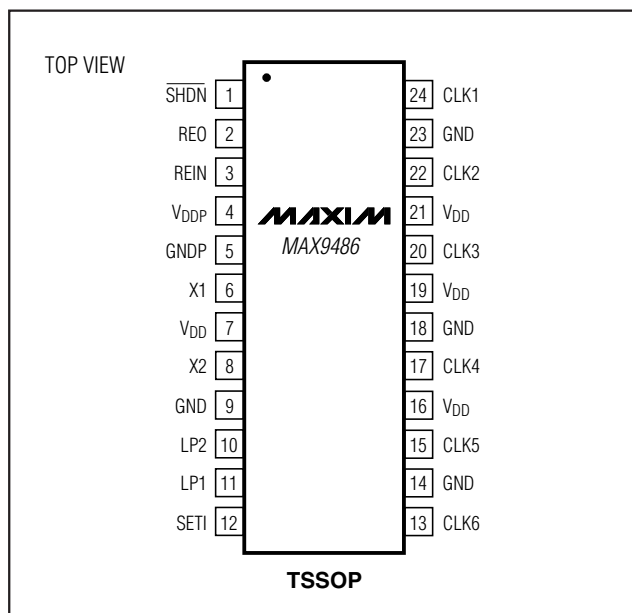
特性

- ◆ 8kHz 输入参考时钟
- ◆ 参考时钟的高抖动抑制
- ◆ 合成器在 $\pm 200\text{ppm}$ 内锁定 8kHz 参考频率
- ◆ 输出频率：35.328MHz
- ◆ 6 路 LVTTTL 低抖动缓冲输出
- ◆ 1 路 8kHz 参考时钟中继输出
- ◆ +3.3V 供电
- ◆ 24 引脚 TSSOP 封装

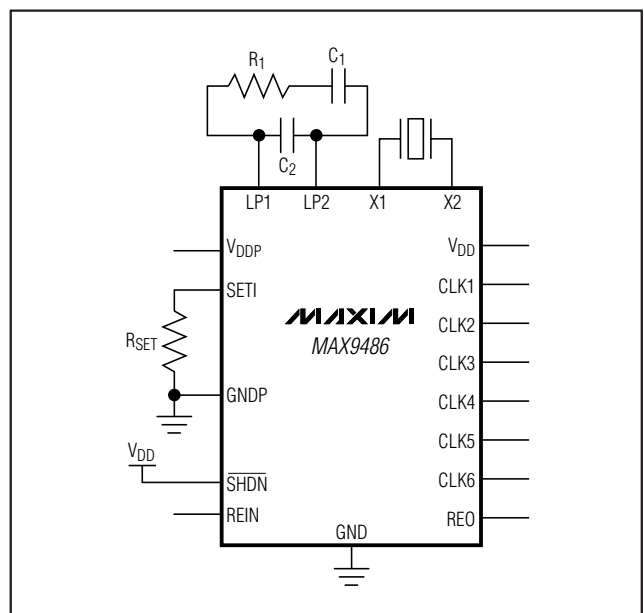
订购信息

PART	TEMP RANGE	PIN-PACKAGE
MAX9486EUG	-40°C to +85°C	24 TSSOP

引脚配置



典型应用电路



8kHz 参考时钟合成器 提供多路 35.328MHz 输出

ABSOLUTE MAXIMUM RATINGS

V_{DD} to GND-0.3V to +4.0V
 V_{DDP} to GNDP-0.3V to +4.0V
 SHDN, REO, REIN, X1, X2, CLK_ to GND ...-0.3V to (V_{DD} + 0.3V)
 LP1, SETI to GNDP-0.3V to (V_{DD} + 0.3V)
 LP2 Internally Connected to GNDP
 Short-Circuit Duration of OutputsContinuous

Continuous Power Dissipation (T_A = +70°C)
 24-Pin TSSOP (derate 12.2mW/°C above +70°C)976mW
 Operating Temperature Range-40°C to +85°C
 Maximum Junction Temperature+150°C
 Storage Temperature Range-60°C to +150°C
 ESD Rating (Human Body Model)±2kV
 Lead Temperature (soldering, 10s)+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

DC ELECTRICAL CHARACTERISTICS

(V_{DD} = V_{DDP} = +3.0V to +3.6V, T_A = -40°C to +85°C, unless otherwise noted. Typical values are at V_{DD} = V_{DDP} = +3.3V, T_A = +25°C.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
DIGITAL INPUTS (REIN, SHDN)						
Input High Logic Level	V _{IH}		2.0			V
Input Low Logic Level	V _{IL}				0.8	V
Input-Current High Level	I _{IH}	V _{IN} = V _{DD}			20	μA
Input-Current Low Level	I _{IL}	V _{IN} = 0	-20			μA
DIGITAL OUTPUT CLOCKS (CLK1–CLK6, REO)						
Output High Logic Level	V _{OH}	I _{OH} = -4mA	V _{DD} - 0.6V			V
Output Low Logic Level	V _{OL}	I _{OL} = 4mA			0.4	V
POWER SUPPLY (V_{DD}, V_{DDP})						
Power-Supply Range	V _{DD}		3.0		3.6	V
PLL Power-Supply Range	V _{DDP}		3.0		3.6	V
Power-Supply Current	I _{DD} + I _{DDP}	(Note 2)		13	25	mA
Shutdown Supply Current	I _{SHDN}			8	30	μA

8kHz 参考时钟合成器 提供多路 35.328MHz 输出

MAX9486

AC ELECTRICAL CHARACTERISTICS

($V_{DD} = V_{DDP} = +3.0V$ to $+3.6V$, $C_L = 20pF$, $T_A = -40^{\circ}C$ to $+85^{\circ}C$, unless otherwise noted. Typical values are at $V_{DD} = V_{DDP} = +3.3V$, $T_A = +25^{\circ}C$.) (Note 3)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
DIGITAL OUTPUT CLOCKS (CLK1–CLK6)						
Frequency Range	f_{OUT}			35.328		MHz
Clock Rise Time	T_{R1}	20% to 80% V_{DD}		1.8		ns
Clock Fall Time	T_{F1}	80% to 20% V_{DD}		1.8		ns
Duty Cycle			40	50	60	%
Period Jitter	J_{PP1}	Peak-to-peak		120		ps
Output Skew	t_s	Peak-to-peak		185		ps
REFERENCE CLOCK OUTPUT (REO)						
Frequency	f_{REF}			8		kHz
Clock Rise Time	T_{R2}			1.8		ns
Clock Fall Time	T_{F2}			1.8		ns
Duty Cycle			40	50	60	%
VCXO						
Crystal Frequency	f_{XTL}			17.664		MHz
Crystal Accuracy		Including frequency accuracy and temperature range		± 25		ppm
VCXO Pulling Range		(Note 4)	-200		+200	ppm
Input Reference CLK Pulse Width	t_w	Measured at high or low states	10			ns

Note 1: Specifications are 100% tested at $T_A = +25^{\circ}C$. Specifications over temperature are guaranteed by design and characterization.

Note 2: No load on clock outputs.

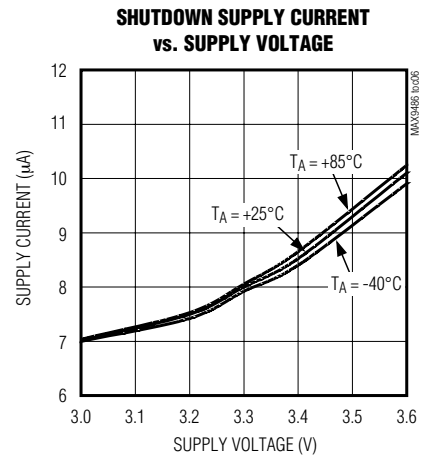
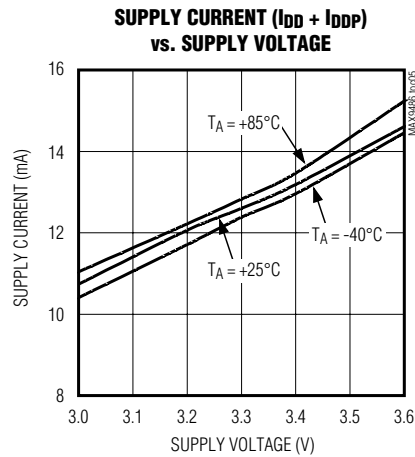
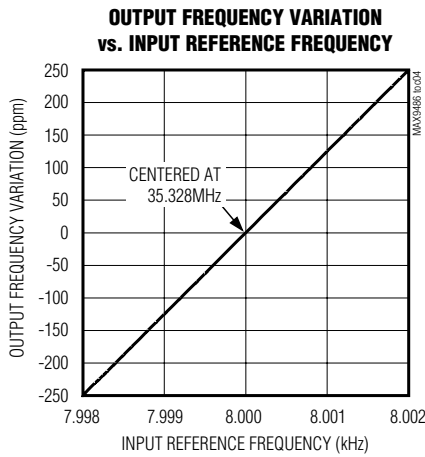
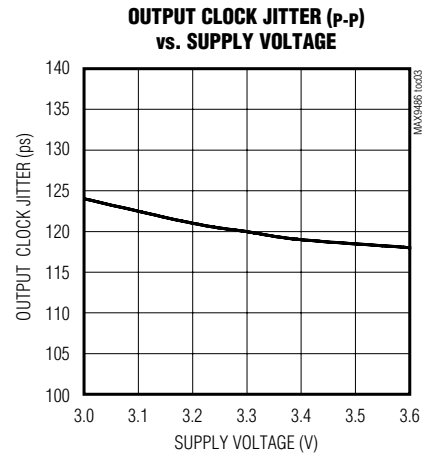
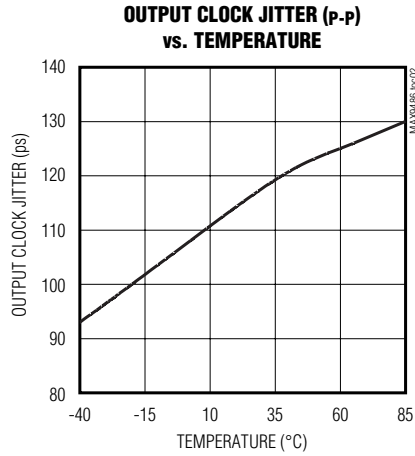
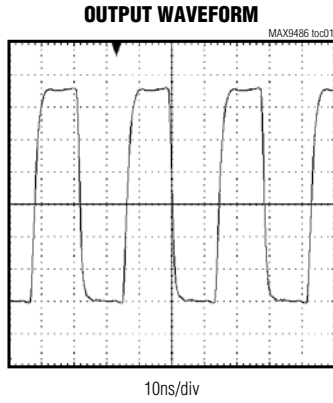
Note 3: Guaranteed by design.

Note 4: Crystal loading capacitance is 14pF.

08kHz 参考时钟合成器 提供多路 35.328MHz 输出

典型工作特性

($V_{DD} = V_{DDP} = +3.3V$, $T_A = +25^\circ C$, unless otherwise noted.)



8kHz 参考时钟合成器 提供多路 35.328MHz 输出

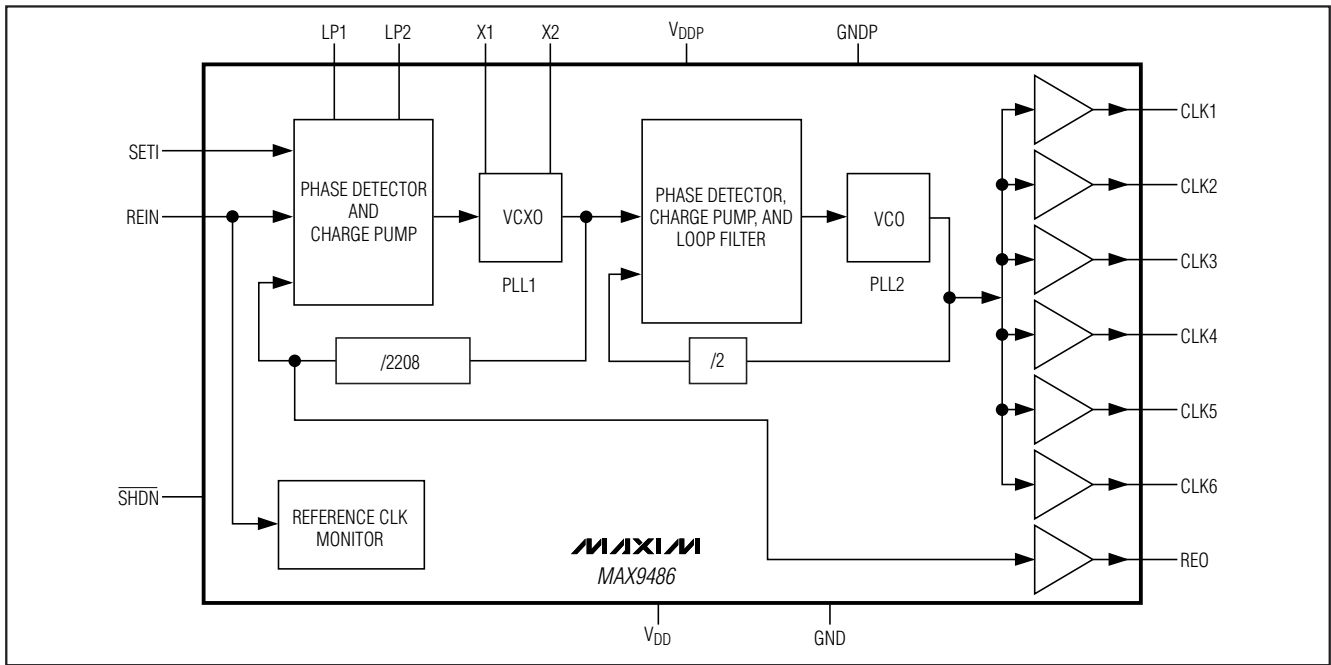
引脚说明

MAX9486

引脚	名称	功能
1	SHDN	低电平有效的关断输入。
2	REO	参考时钟输出。REO 为带抖动抑制的 8kHz 参考时钟输出。
3	REIN	参考输入。
4	VDDP	锁相环 (PLL) 电源。采用 0.1 μ F 和 0.001 μ F 电容将 V _{DD} 旁路至 GND。
5	GNDP	PLL 地。
6	X1	晶振输入 1，将 X1 连至一个基频晶体，供 VCXO 使用。
7, 16, 19, 21	VDD	数字电源。采用 0.1 μ F 和 0.001 μ F 电容将 V _{DD} 旁路至 GND。
8	X2	晶振输入 2，将 X2 连至一个基频晶振，供 VCXO 使用。
9, 14, 18, 23	GND	地。
10	LP2	外部滤波器 2。在 LP1 和 LP2 之间连接环路滤波电容和电阻 (参见典型应用电路)。LP2 内部连至 GNDP。
11	LP1	外部滤波器 1。在 LP1 和 LP2 之间连接环路滤波电容和电阻 (参见典型应用电路)。
12	SETI	电荷泵电流设置输入。SETI 和 GNDP 之间连接一个电阻以设置 PLL 的电荷泵电流 (参见详细说明一节)。
13	CLK6	35.328MHz 时钟输出 6
15	CLK5	35.328MHz 时钟输出 5
17	CLK4	35.328MHz 时钟输出 4
20	CLK3	35.328MHz 时钟输出 3
22	CLK2	35.328MHz 时钟输出 2
24	CLK1	35.328MHz 时钟输出 1

8kHz 参考时钟合成器 提供多路 35.328MHz 输出

原理图



详细说明

MAX9486 是具有 8kHz 参考时钟输入的高性能时钟合成器。该器件产生 6 路相同的 35.328MHz LVTTL 缓冲时钟输出。MAX9486 有两个 PLL。第一个 PLL (PLL1) 使用内部 VCXO，锁定 8kHz 参考时钟，为第二个 PLL (PLL2) 产生 17.664MHz 输出。PLL2 倍频该 VCXO 频率产生 35.328MHz 的输出。此外，该器件还为参考时钟中继提供了良好的低抖动 8kHz 信号源 (参见原理图)。

上电

上电时，所有的输出均被禁止，并被置低 (接地) 至少 256ms。256ms 之后，晶体振荡器开始振荡。PLL1 的输入参考时钟为 8kHz，其 17.664MHz 的输出频率同时也是 PLL2 的参考时钟。如果上电时没有输入 8kHz 参考时钟，PLL1 的输出频率将锁定晶体振荡器中心频率。

8kHz 参考时钟监控

MAX9486 使用内部时钟 (CLK) 监控电路检测外部 8kHz 参考时钟输入。内部时钟监控电路在一个三周期 (8kHz) 时间窗口内持续检测电平由低到高跳变的数目。如果跳变数目小于二，内部时钟监控电路指示参考时钟丢失。

如果在三周期时间窗口内，监控电路检测到二至三个跳变，则认为有参考时钟输入。当监控电路检测到没有 8kHz 参考时钟输入时，PLL2 被强制锁定晶体振荡器频率。当监控电路检测到参考时钟再次出现时，PLL1 重新锁定参考时钟。

时钟输出 (CLK1 至 CLK6) 和 REO

MAX9486 采用一个 17.664MHz 晶振和一个参考时钟 (REIN) 来产生 6 路相同的 35.328MHz 输出: CLK1 至 CLK6。所有 CLK_ 输出均为具有 185ps 偏移的 LVTTL 电平。MAX9486 在 REO 重新生成 8kHz 参考时钟。

压控晶体振荡器 (VCXO)

MAX9486 内部 VCXO 采用外接的 17.664MHz 晶体作为基本频率，频率牵引范围约 ± 200 ppm。这种配置使 VCXO PLL 成为一个能滤除输入参考时钟高频抖动的窄带滤波器，并在 REO 和 CLK_ 输出消除了信号抖动。

8kHz 参考时钟合成器 提供多路 35.328MHz 输出

SHDN 模式

MAX9486 具有供电电流小于 8 μ A (典型值) 的关断模式。驱动 SHDN 至低使芯片进入关断模式。在这种模式下, 所有的输出均为低电平, 两个 PLL 均断电。当 SHDN 变为高电平后, 输出仍保持 256ms 的低电平, 以保证在输出使能前稳定 PLL。

应用信息

晶体选择

MAX9486 采用一个 17.664MHz 晶体作为 VCXO 的基本频率。采用合适的石英晶体非常重要, 以避免频率牵引范围降低, 或输出相位抖动过大。

选择基频为 17.664MHz, 受频率精度和工作温度范围影响, 变化范围为 ± 25 ppm 的 AT 切型晶体。晶体的负载电容应为 14pF。不同晶体牵引范围不同。详细内容可参考 MAX9486 评估板。

PLL1 环路滤波器

MAX9486 有两个 PLL: PLL1 和 PLL2。第一个锁相环, PLL1, 具有集成 VCXO, 用外接晶体跟踪输入参考信号并减小输入抖动。图 1 为使用电阻 R1 和两个电容 C1、C2 的 PLL 外部环路滤波器示意图。该环路滤波器接在 LP1 和 LP2 之间, 如典型工作电路所示。环路滤波器的带宽由 C1、C2、R1 和 R_{SET} 决定, R_{SET} 用来设置电荷泵电流。C1、C2、R1 和 R_{SET} 的典型值分别是 22nF、560pF、1000k Ω 和 13k Ω 。

下面的公式用来计算以 Hz 表示的 PLL 环路带宽:

$$BW = (R1 \times I_{SETI} \times 940) / N$$

其中 R1 (Ω) 是 PLL1 环路滤波器的电阻 (图 1)。I_{SETI} (A) 是由电荷泵电流设置一节公式计算出的电荷泵电流值, N 是晶体 PLL 分频系数, 为 2208。

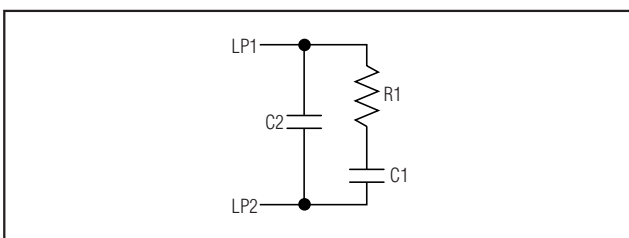


图 1. 典型环路滤波器

环路阻尼系数由下式计算:

$$\text{DampingFactor} = \frac{R1}{2} \times \sqrt{\frac{5900 \times I_{SETI} \times C1}{N}}$$

其中 C1 (F) 和 R1 (Ω) 为图 1 中 PLL1 环路滤波器的电容和电阻值; I_{SETI} 计算见电荷泵电流设置一节, N = 2208。

下式说明了环路滤波器中 C1 和 C2 的关系:

$$C2 \leq C1/20$$

电荷泵电流设置

MAX9486 允许外部设置 PLL1 的电荷泵电流。在 SETI 和 GNPD 之间接一个电阻来设置 PLL1 的电荷泵电流:

$$\text{Charge-Pump Current} = 2.4 \times 1000 / (R_{SET}(k\Omega) + 1)$$

其中 R_{SET} 以 k Ω 表示, 电荷泵电流值以 μ A 表示。

电荷泵电流以及 VCXO 环路所有的滤波器元件均可由外部设置, 因此可以通过调整环路响应满足特殊应用的需求。

布线和旁路

MAX9486 的高振荡频率要求合理的布线以保证系统稳定。为得到最佳性能, 元件放置距离器件要尽可能地近。

GND 上的数字和 AC 瞬变信号会在时钟输出端产生噪声。GND 接至质量最高的地平面。使用 0.1 μ F 和 0.001 μ F 电容旁路 V_{DD} 和 V_{DDP}, 这两个电容距离器件越近越好。细心的 PC 板地线布局设计可以减小输出和数字输入之间的串扰。

LP1 和 LP2 之间的连线应尽可能的短, 电阻和电容离器件应尽可能的近。

芯片信息

TRANSISTOR COUNT: 7512

PROCESS: CMOS

8kHz 参考时钟合成器 提供多路 35.328MHz 输出

封装信息

(本数据资料提供的封装图可能不是最近的规格，如需最近的封装外型信息，请查询 www.maxim-ic.com.cn/packages。)

SYMBOL	COMMON DIMENSIONS			
	MILLIMETERS		INCHES	
	MIN.	MAX.	MIN.	MAX.
A	—	1.10	—	.043
A ₁	0.05	0.15	.002	.006
A ₂	0.85	0.95	.033	.037
b	0.19	0.30	.007	.012
b ₁	0.19	0.25	.007	.010
c	0.09	0.20	.004	.008
c ₁	0.09	0.14	.004	.006
D	SEE VARIATIONS		SEE VARIATIONS	
E	4.30	4.50	.169	.177
e	0.65 BSC		.026 BSC	
H	6.25	6.55	.246	.258
L	0.50	0.70	.020	.028
N	SEE VARIATIONS		SEE VARIATIONS	
α	0°	8°	0°	8°

JEDEC	N	VARIATIONS				
		MILLIMETERS		INCHES		
		MIN.	MAX.	MIN.	MAX.	
AB-1	14	D	4.90	5.10	.193	.201
AB	16	D	4.90	5.10	.193	.201
AC	20	D	6.40	6.60	.252	.260
AD	24	D	7.70	7.90	.303	.311
AE	28	D	9.60	9.80	.378	.386

NOTES:
 1. DIMENSIONS D AND E DO NOT INCLUDE FLASH
 2. MOLD FLASH OR PROTRUSIONS NOT TO EXCEED 0.15mm PER SIDE
 3. CONTROLLING DIMENSION: MILLIMETER
 4. MEETS JEDEC OUTLINE MO-153. SEE JEDEC VARIATIONS TABLE
 5. "N" REFERS TO NUMBER OF LEADS
 6. THE LEAD TIPS MUST LIE WITHIN A SPECIFIED ZONE. THIS TOLERANCE ZONE IS DEFINED BY TWO PARALLEL PLANES. ONE PLANE IS THE SEATING PLANE, DATUM [-C-]; THE OTHER PLANE IS AT THE SPECIFIED DISTANCE FROM [-C-] IN THE DIRECTION INDICATED

TSSOP4, 4.0mm EP5

MAXIM 北京办事处

北京 8328 信箱 邮政编码 100083

免费电话: 800 810 0310

电话: 010-6201 0598

传真: 010-6201 0298

Maxim 不对 Maxim 产品以外的任何电路使用负责，也不提供其专利许可。Maxim 保留在任何时间、没有任何通报的前提下修改产品资料和规格的权利。

8 Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 (408) 737-7600