

双相、Quick-PWM控制器，用于为AMD 移动式Turion 64 CPU提供核电源

概述

MAX8760是双相、Quick-PWM™降压控制器，用于采用6位VID的AMD移动式Turion™ 64 CPU的内核供电电路。双相工作模式降低了输入纹波电流要求和输出电压纹波，同时也简化了外部元件的选择和电路板布线。Quick-PWM控制技术提供高速负载电流阶跃响应。MAX8760采用可调节的增益和偏移进行有源电压定位，降低了功耗和对大容量输出电容的需求。

MAX8760可用于两种不同类型的笔记本CPU核供电方案：直接由电池降压或由5V系统电源降压产生核电压。单级转换中该器件直接对高压电池组降压，以提供最高的效率；更高开关频率的两级转换方案（对5V系统电源而不是电池降压）具有最小的物理尺寸。

MAX8760符合AMD台式机计算机和移动CPU的规范要求。开关调节器具有软启动、顺序上电和软关断功能。MAX8760还具有独立的四电平逻辑输入，用于设置挂起电压（S0，S1）。

MAX8760包括输出欠压保护、热保护和电压调节器电源好（VROK）输出。当这些保护电路检测到任何故障时，控制器被关断。

MAX8760采用小尺寸、40引脚、6mm x 6mm、薄型QFN封装。关于其它CPU平台的供电方案，请参考引脚兼容的MAX1544、MAX1519/MAX1545和MAX1532/MAX1546/MAX1547数据资料。

应用

6位VID AMD移动式Turion 64 CPU
多相CPU核电源
服务器/台式机
电压定位降压型转换器

Quick-PWM是Maxim Integrated Products, Inc. 的商标。
Turion是AMD的商标。

特性

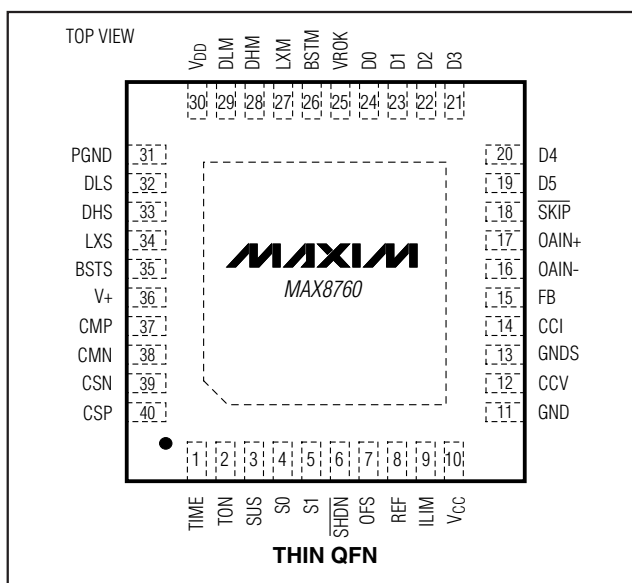
- ◆ 双相、Quick-PWM控制器
- ◆ 在整个输入范围、负载变化范围和工作温度范围内，提供±0.75%的V_{OUT}精度（1.3V）
- ◆ 利用可调节增益和失调实现有源电压定位
- ◆ 6位片上DAC：0.375V至1.55V的输出电压范围
- ◆ 可选择的100kHz/200kHz/300kHz/550kHz开关频率
- ◆ 4V至28V的电池输入范围
- ◆ 可调节摆率控制
- ◆ 驱动大电流同步整流MOSFET
- ◆ 欠压保护和热保护
- ◆ 电源排序和定时
- ◆ 可选挂起电压
- ◆ 软启动和软关断
- ◆ 可选择单相或双相跳脉冲

订购信息

PART	TEMP RANGE	PIN-PACKAGE
MAX8760ETL	-40°C to +100°C	40 Thin QFN 6mm x 6mm
MAX8760ETL+	-40°C to +100°C	40 Thin QFN 6mm x 6mm

+ 代表无铅封装。

引脚配置



双相、Quick-PWM控制器，用于为AMD 移动式Turion 64 CPU提供核电源

ABSOLUTE MAXIMUM RATINGS

V+ to GND	-0.3V to +30V	LXM to BSTM	-6V to +0.3V
V _{CC} to GND	-0.3V to +6V	DHS to LXS	-0.3V to (V _{BST5} + 0.3V)
V _{DD} to PGND	-0.3V to +6V	LXS to BST5	-6V to +0.3V
SKIP, SUS, D0–D5 to GND	-0.3V to +6V	GND to PGND	-0.3V to +0.3V
ILIM, FB, OFS, CCI, REF, OAIN+, OAIN- to GND	-0.3V to (V _{CC} + 0.3V)	REF Short-Circuit Duration	Continuous
CMP, CSP, CMN, CSN, GNDS to GND	-0.3V to (V _{CC} + 0.3V)	Continuous Power Dissipation (T _A = +70°C)	
TON, TIME, VROK, S0–S1 to GND	-0.3V to (V _{CC} + 0.3V)	40-Pin 6mm × 6mm Thin QFN (derate 23.2mW/°C above +70°C)	1.860W
SHDN to GND (Note 1)	-0.3V to +18V	Operating Temperature Range	-40°C to +100°C
DLM, DLS to PGND	-0.3V to (V _{DD} + 0.3V)	Junction Temperature	+150°C
BSTM, BST5 to GND	-0.3V to +36V	Storage Temperature Range	-65°C to +150°C
DHM to LXM	-0.3V to (V _{BST5} + 0.3V)	Lead Temperature (soldering, 10s)	+300°C

Note 1: SHDN may be forced to 12V for the purpose of debugging prototype boards using the no-fault test mode, which disables fault protection and overlapping operation.

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

(Circuit of Figure 1, V+ = 15V, V_{CC} = V_{DD} = V_{SHDN} = V_{SKIP} = V_{S0} = V_{S1} = 5V, V_{FB} = V_{CMP} = V_{CMN} = V_{CSP} = V_{CSN} = 1.3V, OFS = SUS = GNDS = D0–D5 = GND, T_A = 0°C to +85°C, unless otherwise specified. Typical values are at T_A = +25°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS	
PWM CONTROLLER							
Input Voltage Range		Battery voltage, V+	4		28	V	
		V _{CC} , V _{DD}	4.5		5.5		
DC Output Voltage Accuracy (Note 2)		V+ = 4.5V to 28V, includes load regulation error	DAC codes ≥ 1V	-10		+10	mV
			DAC codes from 0.375V to 1V	-15		+15	
Line Regulation Error		V _{CC} = 4.5V to 5.5V, V+ = 4.5V to 28V		5		mV	
Input Bias Current	I _{FB} , I _{GNDS}	FB, GNDS	-2		+2	μA	
	I _{OFS}	OFS	-0.1		+0.1		
OFS Input Range			0		2	V	
OFS Gain	A _{OFS}	ΔV _{OUT} /ΔV _{OFS} ; ΔV _{OFS} = V _{OFS} , V _{OFS} = 0 to 1V	-0.129	-0.125	-0.117	V/V	
		ΔV _{OUT} /ΔV _{OFS} ; ΔV _{OFS} = V _{OFS} - V _{REF} , V _{OFS} = 1V to 2V	-0.129	-0.125	-0.117		
GNDS Input Range			-20		+200	mV	
GNDS Gain	A _{GNDS}	ΔV _{OUT} /ΔV _{GNDS}	0.97	0.99	1.01	V/V	
TIME Frequency Accuracy	f _{TIME}	1000kHz nominal, R _{TIME} = 15kΩ	900	1000	1100	kHz	
		500kHz nominal, R _{TIME} = 30kΩ	460	500	540		
		250kHz nominal, R _{TIME} = 60kΩ	225	250	275		
		Startup and shutdown, R _{TIME} = 30kΩ		125			

双相、Quick-PWM控制器，用于为AMD 移动式Turion 64 CPU提供核电源

MAX8760

ELECTRICAL CHARACTERISTICS (continued)

(Circuit of Figure 1, $V_+ = 15V$, $V_{CC} = V_{DD} = \overline{V_{SHDN}} = \overline{V_{SKIP}} = V_{S0} = V_{S1} = 5V$, $V_{FB} = V_{CMP} = V_{CMN} = V_{CSP} = V_{CSN} = 1.3V$, $OFS = SUS = GNDS = D0-D5 = GND$, $T_A = 0^\circ C$ to $+85^\circ C$, unless otherwise specified. Typical values are at $T_A = +25^\circ C$.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS	
On-Time (Note 3)	t_{ON}	$V_+ = 12V$, $V_{FB} = V_{CCI} = 1.2V$	TON = GND (550kHz)	155	180	205	ns
			TON = REF (300kHz)	320	355	390	
			TON = open (200kHz)	475	525	575	
			TON = V_{CC} (100kHz)	920	1000	1140	
Minimum Off-Time (Note 3)	$t_{OFF(MIN)}$	TON = GND		300	375	ns	
		TON = V_{CC} , open, or REF		400	480		
BIAS AND REFERENCE							
Quiescent Supply Current (V_{CC})	I_{CC}	Measured at V_{CC} , FB forced above the regulation point, $OAIN- = FB$, $V_{OAIN+} = 1.3V$		1.70	3.20	mA	
Quiescent Supply Current (V_{DD})	I_{DD}	Measured at V_{DD} , FB forced above the regulation point		<1	5	μA	
Quiescent Battery Supply Current (V_+)	I_{V+}	Measured at V_+		25	40	μA	
Shutdown Supply Current (V_{CC})		Measured at V_{CC} , $\overline{SHDN} = GND$		4	10	μA	
Shutdown Supply Current (V_{DD})		Measured at V_{DD} , $\overline{SHDN} = GND$		<1	5	μA	
Shutdown Battery Supply Current (V_+)		Measured at V_+ , $\overline{SHDN} = GND$, $V_{CC} = V_{DD} = 0V$ or $5V$		<1	5	μA	
Reference Voltage	V_{REF}	$V_{CC} = 4.5V$ to $5.5V$, $I_{REF} = 0$	1.990	2.000	2.010	V	
Reference Load Regulation	ΔV_{REF}	$I_{REF} = -10\mu A$ to $100\mu A$	-10		+10	mV	
FAULT PROTECTION							
Output Overvoltage Protection Threshold	V_{OVP}			2.00		V	
Output Overvoltage Propagation Delay	t_{OVP}	FB forced 2% above trip threshold		10		μs	
Output Undervoltage Protection Threshold	V_{UVP}	Measured at FB with respect to unloaded output voltage	67	70	73	%	
Output Undervoltage Propagation Delay	t_{UVP}	FB forced 2% below trip threshold		10		μs	
VROK Threshold		Measured at FB with respect to unloaded output voltage	Lower threshold (undervoltage)	-12	-10	-8	%
			Upper threshold (overvoltage) $SKIP = V_{CC}$	+8	+10	+12	

双相、Quick-PWM控制器，用于为AMD 移动式Turion 64 CPU提供核电源

MAX8760

ELECTRICAL CHARACTERISTICS (continued)

(Circuit of Figure 1, $V_+ = 15V$, $V_{CC} = V_{DD} = \overline{V_{SHDN}} = \overline{V_{SKIP}} = V_{S0} = V_{S1} = 5V$, $V_{FB} = V_{CMP} = V_{CMN} = V_{CSP} = V_{CSN} = 1.3V$, $OFS = SUS = GNDS = D0-D5 = GND$, $T_A = 0^\circ C$ to $+85^\circ C$, unless otherwise specified. Typical values are at $T_A = +25^\circ C$.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS	
Output Undervoltage Fault and VROK Transition Blanking Time	t _{BLANK}	Measured from the time when FB reaches the voltage set by the DAC code; clock speed set by R _{TIME} (Note 4)		24		Clks	
VROK Startup Delay		Measured from the time when FB first reaches the voltage set by the DAC code after startup	3	5	7	ms	
VROK Delay	t _{VROK}	FB forced 2% outside the VROK trip threshold		10		μs	
VROK Output Low Voltage		I _{SINK} = 3mA			0.4	V	
VROK Leakage Current		High state, VROK forced to 5.5V			1	μA	
V _{CC} Undervoltage Lockout Threshold	V _{UVLO(VCC)}	Rising edge, hysteresis = 90mV, PWM disabled below this level	4.0	4.25	4.4	V	
Thermal-Shutdown Threshold	T _{SHDN}	Hysteresis = 10°C		+160		°C	
CURRENT LIMIT AND BALANCE							
Current-Limit Threshold Voltage (Positive, Default)	V _{LIMIT}	CMP - CMN, CSP - CSN; I _{LIM} = V _{CC}	28	30	32	mV	
Current-Limit Threshold Voltage (Positive, Adjustable)	V _{LIMIT}	CMP - CMN, CSP - CSN	V _{LIM} = 0.2V	8	10	12	mV
			V _{LIM} = 1.5V	73	75	77	
Current-Limit Threshold Voltage (Negative)	V _{LIMIT(NEG)}	CMP - CMN, CSP - CSN; I _{LIM} = V _{CC} , $\overline{SKIP} = V_{CC}$	-41	-36	-31	mV	
Current-Limit Threshold Voltage (Zero Crossing)	V _{ZERO}	CMP - CMN, CSP - CSN; $\overline{SKIP} = GND$		1.5		mV	
CMP, CMN, CSP, CSN Input Ranges			0		2	V	
CMP, CMN, CSP, CSN Input Current		V _{CSP} = V _{CSN} = 0 to 5V	-2		+2	μA	
Secondary Driver-Disable Threshold	V _{CSP}		3	V _{CC} - 1	V _{CC} - 0.4	V	
I _{LIM} Input Current	I _{LIM}	V _{LIM} = 0 to 5V		0.1	200	nA	
Current-Limit Default Switchover Threshold	V _{LIM}		3	V _{CC} - 1	V _{CC} - 0.4	V	
Current-Balance Offset	V _{OS(IBAL)}	(V _{CMP} - V _{CMN}) - (V _{CSP} - V _{CSN}); I _{CCI} = 0, -20mV < (V _{CMP} - V _{CMN}) < 20mV, 1.0V < V _{CCI} < 2.0V	-2		+2	mV	

双相、Quick-PWM控制器，用于为AMD 移动式Turion 64 CPU提供核电源

MAX8760

ELECTRICAL CHARACTERISTICS (continued)

(Circuit of Figure 1, $V_+ = 15V$, $V_{CC} = V_{DD} = \overline{V_{SHDN}} = \overline{V_{SKIP}} = V_{S0} = V_{S1} = 5V$, $V_{FB} = V_{CMP} = V_{CMN} = V_{CSP} = V_{CSN} = 1.3V$, $OFS = SUS = GNDS = D0-D5 = GND$, $T_A = 0^\circ C$ to $+85^\circ C$, unless otherwise specified. Typical values are at $T_A = +25^\circ C$.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Current-Balance Transconductance	$G_m(\text{IBAL})$			400		μS
GATE DRIVERS						
DH_ Gate-Driver On-Resistance	$R_{ON(DH)}$	BST_ - LX_ forced to 5V		1.0	4.5	Ω
DL_ Gate-Driver On-Resistance	$R_{ON(DL)}$	High state (pullup)		1.0	4.5	Ω
		Low start (pulldown)		0.4	2	
DH_ Gate-Driver Source/Sink Current	I_{DH}	DH_ forced to 2.5V, BST_ - LX_ forced to 5V		1.6		A
DL_ Gate-Driver Sink Current	$I_{DL(SINK)}$	DL_ forced to 5V		4		A
DL_ Gate-Driver Source Current	$I_{DL(SOURCE)}$	DL_ forced to 2.5V		1.6		A
Dead Time	t_{DEAD}	DL_ rising		35		ns
		DH_ rising		26		
VOLTAGE-POSITIONING AMPLIFIER						
Input Offset Voltage	V_{OS}		-1		+1	mV
Input Bias Current	I_{BIAS}	OAIN+, OAIN-		0.1	200	nA
Op Amp Disable Threshold	V_{OAIN-}		3	$V_{CC} - 1$	$V_{CC} - 0.4$	V
Common-Mode Input Voltage Range	V_{CM}	Guaranteed by CMRR test	0		2.5	V
Common-Mode Rejection Ratio	CMRR	$V_{OAIN+} = V_{OAIN-} = 0$ to 2.5V	70	115		dB
Power-Supply Rejection Ratio	PSRR	$V_{CC} = 4.5V$ to 5.5V	75	100		dB
Large-Signal Voltage Gain	AOA	$R_L = 1k\Omega$ to $V_{CC}/2$	80	112		dB
Output Voltage Swing		$ V_{OAIN+} - V_{OAIN-} \geq 10mV$, $R_L = 1k\Omega$ to $V_{CC}/2$	$V_{CC} - V_{FBH}$	77	300	mV
			V_{FBL}	47	200	
Input Capacitance				11		pF
Gain-Bandwidth Product				3		MHz
Slew Rate				0.3		V/ μs
Capacitive-Load Stability		No sustained oscillations		400		pF
LOGIC AND I/O						
\overline{SHDN} Input High Voltage	V_{IH}		0.8			V
\overline{SHDN} Input Low Voltage	V_{IL}				0.4	V
\overline{SHDN} No-Fault Threshold	$V_{\overline{SHDN}}$	To enable no-fault mode	12		15	V
Three-Level Input Logic Levels		SUS, \overline{SKIP}	High	2.7		V
			REF	1.2	2.3	
			Low		0.8	
Logic Input Current		\overline{SHDN} , \overline{SKIP} , SUS	-1		+1	μA
D0-D5 Logic Input High Voltage			1.6			V

双相、Quick-PWM控制器，用于为AMD 移动式Turion 64 CPU提供核电源

ELECTRICAL CHARACTERISTICS (continued)

(Circuit of Figure 1, $V_+ = 15V$, $V_{CC} = V_{DD} = V_{\overline{SHDN}} = V_{\overline{SKIP}} = V_{S0} = V_{S1} = 5V$, $V_{FB} = V_{CMP} = V_{CMN} = V_{CSP} = V_{CSN} = 1.3V$, $OFS = SUS = GNDS = D0-D5 = GND$, $T_A = 0^\circ C$ to $+85^\circ C$, unless otherwise specified. Typical values are at $T_A = +25^\circ C$.)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
D0-D5 Logic Input Low Voltage						0.8	V
D0-D5 Input Current		D0-D5		-2		+2	μA
Four-Level Input Logic Levels		TON, S0 and S1	High	$V_{CC} - 0.4$			V
			Open	3.15		3.85	
			REF	1.65		2.35	
			Low			0.4	
Four-Level Input Current		TON, S0 and S1 forced to GND or V_{CC}		-3		+3	μA

ELECTRICAL CHARACTERISTICS

(Circuit of Figure 1, $V_+ = 15V$, $V_{CC} = V_{DD} = V_{\overline{SHDN}} = V_{\overline{SKIP}} = V_{S0} = V_{S1} = 5V$, $V_{FB} = V_{CMP} = V_{CMN} = V_{CSP} = V_{CSN} = 1.3V$, $OFS = SUS = GNDS = D0-D5 = GND$, $T_A = -40^\circ C$ to $+100^\circ C$, unless otherwise specified.) (Note 5)

PARAMETER	SYMBOL	CONDITIONS		MIN	MAX	UNITS
PWM CONTROLLER						
Input Voltage Range		Battery voltage, V_+		4	28	V
		V_{CC}, V_{DD}		4.5	5.5	
DC Output Voltage Accuracy (Note 2)		$V_+ = 4.5V$ to $28V$, includes load regulation error	DAC codes $\geq 1V$	-13	+13	mV
			DAC codes from 0.375V to 1V	-20	+20	
OFS Input Range				0	2	V
OFS GAIN	A _{OFS}	$\Delta V_{OUT}/\Delta V_{OFS}$; $\Delta V_{OFS} = V_{OFS}$, $V_{OFS} = 0$ to $1V$		-0.131	-0.115	V/V
		$\Delta V_{OUT}/\Delta V_{OFS}$; $\Delta V_{OFS} = V_{OFS} - V_{REF}$, $V_{OFS} = 1V$ to $2V$		-0.131	-0.115	
GNDS Gain	A _{GNDS}	$\Delta V_{OUT}/\Delta V_{GNDS}$		0.94	1.01	V/V
TIME Frequency Accuracy	f _{TIME}	100kHz nominal, R _{TIME} = 15k Ω		880	1120	kHz
		500kHz nominal, R _{TIME} = 30k Ω		450	550	
		250kHz nominal, R _{TIME} = 60k Ω		220	280	
On-Time (Note 3)	t _{ON}	$V_+ = 12V$, $V_{FB} = V_{CCI} = 1.2V$	TON = GND (550kHz)	150	210	ns
			TON = REF (300kHz)	315	395	
			TON = open (200kHz)	470	580	
			TON = V_{CC} (100kHz)	910	1150	
Minimum Off-Time (Note 3)	t _{OFF(MIN)}	TON = GND			380	ns
		TON = V_{CC} , open, or REF			490	

双相、Quick-PWM控制器，用于为AMD 移动式Turion 64 CPU提供核电源

MAX8760

ELECTRICAL CHARACTERISTICS (continued)

(Circuit of Figure 1, $V_+ = 15V$, $V_{CC} = V_{DD} = \overline{V_{SHDN}} = \overline{V_{SKIP}} = V_{S0} = V_{S1} = 5V$, $V_{FB} = V_{CMP} = V_{CMN} = V_{CSP} = V_{CSN} = 1.3V$, $OFS = SUS = GNDS = D0-D5 = GND$, $T_A = -40^\circ C$ to $+100^\circ C$, unless otherwise specified.) (Note 5)

PARAMETER	SYMBOL	CONDITIONS		MIN	MAX	UNITS
BIAS AND REFERENCE						
Quiescent Supply Current (V_{CC})	I_{CC}	Measured at V_{CC} , FB forced above the regulation point, $OAIN^- = FB$, $VOAIN^+ = 1.3V$			3.2	mA
Quiescent Supply Current (V_{DD})	I_{DD}	Measured at V_{DD} , FB forced above the regulation point			20	μA
Quiescent Battery Supply Current (V_+)	I_{V_+}	Measured at V_+			50	μA
Shutdown Supply Current (V_{CC})		Measured at V_{CC} , $\overline{SHDN} = GND$			20	μA
Shutdown Supply Current (V_{DD})		Measured at V_{DD} , $\overline{SHDN} = GND$			20	μA
Shutdown Battery Supply Current (V_+)		Measured at V_+ , $\overline{SHDN} = GND$, $V_{CC} = V_{DD} = 0V$ or $5V$			20	μA
Reference Voltage	V_{REF}	$V_{CC} = 4.5V$ to $5.5V$, $I_{REF} = 0$		1.985	2.015	V
FAULT PROTECTION						
Output Undervoltage Protection Threshold	V_{UVP}	Measured at FB with respect to unloaded output voltage		67	73	%
VROK Threshold		Measured at FB with respect to unloaded output voltage	Lower threshold (undervoltage)	-13	-7	%
			Upper threshold (overvoltage), $\overline{SKIP} = V_{CC}$	+7	+13	
VROK Startup Delay		Measured from the time when FB first reaches the voltage set by the DAC code after startup		3		ms
V_{CC} Undervoltage Lockout Threshold	$V_{UVLO(VCC)}$	Rising edge, hysteresis = 90mV, PWM disabled below this level		3.90	4.45	V
CURRENT LIMIT AND BALANCE						
Current-Limit Threshold Voltage (Positive, Default)	V_{LIMIT}	CMP - CMN, CSP - CSN; $ILIM = V_{CC}$		27	33	mV
Current-Limit Threshold Voltage (Positive, Adjustable)	V_{LIMIT}	CMP - CMN, CSP - CSN	$V_{ILIM} = 0.2V$	7	13	mV
			$V_{ILIM} = 1.5V$	72	78	
Current-Limit Threshold Voltage (Negative)	$V_{LIMIT(NEG)}$	CMP - CMN, CSP - CSN; $ILIM = V_{CC}$, $\overline{SKIP} = V_{CC}$		-30	-42	mV
Current-Balance Offset	$V_{OS(IBAL)}$	$(V_{CMP} - V_{CMN}) - (V_{CSP} - V_{CSN})$; $I_{CCI} = 0$, $-20mV < (V_{CMP} - V_{CMN}) < 20mV$, $1.0V < V_{CCI} < 2.0V$		-3	+3	mV
GATE DRIVERS						
DH_ Gate-Driver On-Resistance	$R_{ON(DH)}$	BST_ - LX_ forced to 5V			4.5	Ω

双相、Quick-PWM控制器，用于为AMD 移动式Turion 64 CPU提供核电源

MAX8760

ELECTRICAL CHARACTERISTICS (continued)

(Circuit of Figure 1, $V_+ = 15V$, $V_{CC} = V_{DD} = V_{SHDN} = V_{SKIP} = V_{S0} = V_{S1} = 5V$, $V_{FB} = V_{CMP} = V_{CMN} = V_{CSP} = V_{CSN} = 1.3V$, $OFS = SUS = GNDS = D0-D5 = GND$, $T_A = -40^\circ C$ to $+100^\circ C$, unless otherwise specified.) (Note 5)

PARAMETER	SYMBOL	CONDITIONS		MIN	MAX	UNITS
DL_ Gate-Driver On-Resistance	$R_{ON(DL)}$	High state (pullup)			4.5	Ω
		Low start (pulldown)			2	
VOLTAGE-POSITIONING AMPLIFIER						
Input Offset Voltage	V_{OS}			-2.0	+2.0	mV
Common-Mode Input Voltage Range	V_{CM}	Guaranteed by CMRR test		0	2.5	V
Output Voltage Swing		$ V_{OAIN+} - V_{OAIN-} \geq 10mV$, $R_L = 1k\Omega$ to $V_{CC}/2$	$V_{CC} - V_{FBH}$		300	mV
			V_{FBL}		200	
LOGIC AND I/O						
SHDN Input High Voltage	V_{IH}			0.8		V
SHDN Input Low Voltage	V_{IL}				0.4	V
Tri-Level Input Logic Levels		SUS, \overline{SKIP}	High	2.7		V
			REF	1.2	2.3	
			Low		0.8	
D0-D5 Logic Input High Voltage				1.6		V
D0-D5 Logic Input Low Voltage					0.8	V
Four-Level Input Logic Levels		TON, S0 and S1	High	$V_{CC} - 0.4$		V
			Open	3.15	3.85	
			REF	1.65	2.35	
			Low		0.4	

Note 2: DC output accuracy specifications refer to the trip level of the error amplifier. When pulse skipping, the output slightly rises (<0.5%) when transitioning from continuous conduction to no load.

Note 3: On-time and minimum off-time specifications are measured from 50% to 50% at the DHM and DHS pins, with LX_ forced to GND, BST_ forced to 5V, and a 500pF capacitor from DH_ to LX_ to simulate external MOSFET gate capacitance. Actual in-circuit times may be different due to MOSFET switching speeds.

Note 4: The output fault-blanking time is measured from the time when FB reaches the regulation voltage set by the DAC code. During normal operation (SUS = GND), the regulation voltage is set by the VID DAC inputs (D0-D5). During suspend mode (SUS = REF or high), the regulation voltage is set by the suspend DAC inputs (S0 and S1).

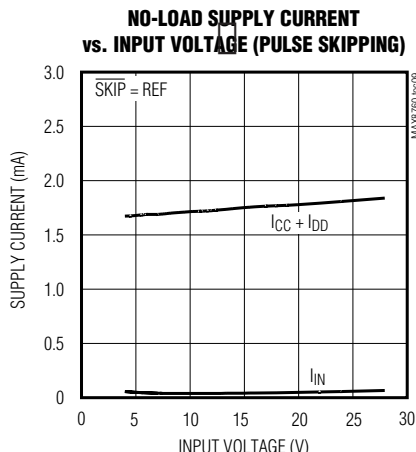
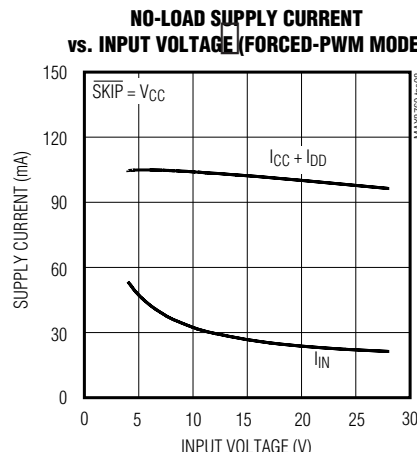
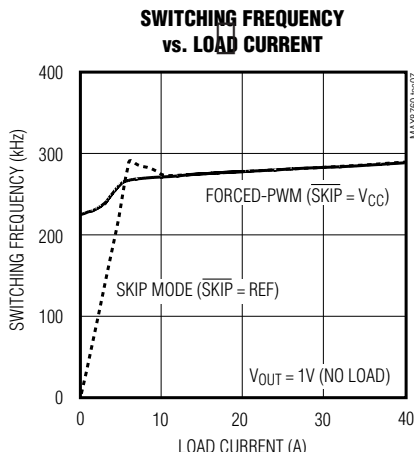
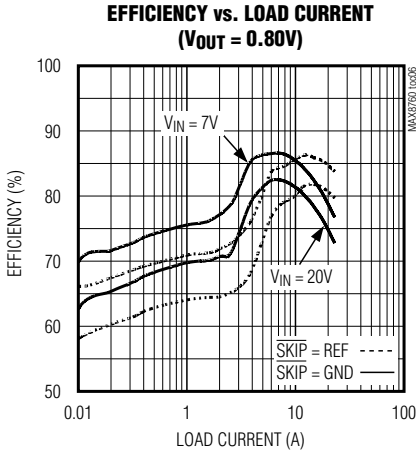
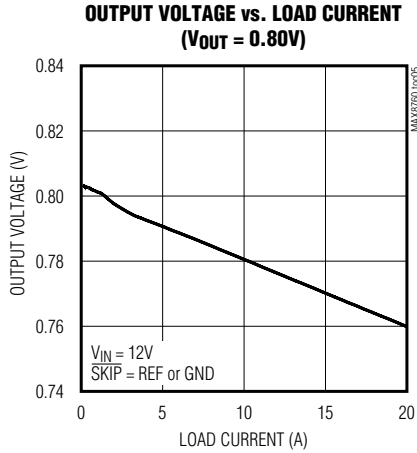
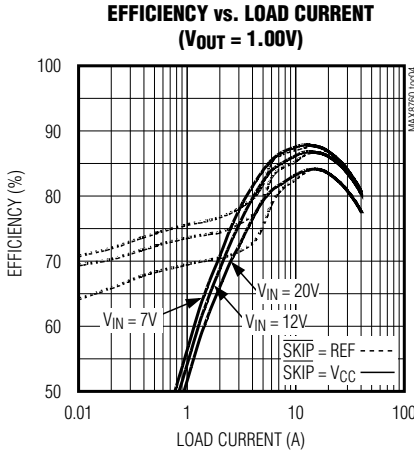
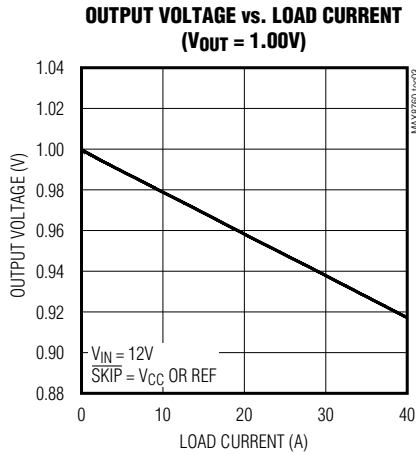
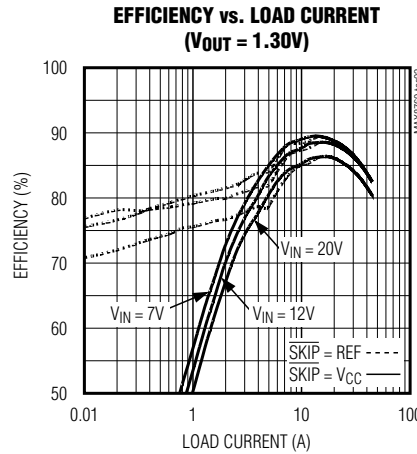
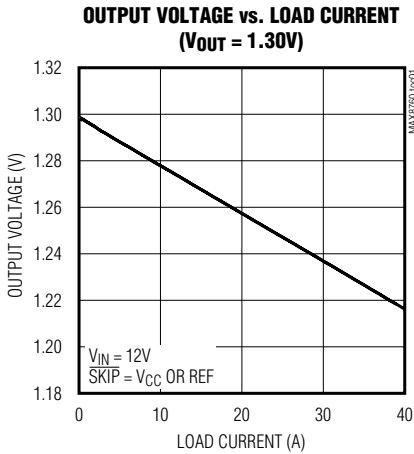
Note 5: Specifications to $T_A = -40^\circ C$ and $+100^\circ C$ are guaranteed by design and are not production tested.

双相、Quick-PWM控制器，用于为AMD 移动式Turion 64 CPU提供核电源

典型工作特性

(Circuit of Figure 1, $V_{IN} = 12V$, $V_{CC} = V_{DD} = 5V$, $\overline{SHDN} = \overline{SKIP} = V_{CC}$, D0-D5 set for 1.5V (SUS = GND), S0 and S1 set for 1V (SUS = V_{CC}), OFS = GND, $T_A = +25^\circ C$, unless otherwise specified.)

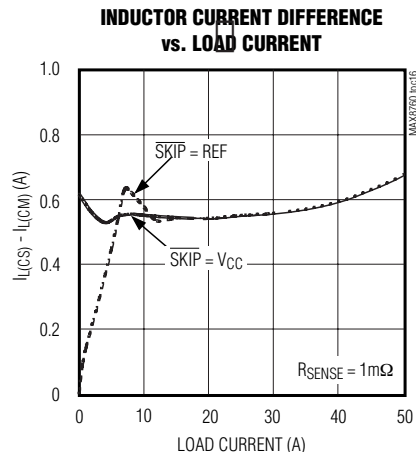
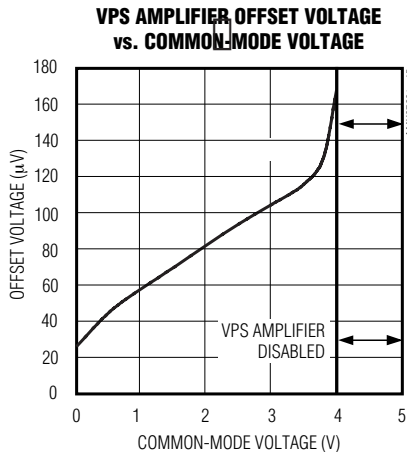
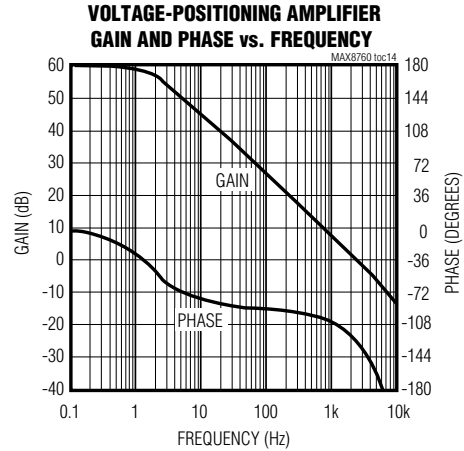
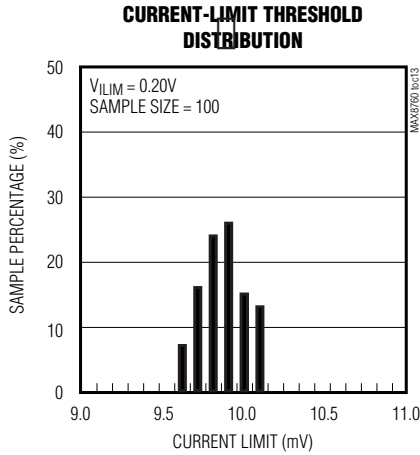
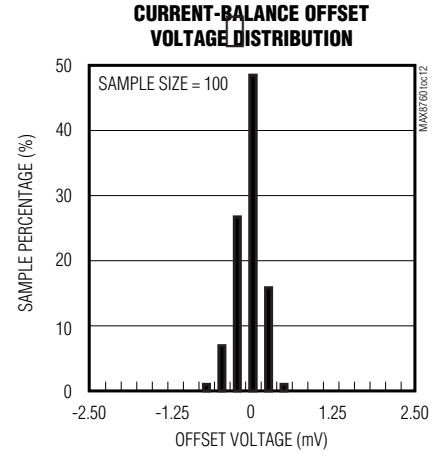
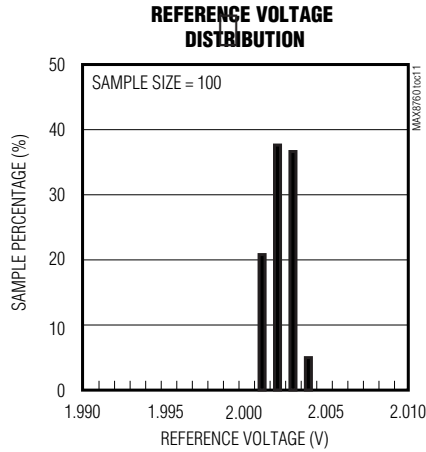
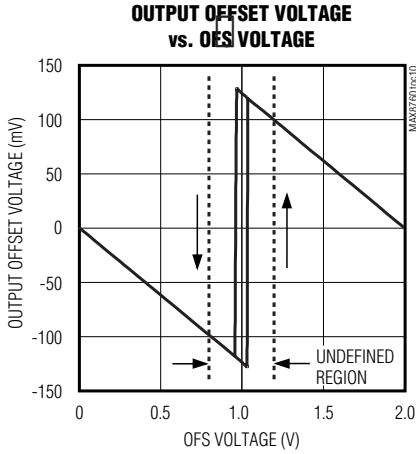
MAX8760



双相、Quick-PWM控制器，用于为AMD 移动式Turion 64 CPU提供核电源

典型工作特性 (续)

(Circuit of Figure 1, $V_{IN} = 12V$, $V_{CC} = V_{DD} = 5V$, $\overline{SHDN} = \overline{SKIP} = V_{CC}$, D0-D5 set for 1.5V (SUS = GND), S0 and S1 set for 1V (SUS = V_{CC}), OFS = GND, $T_A = +25^\circ C$, unless otherwise specified.)

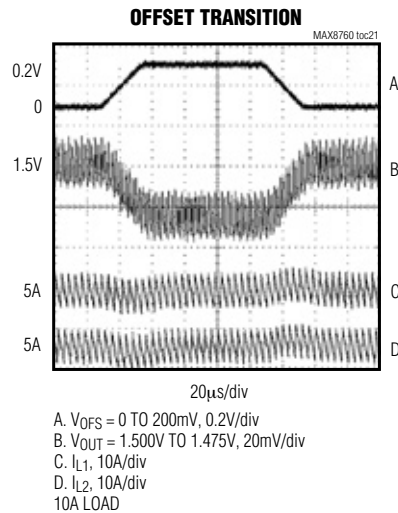
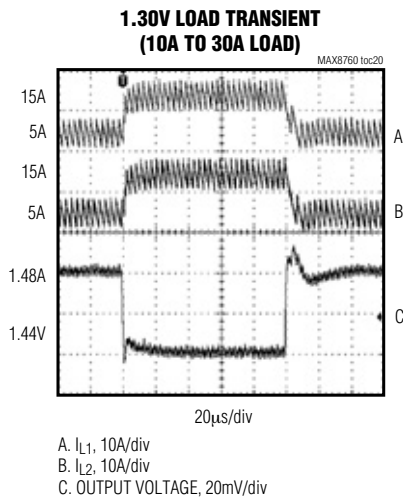
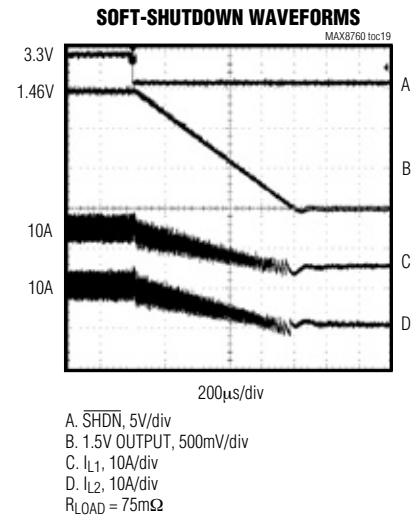
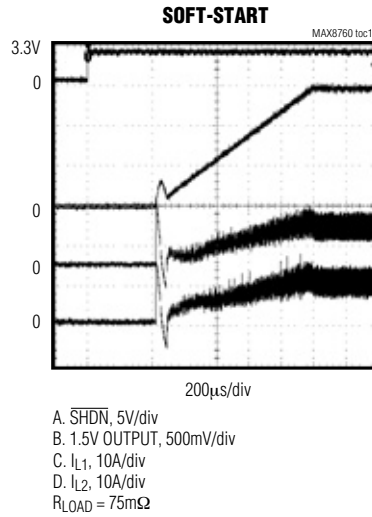
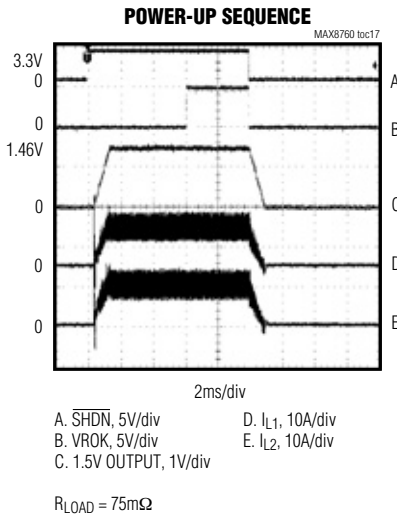


双相、Quick-PWM控制器，用于为AMD 移动式Turion 64 CPU提供核电源

典型工作特性 (续)

(Circuit of Figure 1, $V_{IN} = 12V$, $V_{CC} = V_{DD} = 5V$, $\overline{SHDN} = \overline{SKIP} = V_{CC}$, D0-D5 set for 1.5V (SUS = GND), S0 and S1 set for 1V (SUS = V_{CC}), OFS = GND, $T_A = +25^\circ C$, unless otherwise specified.)

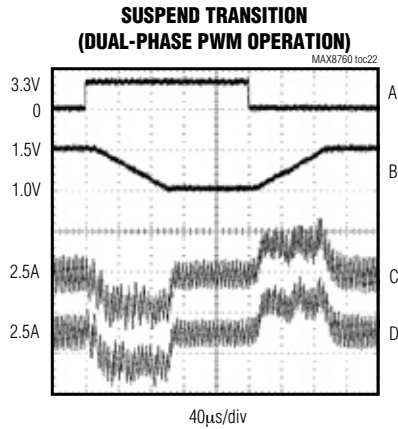
MAX8760



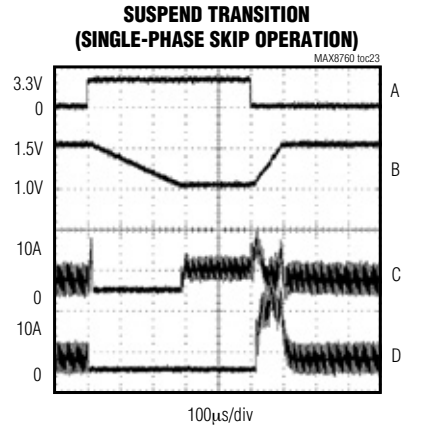
双相、Quick-PWM控制器，用于为AMD 移动式Turion 64 CPU提供核电源

典型工作特性 (续)

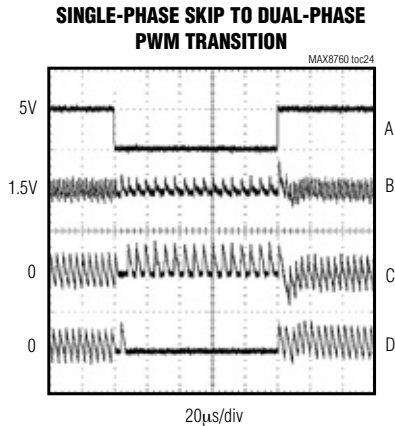
(Circuit of Figure 1, $V_{IN} = 12V$, $V_{CC} = V_{DD} = 5V$, $\overline{SHDN} = \overline{SKIP} = V_{CC}$, D0-D5 set for 1.5V (SUS = GND), S0 and S1 set for 1V (SUS = V_{CC}), OFS = GND, $T_A = +25^\circ C$, unless otherwise specified.)



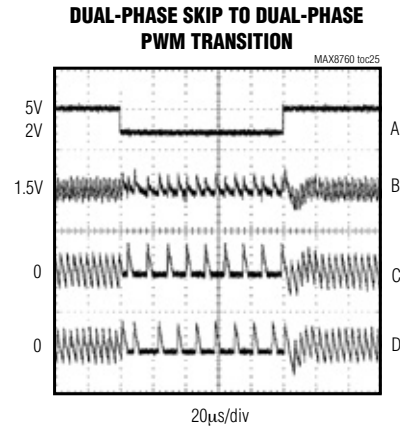
A. SUS, 5V/div
B. $V_{OUT} = 1.5V$ TO $1.0V$, 0.5V/div
C. I_{L1} , 10A/div
D. I_{L2} , 10A/div
5A LOAD, $\overline{SKIP} = V_{CC}$, $R_{TIME} = 64.9k\Omega$



A. SUS, 5V/div
B. $V_{OUT} = 1.5V$ TO $1.0V$, 0.5V/div
C. I_{L1} , 10A/div
D. I_{L2} , 10A/div
5A LOAD, $C_{OUT} = (4) 680\mu F$, $\overline{SKIP} = \overline{SUS}$, $R_{TIME} = 64.9k\Omega$



A. $\overline{SKIP} = V_{CC}$ TO GND, 5V/div
B. 1.5V OUTPUT, 50mV/div
C. I_{L1} , 10A/div
D. I_{L2} , 10A/div
2A LOAD

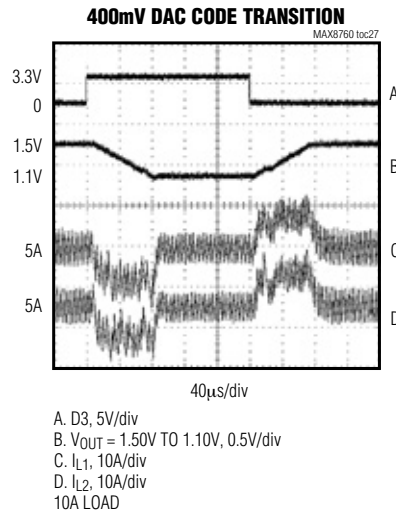
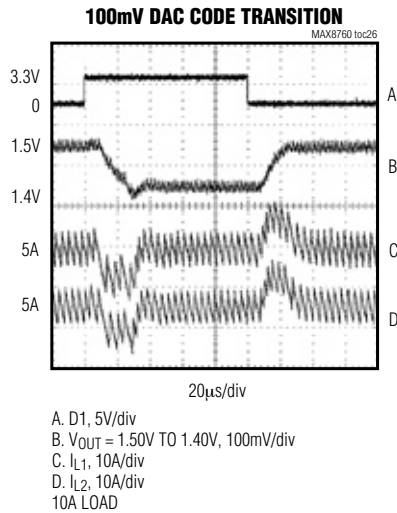


A. $\overline{SKIP} = V_{CC}$ TO REF, 5V/div
B. 1.5V OUTPUT, 50mV/div
C. I_{L1} , 10A/div
D. I_{L2} , 10A/div
2A LOAD

双相、Quick-PWM控制器，用于为AMD 移动式Turion 64 CPU提供核电源

典型工作特性 (续)

(Circuit of Figure 1, $V_{IN} = 12V$, $V_{CC} = V_{DD} = 5V$, $\overline{SHDN} = \overline{SKIP} = V_{CC}$, D0-D5 set for 1.5V (SUS = GND), S0 and S1 set for 1V (SUS = V_{CC}), OFS = GND, $T_A = +25^\circ C$, unless otherwise specified.)



MAX8760

双相、Quick-PWM控制器，用于为AMD 移动式Turion 64 CPU提供核电源

引脚说明

引脚	名称	功能
1	TIME	摆率调节引脚。TIME与GND间接一只电阻，用来设置内部摆率时钟。该电阻为150kΩ~15kΩ时，时钟为100kHz~1MHz， $f_{SLEW} = 500kHz \times 30k\Omega/R_{TIME}$ 。启动和关断期间，内部摆率时钟工作在1/4编程速率。
2	TON	导通时间选择控制输入。这个四电平输入用来设置决定DH_导通时间的K因子(参见导通时间单稳态(TON)部分)：TON接GND、REF、悬空及V _{CC} 时的额定开关频率分别为550kHz、300kHz、200kHz、100kHz。
3	SUS	挂起输入。SUS为三电平逻辑输入。当控制器检测到SUS有变化时，控制器将输出电压摆动至新的电压，该电压由SUS、S0、S1和D0~D5决定。控制器在电压过渡期间和新DAC码到达后的24个R _{TIME} 时钟周期内屏蔽V _{ROK} 。SUS连接方式决定了用哪一个多路复用器来设置额定输出电压： SUS接3.3V或V _{CC} (高电平)时为挂起模式；S0、S1低段挂起模式代码(表5) SUS接REF时为挂起模式；S0、S1高段挂起模式代码(表5) SUS接GND时为正常模式；D0~D5 VID DAC码(表4)
4, 5	S0, S1	挂起模式电压选择输入。S0和S1是四电平数字输入，用来选择挂起模式下多路复用器输入的挂起模式VID码(表5)。SUS为高时，挂起模式VID码提供给DAC(参见内部多路复用器部分)，其它电压设置无效(图3)。
6	\overline{SHDN}	关断控制输入。该输入端不能承受电池电压。接V _{CC} 时正常工作。接地时IC进入1μA(典型)关断状态。在从正常模式到关断模式的过渡过程中，输出电压的下降速率为TIME设定摆率的4倍。关断模式下，DLM和DLS被强拉至V _{DD} 以将输出箝位到地。将 \overline{SHDN} 强拉到12V~15V，可禁止过压保护电路和欠压保护电路、禁止相位重叠，并清除故障锁存器。不要将 \overline{SHDN} 接大于15V的电压。
7	OFS	偏移控制分压器输入。0 < V _{OFS} < 0.8V时，从输出中减去OFS电压的0.125倍。1.2V < V _{OFS} < 2V时，输出电压加上REF和OFS电压差的0.125倍。0.8V < V _{OFS} < 1.2V时没有定义。在挂起模式中(SUS为REF或高)，控制器禁止偏移放大器。
8	REF	2V基准电压输出。对GND接一只0.22μF或更大的旁路陶瓷电容。基准电压能为外部负载提供100μA电流。加载REF会降低输出电压精度，降低程度取决于REF负载调整误差。
9	ILIM	电流限制调节端。ILIM接V _{CC} 时限流门限取默认值30mV。调节模式下，限流门限电压精确等于ILIM端电压的1/20，ILIM端电压范围为0.2V至1.5V。切换至30mV默认值的逻辑门限约等于V _{CC} - 1V。
10	V _{CC}	PWM核的模拟电源输入。V _{CC} 通过一只10Ω电阻连接到系统电源(4.5V至5.5V)。V _{CC} 用一只1μF或更大的陶瓷电容旁路到GND，该电容应尽可能靠近IC放置。
11	GND	模拟地。将MAX8760的裸露焊盘接至模拟地。
12	CCV	电压积分电容连接端。CCV和模拟地(GND)间接一只47pF至1000pF(典型值150pF)的电容，以设置积分时间常数。
13	GNDS	地远端检测输入。GNDS直接接CPU地检测引脚。GNDS内部接一个调节输出电压的放大器，补偿调节器地到负载地的压降。

双相、Quick-PWM控制器，用于为AMD 移动式Turion 64 CPU提供核电源

引脚说明 (续)

MAX8760

引脚	名称	功能
14	CCI	电流均衡补偿端。CCI与FB间接470pF电容。参见电流均衡部分。
15	FB	反馈输入端。芯片内部FB同时接至反馈输入和电压定位放大器的输出。有关设置电压定位增益方面的信息参见电压定位设置部分。
16	OAIN-	运算放大器反相输入及禁止端。当内部运放用于增加电压定位增益时，该引脚应通过一只电阻连接到检流电阻的负端，如电压定位设置部分所述。OAIN-接V _{CC} 时禁止运算放大器。禁止运算放大器的逻辑门限约为V _{CC} - 1V。
17	OAIN+	运算放大器同相输入。当内部运放用于增加电压定位增益时，该引脚应通过一只电阻连接到检流电阻的正端，如电压定位设置部分所述。
18	SKIP	跳脉冲控制输入。跳脉冲模式下控制器屏蔽VROK上限： SKIP接3.3V或V _{CC} (高电平) 时为双相强制PWM工作模式 SKIP接REF时为双相跳脉冲工作模式 SKIP接GND时为单相跳脉冲工作模式
19-24	D5-D0	低压VID DAC码输入。D0-D5输入不带内部上拉。这些1.0V逻辑输入设计用来直接与CPU连接。在正常模式下 (表4, SUS = GND)，输出电压取决于D0-D5逻辑电平电压表示的VID码。在挂起模式下 (SUS = REF或高)，四电平输入端S0、S1的编码状态设定输出电压。
25	VROK	漏极开路“电源好”输出。输出电压转变后,除上电和断电期间外,如果OUT处于稳压状态,则VROK为高阻。摆率控制电路工作期间 (输出电压转变) 控制器屏蔽VROK。关断期间VROK被强制拉低。VROK端上拉电阻会额外产生有限的关断电流。在上电期间,VROK具有3ms (最小) 延迟。
26	BSTM	主自举电容连接端。BSTM端串联一个可选电阻以调节DHM上拉电流。
27	LXM	主电感连接端。LXM是DHM高边栅极驱动器内部电源的低端。
28	DHM	主高边栅极驱动器输出。DHM的摆幅在LXM和BSTM之间。
29	DLM	主低边栅极驱动器输出。DLM的摆幅在PGND和V _{DD} 之间。MAX8760关断时DLM被强制拉高。
30	V _{DD}	DLM和DLS栅极驱动器的电源电压输入。接系统电源 (4.5V至5.5V)。V _{DD} 和PGND间接一只2.2μF或更大的旁路电容，该电容应尽量靠近IC放置。
31	PGND	功率地。低边栅极驱动器DLM和DLS的接地端。

双相、Quick-PWM控制器，用于为AMD 移动式Turion 64 CPU提供核电源

引脚说明 (续)

引脚	名称	功能
32	DLS	副低边栅极驱动器输出。DLS的摆幅在PGND和V _{DD} 之间。MAX8760关断时DLS被强制拉高。
33	DHS	副高边栅极驱动器输出。DHS的摆幅在LXS和BSTS之间。
34	LXS	副电感连接端。LXS是DHS高边栅极驱动器的内部电源低端。
35	BSTS	副自举电容连接端。BSTS端串联一个可选电阻以调节DHS上拉电流。
36	V+	电池电压检测端。仅用于PWM单稳态定时。DH ₊ 导通时间与输入电压(4V至28V)成反比。
37	CMP	主电感电流检测正输入。
38	CMN	主电感电流检测负输入。
39	CSN	副电感电流检测负输入。
40	CSP	副电感电流检测正输入。

详细描述

180° 错相工作

MAX8760内的两个相工作时具有180°相差 ($\overline{SKIP} = \text{REF}$ 或high)，这样可以将输入和输出滤波要求降至最低，减小了电磁干扰 (EMI) 并提高了效率。这等同于减少元件数目—降低成本，节省版面空间，并降低对器件功率的要求—从而使MAX8760成为大功率、成本敏感应用的理想选择。

通常开关调节器只用一个相传递功率，而不是在多个相之间分配功率。在这些应用中，输入电容必须支持很高的瞬态电流。RMS波纹电流较高时，由于输入电容等效串联电阻 (ESR) 上的 I^2R 功率损耗，会导致效率降低。因此，系统通常需要几个低ESR的输入电容并联，以将输入电压波纹降至最低，从而减小ESR相关功耗，满足所需的RMS波纹电流要求。

MAX8760控制器可在两个相之间分摊电流，两相电路之间相位差180°，正常工作时，不会同时开启高边MOSFET。每一相的瞬态输入电流减小了一半，从而降低了输入电压纹波、ESR功率损耗和RMS纹波电流 (参见输入电容选择部分)。这样一来，只需更少、更廉价的输入电容就可实现同样的性能。标准多相应用器件选择如表1所示，器件供应商如表2所示。

瞬时相位重叠

当发生负载瞬变时，控制器的响应时间取决于电感电流的变化速度。负载瞬变后仍然维持180°错相工作的多相控制器的响应速度实际上比等效的单相控制器慢。为实现高速瞬态响应，MAX8760允许相位重叠，在检测到重载瞬变时允许两个调节器同相工作，缩短了响应时间。在任一个高边MOSFET关断时，如果输出电压在最小关断时间结束后仍未超过规定电压，那么控制器会在下一个导通周期内同时开通两个高边MOSFET。这样就最大程度地提高了电感电流的上升速率。直到最小关断时间后的输出电压超过了规定电压为止，两相的相位始终保持重叠。

相位重叠模式结束之后，控制器自动从相反的另一相开始工作。例如，如果在重叠模式开始前的最后一个导通相是副相，则在重叠模式结束后控制器从主相开始开关操作。

上电顺序

当驱动 \overline{SHDN} 为高时MAX8760被使能 (图2)。基准最先上电。一旦基准电压超过其UVLO门限，PWM控制器计算DAC目标电压并开始开关操作。

双相、Quick-PWM控制器，用于为AMD 移动式Turion 64 CPU提供核电源

表 1. 标准多相应用中的器件选择

DESIGNATION	MAX8760 AMD MOBILE COMPONENTS
	Circuit of Figure 1
Input Voltage Range	7V to 24V
VID Output Voltage (D5–D0)	1.3V (D5–D0 = 001010)
Suspend Voltage (SUS, S0, S1)	Not used (SUS = GND)
Maximum Load Current	30A
Number of Phases (η_{TOTAL})	Two phases
Inductor (per Phase)	0.56 μ H Panasonic ETQP4LR56WFC
Switching Frequency	300kHz (TON = REF)
High-Side MOSFET (N_H , per phase)	Siliconix (1) Si7886DP
Low-Side MOSFET (N_L , per phase)	Siliconix (2) Si7356DP
Total Input Capacitance (C_{IN})	(4) 10 μ F, 25V Taiyo Yuden TMK432BJ106KM or TDK C4532X5R1E106M
Total Output Capacitance (C_{OUT})	(4) 330 μ F, 2.5V Sanyo 2R5TPE330M9
Current-Sense Resistor (R_{SENSE} , per Phase)	1m Ω Panasonic ERJM1WTJ1M0U

在MAX8760中，摆率控制器使输出电压以12.5mV的步长，逐渐爬升至由D0–D5 (SUS = GND) 或S0、S1 (SUS = REF或高电平) 确定的工作电压 (见表3和表4)。摆率由 R_{TIME} 电阻设置 (见输出电压的过渡过程部分)。

摆率为 R_{TIME} 电阻设置值的1/4 (参见输出电压的过渡过程部分)。当输出电压到达DAC码所规定的目标电压至少3ms后，MAX8760控制器将VROK拉低。

关断

当 \overline{SHDN} 变为低电平时，MAX8760进入低功耗关断模式。VROK被立即拉低，输出电压以LSB步长，以4倍于 R_{TIME} 设定的时钟速率下降至0V：

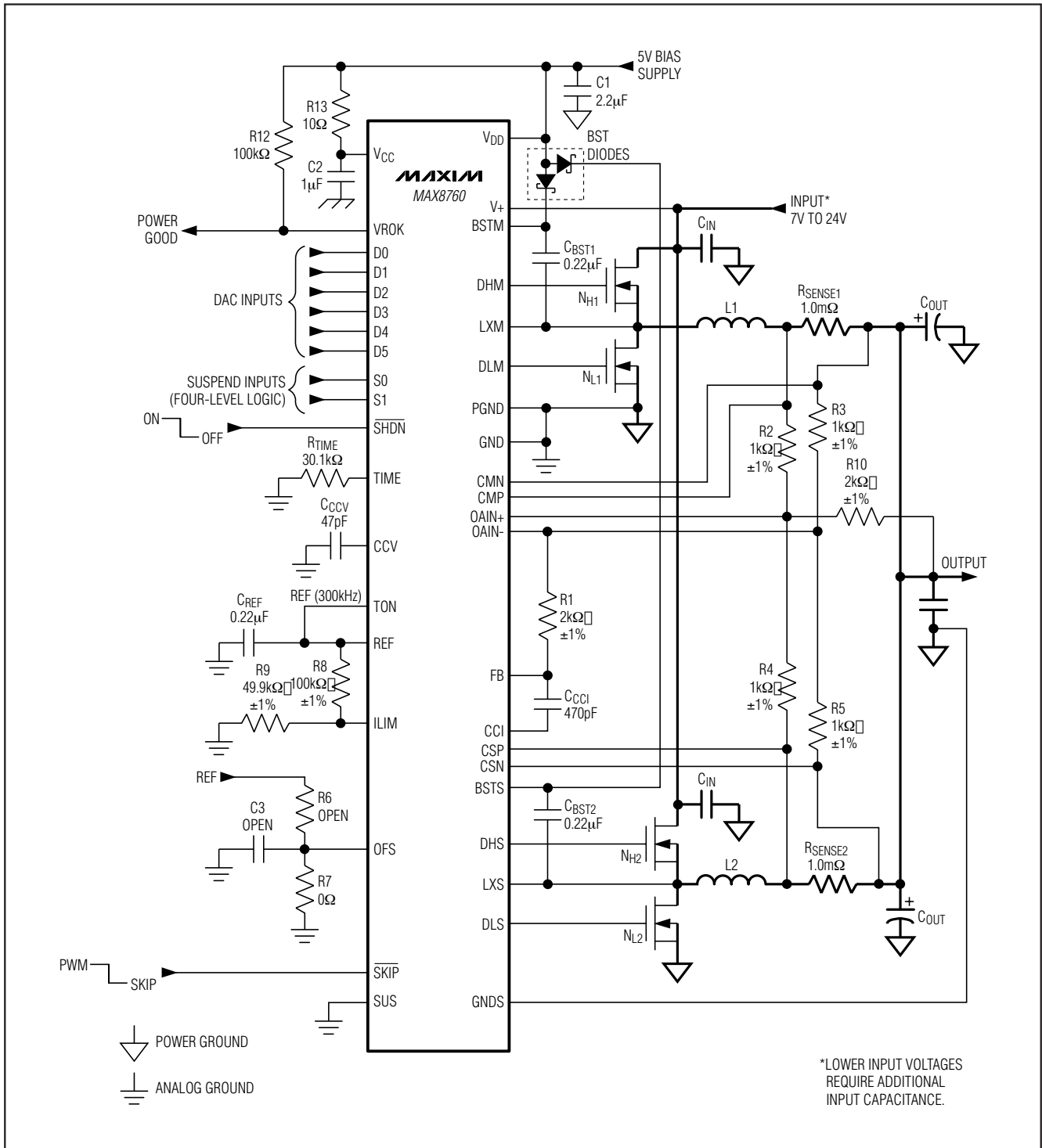
$$t_{SHDN} \leq \frac{4}{f_{SLEW}} \left(\frac{V_{DAC}}{V_{LSB}} \right)$$

其中， $f_{SLEW} = 500\text{kHz} \times 30\text{k}\Omega/R_{TIME}$ ， V_{DAC} 为控制器开始关断时的DAC设定值， $V_{LSB} = 12.5\text{mV}$ 为DAC的最小电

压增量。用较长的时间 ($4/f_{SLEW}$) 缓慢地给输出电容放电可使平均负向电感电流保持在比较低的水平 (阻尼响应)，因而消除了输出电压的负向偏移，否则，如果永久开启低侧 MOSFET而使输出迅速放电 (欠阻尼响应)，则会使输出产生负偏移。这种关断方式省掉了接在输出和地之间的用来钳制这个负压的肖特基二极管。当DAC达到0V目标电压时，DL_变为高电平，DH_变为低电平，基准关闭，电源电流降至约1 μ A。如果是某种故障情况触发了关断过程，例如输出欠压锁定、输出过压锁定或热关断等，则控制器置位故障锁存器，阻止控制器重新启动。要清除故障锁存器并重新启动控制器，可切换 \overline{SHDN} 或使 V_{CC} 电源从1V以下重新上电。

\overline{SHDN} 变为高电平后，基准上电。一旦基准电压超过其UVLO门限，控制器计算DAC目标电压并启动开关操作。摆率控制器使输出电压从0V开始，以LSB增量按照 R_{TIME} 电阻所设置的摆率的1/4爬升到目前所选定的输出电压 (参见上电顺序部分)。没有传统的软启动 (可变限流) 电路，因此上电伊始便可立即提供满额输出电流。

双相、Quick-PWM控制器，用于为AMD 移动式Turion 64 CPU提供核电源



双相、Quick-PWM控制器，用于为AMD 移动式Turion 64 CPU提供核电源

MAX8760

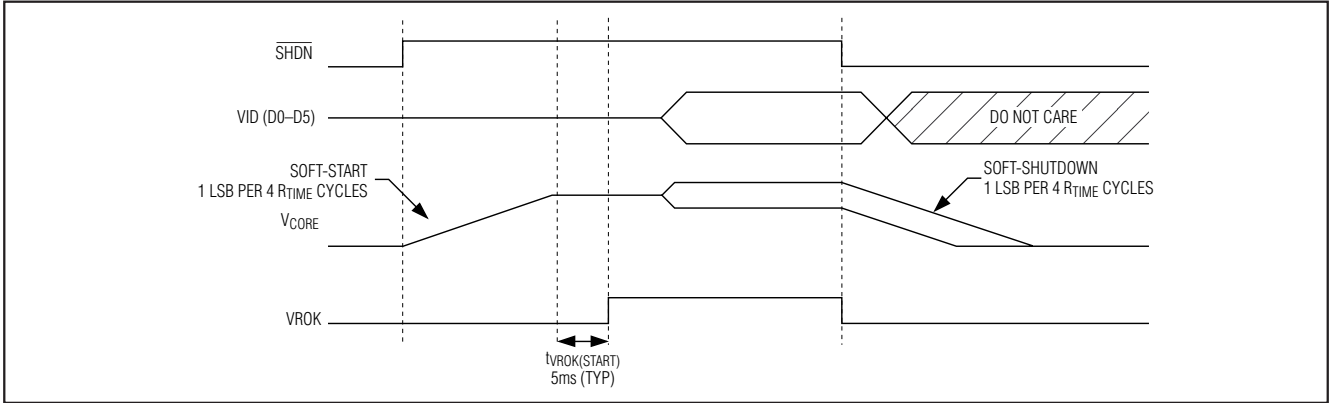


图2. 上电及关断过程时序图

表2. 器件供应商

MANUFACTURER	PHONE	WEBSITE
BI Technologies	714-447-2345 (USA)	www.bitechnologies.com
Central Semiconductor	631-435-1110 (USA)	www.centrasemi.com
Coilcraft	800-322-2645 (USA)	www.coilcraft.com
Coiltronics	561-752-5000 (USA)	www.coiltronics.com
Fairchild Semiconductor	888-522-5372 (USA)	www.fairchildsemi.com
International Rectifier	310-322-3331 (USA)	www.irf.com
Kemet	408-986-0424 (USA)	www.kemet.com
Panasonic	847-468-5624 (USA)	www.panasonic.com
Sanyo	65-6281-3226 (Singapore)	www.secc.co.jp
Siliconix (Vishay)	203-268-6261 (USA)	www.vishay.com
Sumida	408-982-9660 (USA)	www.sumida.com
Taiyo Yuden	03-3667-3408 (Japan) 408-573-4150 (USA)	www.t-yuden.com
TDK	847-803-6100 (USA) 81-3-5201-7241 (Japan)	www.component.tdk.com
TOKO	858-675-8013 (USA)	www.tokoam.com

内部多路复用器

MAX8760有一个独特的内部DAC输入多路复用器(MUXes)，可从三种不同DAC码中选择一种用于不同的处理器状态(图3)。启动时，MAX8760根据D0-D5输入(SUS = GND)或S0、S1(SUS = REF或高电平)输入解码器来设置DAC码。

DAC输入 (D0-D5)

在正常的强制PWM工作模式下(SUS = GND)，数模转换器(DAC)利用D0-D5输入来设定输出电压。D0-D5引脚不能悬空。D0-D5可在MAX8760工作的时候改变，以转变到一个新的输出电压。D0-D5必须同时改变，各位之间的转换时间偏差不应大于1 μ s。否则，DAC会读取不正确的数据，造成输出电压在转换过程中向错误的电压摆动，随后才摆向需要的电压，延长了总的转换时间。DAC编码和对应的输出电压符合AMD K9的电压规定(表4)。

双相、Quick-PWM控制器，用于为AMD 移动式Turion 64 CPU提供核电源

表3. 工作模式真值表

SHDN	SUS	SKIP	OFS	OUTPUT VOLTAGE	OPERATING MODE
GND	x	x	x	GND	Low-Power Shutdown Mode. DL_ is forced high, DH_ is forced low, and the PWM controller is disabled. The supply current drops to 1µA (typ).
V _{CC}	GND	V _{CC}	GND or REF	D0–D5 (no offset)	Normal Operation. The no-load output voltage is determined by the selected VID DAC code (D0–D5, Table 4).
V _{CC}	x	GND or REF	GND or REF	D0–D5 (no offset)	Pulse-Skipping Operation. When SKIP is pulled low, the MAX8760 immediately enters pulse-skipping operation allowing automatic PWM/PFM switchover under light loads. The VROK upper threshold is blanked.
V _{CC}	GND	x	0 to 0.8V or 1.2V to 2V	D0–D5 (plus offset)	Deep-Sleep Mode. The no-load output voltage is determined by the selected VID DAC code (D0–D5, Table 4) plus the offset voltage set by OFS.
V _{CC}	REF or High	x	x	SUS, S0–S1 (no offset)	Suspend Mode. The no-load output voltage is determined by the selected suspend code (SUS, S0, S1, Table 5), overriding all other active modes of operation.
V _{CC}	x	x	x	GND	Fault Mode. The fault latch has been set by either UVP, OVP, or thermal shutdown. The controller remains in FAULT mode until V _{CC} power is cycled or SHDN toggled.

四电平逻辑输入

TON、S0、S1是四电平逻辑输入。采用四电平逻辑可以在无需增加过多引脚的情况下扩展控制器功能。四电平输入是静态输入。开路时，内部电阻分压器将输入电压设置为约3.5V。当需要选择其它逻辑电平时可直接将四电平逻辑输入连接至V_{CC}、REF或GND。确切的逻辑电平值参见 *Electrical Characteristics* 表。

挂起模式

处理器进入小功率挂起模式时，它会将调节器输出电压调到更低值，以降低功耗。MAX8760具有独立的挂起模式输出电压编码，由四电平逻辑输入S0、S1和三电平逻辑输入SUS来设置。当CPU挂起时 (SUS = REF或高电平)，控制器关闭失调放大器，忽略D0–D5设置的5位VID DAC码 (正常工作模式)。主控制器将输出电压调至所选的挂起模式电压。转换过程中，MAX8760屏蔽掉VROK和UVP故障保护功能，直到摆率控制器到达挂起模式电压并延迟24个R_{TIME}时钟周期后。

SUS是三电平逻辑输入：GND、REF或高电平。这有助于在无需增加引脚的情况下扩展控制器功能。四电平输入可由专用的开漏输出驱动，并通过上拉电阻接至REF (或接至V_{CC}上的电阻分压器) 或逻辑电平偏置电源 (3.3V或更高)。上拉至REF时，MAX8760选择高段挂起电压范围。被拉至高电平 (2.7V或更高) 时，控制器选择低段挂起电压范围。确切的逻辑电平值参见 *Electrical Characteristics*。

输出电压的过渡过程

MAX8760以一种受控方式实现模式间的过渡，自动将输入浪涌电流减至最小。该特性给电路设计者带来了近乎理想的过渡过程，保证新输出电压的到来恰到好处，同时又尽可能降低了输出电容中的峰值电流。

输出电压的过渡过程开始时，MAX8760屏蔽掉VROK输出，防止其在过渡过程中改变状态。过渡过程中VROK保持屏蔽状态，并在摆率控制器建立了最终的DAC码之后再经过约24个时钟周期开启。摆率控制时钟频率 (由电阻R_{TIME}设定) 必须足够快，以确保在最长允许期限内完成过渡过程。

双相、Quick-PWM控制器，用于为AMD 移动式Turion 64 CPU提供核电源

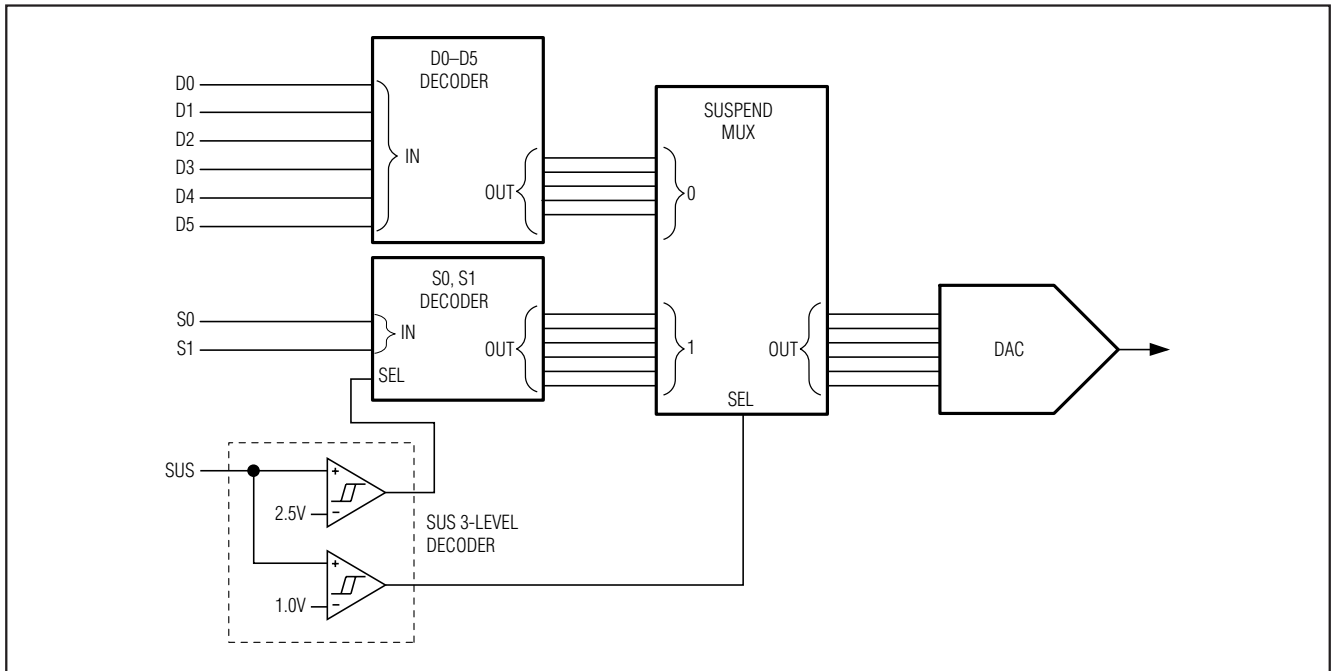


图3. 内部多路复用器功能框图

在软启动、软关断及挂起模式转换期间，摆率控制器以12.5mV步长改变输出电压。总时间取决于 R_{TIME} 、电压差及MAX8760摆率控制时钟的精度，与总输出电容无关。输出电容越大，转换所需的浪涌电流也越大。只要浪涌电流不超过由ILIM设定的电流限，MAX8760可自动控制电流，使其为在计算时间内完成过渡过程所需的最小值。转换时间的计算公式如下：

$$t_{\text{SLEW}} \approx \frac{1}{f_{\text{SLEW}}} \left(\frac{V_{\text{OLD}} - V_{\text{NEW}}}{V_{\text{LSB}}} \right) V_{\text{OUT上升}}$$

$$t_{\text{SLEW}} \approx \frac{1}{f_{\text{SLEW}}} \left[\left(\frac{V_{\text{OLD}} - V_{\text{NEW}}}{V_{\text{LSB}}} \right) + 2 \right] V_{\text{OUT下降}}$$

其中， $f_{\text{SLEW}} = 500\text{kHz} \times 30\text{k}\Omega / R_{\text{TIME}}$ ， V_{OLD} 是初始DAC设置， V_{NEW} 是新的DAC设置， $V_{\text{LSB}} = 12.5\text{mV}$ 是DAC的最小电压增量。由于内部同步延迟，下降过程有两个额外的时钟周期。 f_{SLEW} 极限值参见*Electrical Characteristics*表中的TIME频率精度。

R_{TIME} 的实际范围为15k Ω 至150k Ω ，对应于每个12.5mV台阶1.0 μs 至10 μs 。尽管DAC输出为离散的台阶，由于输出滤波器的作用，过渡过程还是相当平滑的。输出电压转换所需的平均电感电流为：

$$I_{\text{L}} \approx C_{\text{OUT}} \times V_{\text{LSB}} \times f_{\text{SLEW}}$$

双相、Quick-PWM控制器，用于为AMD 移动式Turion 64 CPU提供核电源

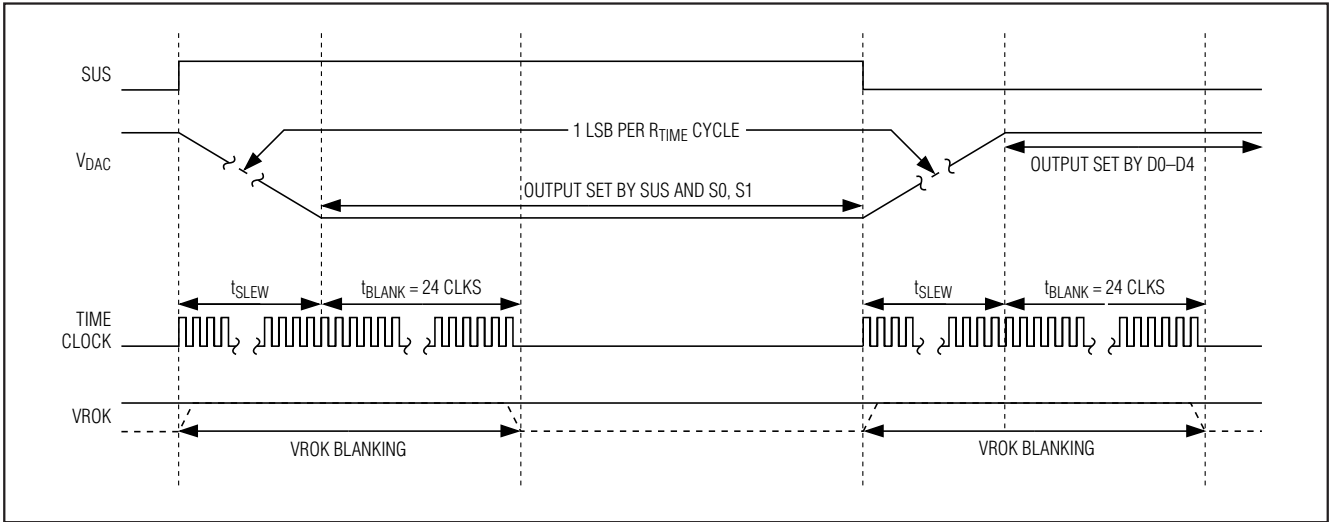


图4. 挂起过程

故障保护

输出过压保护

过压保护 (OVP) 电路用来保护CPU，保护电路启动后电路吸收很大的电流使电池保险丝熔断，防止因高侧MOSFET短路而损坏CPU。MAX8760连续监视输出上的过压故障。如果输出电压超出2.0V (典型值) 的固定门限值，则控制器确认这是一个OVP故障。当OVP电路检测到过压故障时，立即触发故障锁存器，关断高边MOSFET并将DL强制拉高。

这将使输出滤波电容放电，迫使输出电压降低到地。如果引起过压的故障持续存在 (如高侧MOSFET短路)，则会使电池保险熔断。控制器始终保持关断状态，除非通过触发 $\overline{\text{SHDN}}$ 或使 V_{CC} 电源电压从1V以下重新上电来清除故障锁存器。

当控制器处于无故障测试模式时OVP功能被禁止 (参见无故障测试模式部分)。

输出欠压关断

输出欠压保护 (UVP) 功能与折返式限流相似，不同之处在于采用的是定时器而不是可变限流。如果MAX8760输出电压低于标称值的70%，则控制器启动关断时序，并触发故障锁存器。

控制器将输出缓降至0V DAC码后，强制拉高DL_低边栅极驱动器，并强制拉低DH_高边栅极驱动器。触发 $\overline{\text{SHDN}}$ 或使 V_{CC} 电源从1V以下重新上电可清除故障锁存器，并

重新启动控制器。在输出电压转变过程中UVP功能被忽略，并在控制器到达最终DAC码值后的另外24个时钟周期内屏蔽UVP。

无故障测试模式中可禁止UVP (参见无故障测试模式部分)。

过热保护

MAX8760具有过热保护电路。当结温上升到+160°C以上时，热传感器设置故障锁存器并启动软关断时序。一旦控制器将输出缓降至0V DAC码后，DL_低边栅极驱动器输出被强制拉高，DH_高边栅极驱动器输出被拉低。结温下降15°C以后，触发 $\overline{\text{SHDN}}$ 或使 V_{CC} 电源从1V以下重新上电可清除故障锁存器并重新启动控制器。

在无故障测试模式下可禁止热关断 (请参见无故障测试模式部分)。

无故障测试模式

锁定故障保护特性及相位重叠模式给样机的调试带来了困难，因为 (最多) 只有几毫秒的时间可供设计者确定问题所在。因此，该芯片提供了一种无故障测试模式，可禁止故障保护 (过压保护、欠压保护和热关断) 和相位重叠模式。此外，测试模式还可清除故障锁存器 (如果它已被触发)。施加12V至15V电压给 $\overline{\text{SHDN}}$ 可进入无故障测试模式。

双相、Quick-PWM控制器，用于为AMD 移动式Turion 64 CPU提供核电源

表4. 输出电压ID DAC码 (SUS = GND)

D5	D4	D3	D2	D1	D0	OUTPUT VOLTAGE (V)
0	0	0	0	0	0	1.5500
0	0	0	0	0	1	1.5250
0	0	0	0	1	0	1.5000
0	0	0	0	1	1	1.4750
0	0	0	1	0	0	1.4500
0	0	0	1	0	1	1.4250
0	0	0	1	1	0	1.4000
0	0	0	1	1	1	1.3750
0	0	1	0	0	0	1.3500
0	0	1	0	0	1	1.3250
0	0	1	0	1	0	1.3000
0	0	1	0	1	1	1.2750
0	0	1	1	0	0	1.2500
0	0	1	1	0	1	1.2250
0	0	1	1	1	0	1.2000
0	0	1	1	1	1	1.1750
0	1	0	0	0	0	1.1500
0	1	0	0	0	1	1.1250
0	1	0	0	1	0	1.1000
0	1	0	0	1	1	1.0750
0	1	0	1	0	0	1.0500
0	1	0	1	0	1	1.0250
0	1	0	1	1	0	1.0000
0	1	0	1	1	1	0.9750
0	1	1	0	0	0	0.9500
0	1	1	0	0	1	0.9250
0	1	1	0	1	0	0.9000
0	1	1	0	1	1	0.8750
0	1	1	1	0	0	0.8500
0	1	1	1	0	1	0.8250
0	1	1	1	1	0	0.8000
0	1	1	1	1	1	0.7750

D5	D4	D3	D2	D1	D0	OUTPUT VOLTAGE (V)
1	0	0	0	0	0	0.7625
1	0	0	0	0	1	0.7500
1	0	0	0	1	0	0.7375
1	0	0	0	1	1	0.7250
1	0	0	1	0	0	0.7125
1	0	0	1	0	1	0.7000
1	0	0	1	1	0	0.6875
1	0	0	1	1	1	0.6750
1	0	1	0	0	0	0.6625
1	0	1	0	0	1	0.6500
1	0	1	0	1	0	0.6375
1	0	1	0	1	1	0.6250
1	0	1	1	0	0	0.6125
1	0	1	1	0	1	0.6000
1	0	1	1	1	0	0.5875
1	0	1	1	1	1	0.5750
1	1	0	0	0	0	0.5625
1	1	0	0	0	1	0.5500
1	1	0	0	1	0	0.5375
1	1	0	0	1	1	0.5250
1	1	0	1	0	0	0.5125
1	1	0	1	0	1	0.5000
1	1	0	1	1	0	0.4875
1	1	0	1	1	1	0.4750
1	1	1	0	0	0	0.4625
1	1	1	0	0	1	0.4500
1	1	1	0	1	0	0.4375
1	1	1	0	1	1	0.4250
1	1	1	1	0	0	0.4125
1	1	1	1	0	1	0.4000
1	1	1	1	1	0	0.3875
1	1	1	1	1	1	0.3750

MAX8760

双相、Quick-PWM控制器，用于为AMD 移动式Turion 64 CPU提供核电源

表5. 挂起模式DAC码

LOWER SUSPEND CODES			
SUS	S1	S0	OUTPUT VOLTAGE (V)
HIGH	GND	GND	0.800
HIGH	GND	REF	0.775
HIGH	GND	OPEN	0.750
HIGH	GND	V _{CC}	0.725
HIGH	REF	GND	0.700
HIGH	REF	REF	0.675
HIGH	REF	OPEN	0.650
HIGH	REF	V _{CC}	0.625
HIGH	OPEN	GND	0.600
HIGH	OPEN	REF	0.575
HIGH	OPEN	OPEN	0.550
HIGH	OPEN	V _{CC}	0.525
HIGH	V _{CC}	GND	0.500
HIGH	V _{CC}	REF	0.475
HIGH	V _{CC}	OPEN	0.450
HIGH	V _{CC}	V _{CC}	0.425

UPPER SUSPEND CODES			
SUS	S1	S0	OUTPUT VOLTAGE (V)
REF	GND	GND	1.200
REF	GND	REF	1.175
REF	GND	OPEN	1.150
REF	GND	V _{CC}	1.125
REF	REF	GND	1.100
REF	REF	REF	1.075
REF	REF	OPEN	1.050
REF	REF	V _{CC}	1.025
REF	OPEN	GND	1.000
REF	OPEN	REF	0.975
REF	OPEN	OPEN	0.950
REF	OPEN	V _{CC}	0.925
REF	V _{CC}	GND	0.900
REF	V _{CC}	REF	0.875
REF	V _{CC}	OPEN	0.850
REF	V _{CC}	V _{CC}	0.825

* 三电平输入SUS接2.7V或更高电源电压(3.3V或V_{CC})时为逻辑高电平。

多相Quick-PWM

5V偏置电源 (V_{CC}和V_{DD})

除了电池，Quick-PWM控制器还需要一个外部的5V偏置电源。一般来说，这个5V偏置电源可来自于效率高达95%的笔记本5V系统电源。采用外部偏置电源可提高效率，并省下一个5V线性稳压器的成本，否则的话，还需要集成为一个线性稳压器来为PWM电路和栅极驱动器供电。若需单独运行，则可外接一只线性稳压器提供5V偏置电源。

5V偏置电源必须供给V_{CC}(用于PWM控制器)和V_{DD}(栅极驱动电源)，这样需要的最大电流为：

$$I_{BIAS} = I_{CC} + f_{SW}(Q_{G(LOW)} + Q_{G(HIGH)})$$

其中，I_{CC}取自Electrical Characteristics表，f_{SW}为开关频率，Q_{G(LOW)}和Q_{G(HIGH)}为MOSFET数据手册中规定的总栅极电荷在V_{GS} = 5V时的极限值。

如果输入电源电压为固定的4.5V至5.5V，则V₊和V_{DD}可以连接在一起。如果5V偏置电源的上电时间先于电池输

入，则必须延迟使能信号(\overline{SHDN} 从低变高)，直到电池电压建立起来，以确保正确启动。

具有输入前馈、自由运行的 恒导通时间PWM

Quick-PWM控制架构是一种带电压前馈的准固定频率、恒导通时间、电流模式调节器(图5)。这种架构利用输出滤波电容的ESR作为检流电阻，因此，输出纹波电压被用作PWM斜坡信号。控制原理很简单：高边开关的导通时间仅由一个单稳态触发器决定，脉冲宽度与输入电压成反比，与输出电压或主、副控制器的电感电流之差成正比(参见导通时间单稳态(TON)部分)。另一个单稳态触发器设置最小关断时间。导通时间单稳态触发器的触发条件为：误差比较器输出为低，所选相的电感电流到达谷电流门限以下，并且最小关断时间单稳态触发器已复位。误差比较器检测到输出电压低于设定点后，控制器交替触发主、副相，以此来保持180°错相工作。

双相、Quick-PWM控制器，用于为AMD 移动式Turion 64 CPU提供核电源

MAX8760

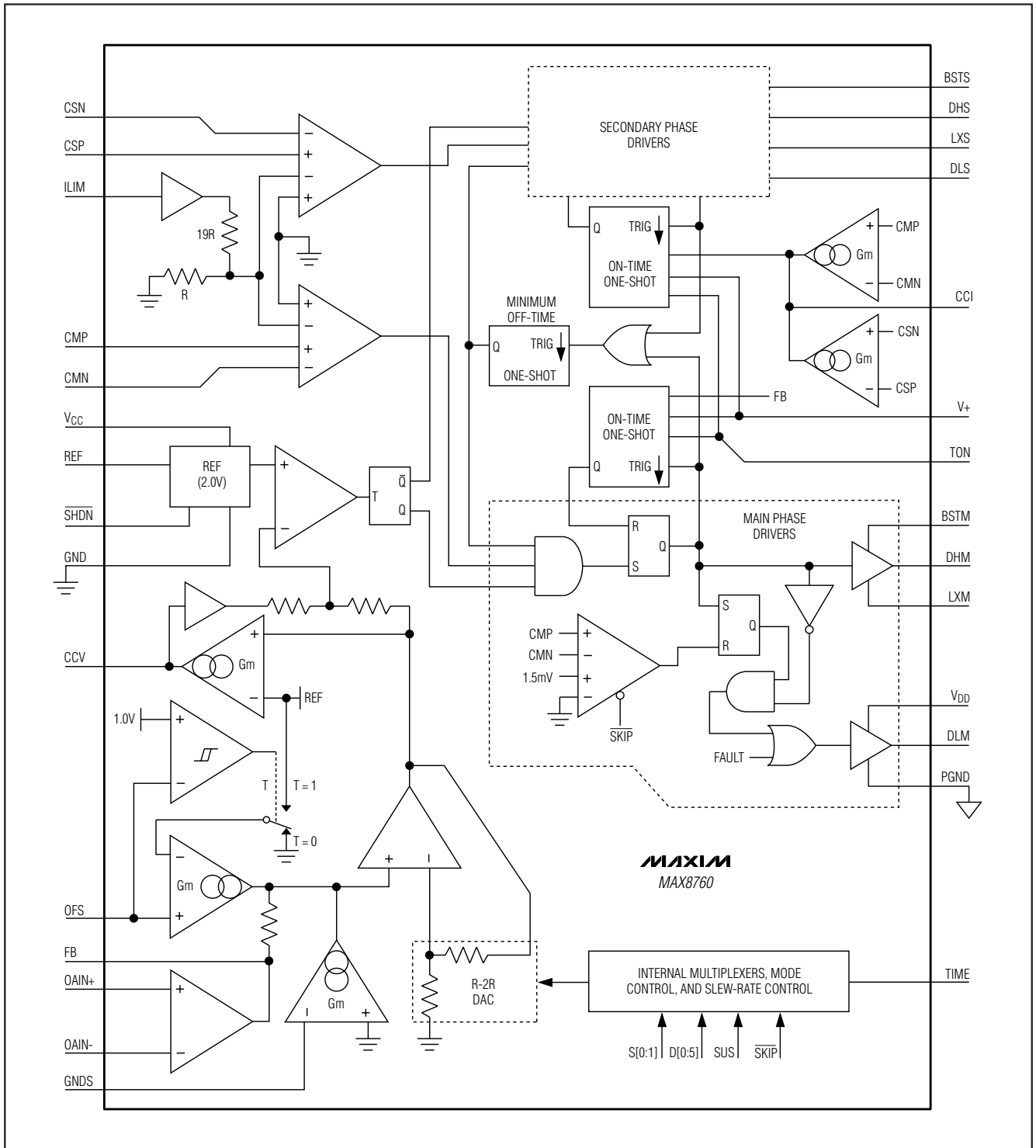


图5. 双相Quick-PWM功能框图

双相、Quick-PWM控制器，用于为AMD 移动式Turion 64 CPU提供核电源

导通时间单稳态 (TON)

每相PWM控制器的核心部分是一个快速、低抖动、可调节的单稳态触发器，它设定了高边开关的导通时间。主相的单触发电路根据输入和反馈电压改变导通时间。主相高边开关的导通时间与V₊输入引脚测得的输入电压(V_{IN})成反比，与反馈电压(V_{FB})成正比：

$$t_{ON(MAIN)} = \frac{K(V_{FB} + 0.075V)}{V_{IN}}$$

其中，K由TON输入选择(表6)，0.075V是对低边MOSFET开关上压降的近似估计。

副相的单稳态电路根据输入电压和主、副电感电流之差改变导通时间。两个相同的跨导放大器对主、副电流检测信号之差积分。相加后的输出被内部连接到CCI，通过CCI和FB间的补偿网络可调节积分时间常数。

所得到的补偿电流和电压的计算公式如下：

$$I_{CCI} = G_M (V_{CMP} - V_{CMN}) - G_M (V_{CSP} - V_{CSN})$$

$$V_{CCI} = V_{FB} + I_{CCI} Z_{CCI}$$

其中，Z_{CCI}是CCI输出端的阻抗。副相的导通时间单稳态触发器利用这个积分信号(V_{CCI})来设置副相高边MOSFET的导通时间。如果主、副相电流检测信号(V_{CM} = V_{CMP} - V_{CMN}，V_{CS} = V_{CSP} - V_{CSN})不均衡，跨导放大器将调节副相导通时间，增加或减小副相电感电流，直到电流检测信号达到适当的均衡。

$$t_{ON(2ND)} = K \left(\frac{V_{CCI} + 0.075V}{V_{IN}} \right)$$

$$= K \left(\frac{V_{FB} + 0.075V}{V_{IN}} \right) + K \left(\frac{I_{CCI} Z_{CCI}}{V_{IN}} \right)$$

$$= (\text{主相导通时间}) + (\text{副相电流均衡校准值})$$

这种机制能实现近乎恒定的开关频率和均衡的电感电流，尽管并没有采用固定频率时钟发生器。恒定开关频率有两方面的好处：第一，可通过选择频率，避开噪声敏感

频段，例如455kHz中频；第二，电感纹波电流工作点保持相对恒定，简化了设计，并具有可预知的输出电压纹波。导通时间在*Electrical Characteristics*表所规定的工作点上有良好的精度。如果工作条件远离*Electrical Characteristics*表中的规定，导通时间可能会在较宽的范围内变化。例如，当频率设定为300kHz时，如果输入高出12V很多，由于所需导通时间很短，实际的运行频率要低将近3%。

导通时间仅大致确定了开关频率。*Electrical Characteristics*表中所保证的导通时间还受外部高边MOSFET开关延时的影响。阻性损耗(包括电感、两个MOSFET、输出电容的ESR、输出和地线回路PCB走线的电阻等)随负载电流增加趋向于使开关频率升高。死时间效应也会增加等效导通时间，降低开关频率。只有在强制PWM模式下，在输出电压动态转变期间，当电感电流在轻载或负向负载电流下发生反转时，才会发生死时间效应。电感电流反转时，电感的感生电动势使LX比正常情况下更早地变高，使开通时间延长了一个DH前沿死时间。

对于临界传导点以上的负载，不发生死时间效应，实际开关频率为：

$$f_{SW} = \frac{(V_{OUT} + V_{DROPI})}{t_{ON} (V_{IN} + V_{DROPI} - V_{DROPI2})}$$

其中，V_{DROPI}为电感放电路径中的寄生压降之和—包括同步整流器、电感及PC板中的阻性压降；V_{DROPI2}为充电路径中的电阻压降之和—包括高边开关、电感以及PC板电阻等；t_{ON}为上面所确定的导通时间。

表6. 近似K因子误差

TON CONNECTION	FREQUENCY SETTING (kHz)	K-FACTOR (μs)	MAX K-FACTOR ERROR (%)
V _{CC}	100	10	±10
Float	200	5	±10
REF	300	3.3	±10
GND	550	1.8	±12.5

双相、Quick-PWM控制器，用于为AMD 移动式Turion 64 CPU提供核电源

电流均衡

如果没有有源电流均衡，各相间的电流匹配度就和MOSFET的导通电阻 ($R_{DS(ON)}$)、热平衡、导通/关断时间的匹配度以及电感值的匹配度有关。例如，不同的低边MOSFET导通电阻 (忽略温度影响) 会导致电流失配，失配程度与导通电阻的差异成正比。

$$I_{MAIN} - I_{2ND} = I_{MAIN} \left[1 - \left(\frac{R_{MAIN}}{R_{2ND}} \right) \right]$$

然而，导通时间、关断时间及电感值的不匹配会加剧最坏情况下的电流失配，因而用无源方式基本不可能保证精确的电流均衡。

该器件内的多相Quick-PWM控制器对两相检流电压之差积分，并调节副相导通时间以保持电流均衡。这样，电流的平衡度就依赖于电流检测电阻的精度，而不再受误差很大且对温度敏感的低边MOSFET导通电阻的影响。

采用有源电流均衡时，电流失配取决于检流电阻以及跨导放大器的失调：

$$I_{OS(IBAL)} = I_{LM} - I_{LS} = \frac{V_{OS(IBAL)}}{R_{SENSE}}$$

其中， $V_{OS(IBAL)}$ 为 *Electrical Characteristics* 表中的电流均衡失调参数。

电流失配的最坏情况出现在刚刚发生过负载瞬变之后，主要是由于不匹配的电感值导致两相不同的 di/dt 。电流均衡环路校正瞬态失配所需的时间取决于电感值的失配程度和开关频率。

反馈调节放大器

电压定位放大器

多相Quick-PWM控制器集成了一个独立的运算放大器，用来给电压定位检测通道增加增益。增加电压定位增益后就允许使用低值检流电阻，使功耗降至最低。这个

3MHz增益带宽积的放大器具有低失调电压 (典型值 $70\mu V$)，可以满足IMVP输出精度要求。

反相 (OAIN-) 和同相 (OAIN+) 输入用来对电压定位检测电阻两端电压进行差分检测。运算放大器输出内部连接至调节器反馈输入 (FB)。运算放大器应配置为同相、差分放大器，如图10所示。通过选择适当的反馈电阻 (接在FB和OAIN_之间)，可以设置电压定位斜率，参见电压定位设置部分。对于采用了从控制器的应用，可以将其它差分输入电阻 (求和配置) 连接到从控制器的电压定位检测电阻上。对主、从控制器的检流信号求和可保证电压定位斜率在从控制器被禁止时保持不变。

控制器还利用这个放大器进行输出远端检测 (FBS)，这是通过把远端检测电压加和到电压定位放大器正端实现的 (图10)。

如果不需要电压定位增益，可直接将OAIN-引脚接 V_{CC} 以禁止放大器。禁止后放大器输出变为高阻态，保证未用的放大器不会影响FB输入信号。禁止该放大器的逻辑门限约为 $V_{CC} - 1V$ 。

积分放大器

反馈放大器迫使反馈电压的直流平均值等于VID DAC设置的值。该跨导放大器对反馈电压积分，并精细调节输出电压 (图5)，从而提供一个精确的、与输出纹波电压无关的直流输出电压。反馈放大器能使输出电压偏移。差分输入电压范围至少为 $\pm 80mV$ ，包括直流偏移和交流纹波。CCV引脚外接的一只补偿电容可很方便地确定积分时间常数。可采用47pF至1000pF (典型值150pF) 的电容。

差分远端检测

多相Quick-PWM控制器还包含了差分远端检测输入，以补偿电压在印刷板走线和处理器电源引脚上的电压降。通过将远端检测电压加到电压定位放大器正端，可实现远端输出检测 (FBS)，见图10。控制器还提供了专门用于远端地感应的输入引脚和内部放大器。GNDS放大器直接

双相、Quick-PWM控制器，用于为AMD移动式Turion 64 CPU提供核电源

给反馈电压叠加了一个偏移量，调节输出电压，抵消地通道的压降。反馈检测电阻 (R_{FBS})、GNDS输入加上远端检测电压和用来设置电压定位输出的反馈信号一起，实现了对于处理器电压真正的差分远端检测。将反馈检测电阻 (R_{FBS}) 和地检测输入 (GNDS) 直接接到处理器的核电源远端检测输出端。见标准应用电路。

偏移放大器

多相Quick-PWM控制器还包括第三个放大器，用于给电压定位负载线增加一个很小的偏移量。偏移放大器的输出直接与反馈电压叠加，使偏移增益与DAC码无关。该放大器能够使输出电压偏移 $\pm 100\text{mV}$ 。

利用OFS输入端的分压电阻来调节偏移量。输入为0至0.8V时，偏移放大器对输出电压叠加一个负偏移电压，偏移量等于1/8倍OFS输入端电压 ($V_{OUT} = V_{DAC} - 0.125 \times V_{OFS}$)。输入为1.2V至2V时，偏移放大器对输出电压叠加一个正偏移电压，偏移量等于基准电压与OFS输入电压差值的1/8倍 ($V_{OUT} = V_{DAC} + 0.125 \times (V_{REF} - V_{OFS})$)。利用这种方式，控制器只需单个输入就可实现正偏移和负偏移。典型工作特性给出了这种分段线性传递函数。传递函数中零以下、2V以上以及0.8V至1.2V几个域没有定义。OFS输入不允许在这些区域，对于输出的影响也没有规定。在挂起模式中 (SUS = REF或高)，控制器禁止偏移放大器。

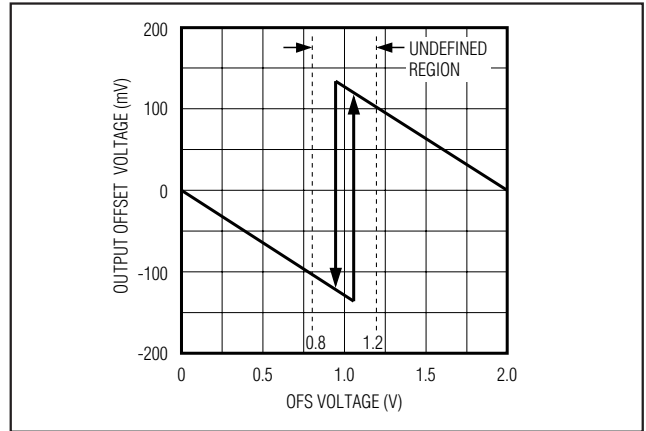


图6. 偏移电压

强制PWM工作模式 (正常模式)

在正常模式—CPU正常运行(表7中， $\overline{\text{SKIP}} = \text{高}$)过程中，Quick-PWM控制器工作于低噪声、强制PWM控制方式。强制PWM模式关闭过零比较器，迫使低侧栅极驱动波形完全互补于高侧栅极驱动波形。这就使开关频率保持恒定，并允许电感电流在轻载时反向，迅速给输出电容放电，实现快速、精确的负向输出电压跳变。

强制PWM工作模式的代价是：空载时5V偏置电源的电流保持在每相10mA至60mA之间，和所用的外部MOSFET及开关频率有关。为在轻载情况下保持高效，进入挂起模式后，处理器可以将控制器切换到低功率跳脉冲方式。

表7. $\overline{\text{SKIP}}$ 设置*

SKIP CONNECTION	MODE	OPERATION
High (3.3V or V_{CC})	Two-phase forced PWM	The controller operates with a constant switching frequency, providing low-noise forced-PWM operation. The controller disables the zero-crossing comparators, forcing the low-side gate-drive waveform to be constantly the complement of the high-side gate-drive waveform.
REF	Two-phase pulse skipping	The controller automatically switches over to PFM operation under light loads. The controller keeps both phases active and uses the automatic pulse-skipping control scheme, alternating between the primary and secondary phases with each cycle.
GND	One-phase pulse skipping	The controller automatically switches over to PFM operation under light loads. Only the main phase is active. The secondary phase is disabled, DLS and DHS are pulled low, so LXS is high impedance.

*双180°错相控制器设置

双相、Quick-PWM控制器，用于为AMD 移动式Turion 64 CPU提供核电源

低功耗跳脉冲

在跳脉冲模式下 ($\overline{\text{SKIP}} = \text{REF}$ 或 GND ，表7)，多相Quick-PWM控制器使用自动跳脉冲控制方案。当 $\overline{\text{SKIP}}$ 被拉低时，控制器用自动跳脉冲控制方案取代强制PWM工作模式，同时屏蔽高VROK门限。

$\overline{\text{SKIP}}$ 是三电平逻辑输入—GND、REF或高。该输入可由专门的开漏极输出驱动，并通过上拉电阻连接到REF (或 V_{CC} 上的电阻分压器) 或逻辑高电平偏置电源 (3.3V或更高)。

$\overline{\text{SKIP}}$ 为GND时，多相Quick-PWM控制器关闭副相 ($\text{DLS} = \text{PGND}$ 且 $\text{DHS} = \text{LXS}$)，主相工作于自动跳脉冲模式。上拉至REF时，控制器使两相同时工作于自动跳脉冲模式—每个周期主相和副相进行交替。

跳脉冲模式的自动切换

在跳脉冲模式 ($\overline{\text{SKIP}} = \text{REF}$ 或 GND) 下，负载减轻时控制器会自然切换到PFM模式 (图7)。这种切换受控于一个比较器，该比较器在电感电流过零时终止低边开关的导通时间。过零比较器利用检流电阻检测流过电感的电流。一旦 $V_{C_P} - V_{C_N}$ 降低到过零比较器门限以下 (参见 *Electrical Characteristics* 表)，比较器强制拉低DL (如图5)。这种机制使跳脉冲PFM和非跳脉冲PWM两种工作模式间的分界点正好与连续和非连续电感电流工作模式间的分界点 (也称为临界传导点) 相重合。当每相负载电流等于纹波电流峰-峰值的1/2时发生PFM/PWM切换 (图7)。电池电压为7V至20V时，该门限值相对恒定，由于占空比通常较低，因此只受输入电压的轻微影响。PFM/PWM转折点的总负载电流门限 ($I_{\text{LOAD(SKIP)}}$) 近似为：

$$I_{\text{LOAD(SKIP)}} = \eta_{\text{TOTAL}} \left(\frac{V_{\text{OUT}K}}{L} \right) \left(\frac{V_{\text{IN}} - V_{\text{OUT}}}{V_{\text{IN}}} \right)$$

其中， η_{TOTAL} 为总的工作相数，K是导通时间比例因子 (表6)。

当轻载导致跳脉冲工作时，开关波形可能会显得杂乱和难以同步，但这是一种正常工作情况，因为它可获得较高的轻载效率。通过改变电感值，可在PFM噪声与轻载效率间取得平衡。通常来讲，电感量较低时，效率—负载曲线具有更宽的高效率平坦区域，而大电感值会得到更高的满载效率 (假定线圈电阻保持不变) 和更小的输出

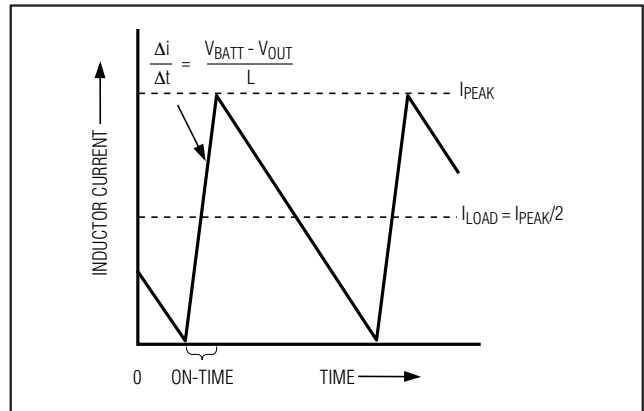


图7. 跳脉冲/断续交差点

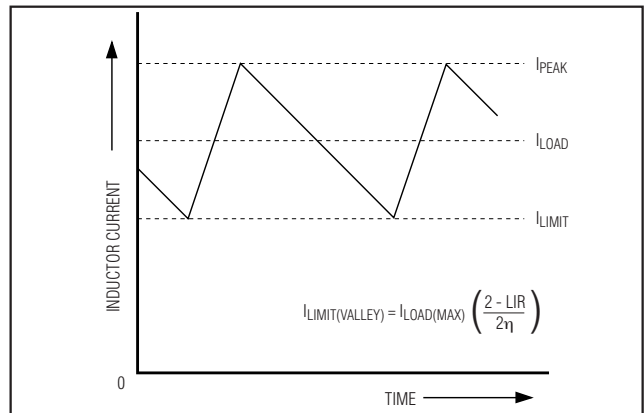


图8. “谷”电流限

电压纹波。使用高值电感的代价是更大的物理尺寸和变差的负载瞬态响应，尤其是在低输入电压时。

限流电路

MAX8760的限流电路采用独特的“谷”电流检测方案，电流检测输入端 (C_P 至 C_N) 之间的检流电阻做为检流元件。如果检流信号幅度大于谷电流限，PWM控制器不启动新的开关周期 (图8)，直到所选相的电感电流降低到谷电流限以下。当任一相触发限流时，由于交错控制器不启动新的开关周期，因此两相都会被限流。

双相、Quick-PWM控制器，用于为AMD移动式Turion 64 CPU提供核电源

由于仅限制谷电流，因此实际的峰值电流要比谷电流门限大出一个电感纹波电流的量。因此，精确的限流特性和最大负载能力与检流电阻、电感值及电池电压有关。当与欠压保护电路一起使用时，这种限流方式几乎在所有环境下都有效。

MAX8760还具有负电流限制功能，防止在 V_{OUT} 吸收电流时出现过量的反向电感电流。负向限流门限大约设置在正向限流门限的120%，并在调节ILIM时跟踪正向限流。当相电流跌至负电流门限以下时，控制器立即触发一个导通时间脉冲—DL关断，DH导通—使电感电流始终保持大于负向门限。

限流门限可通过接在ILIM引脚的外部电阻分压器来调节。限流门限的调节范围为10mV至75mV。在可调模式下，限流门限电压精确等于ILIM端电压的1/20。ILIM接 AV_{DD} 时，限流门限默认为30mV。切换至30mV默认值的逻辑门限约为 $V_{CC} - 1V$ 。

请仔细遵照PC板布局准则，确保噪声和DC误差不会影响电流检测输入(C_P, C_N)上的检流信号。

MOSFET栅极驱动器 (DH, DL)

DH与DL驱动器经过了优化，分别适合用来驱动中等尺寸的高边功率MOSFET和更大尺寸的低边功率MOSFET。这与笔记本CPU所处环境中 $V_{IN} - V_{OUT}$ 压差大，工作占空比低的特点相一致。自适应死区时间电路监测DL输出，防止高边FET在DL完全关断前导通。为了保证自适应死区时间电路正常工作，从DL驱动器到MOSFET栅极之间应当是低电阻、低电感的通路。否则，有可能会在栅极上仍存有电荷时，被Quick-PWM控制器中的检测电路误判为MOSFET栅极已“关断”。应使用短而且宽的走线（若MOSFET距器件1英寸，走线宽度应为50mil至100mil）。另一个边沿（DH关断）的死区时间由一个固定的35ns内部延迟决定。

驱动DL为低的内部下拉晶体管的吸收能力很强，导通电阻仅为 0.4Ω （典型值）。这有助于在LX从地切换到 V_{IN} 时，防止因为低边MOSFET的漏极到栅极之容性耦合，MOSFET栅极（DL）被错误拉高。应用中，如果输入电压较高，DL引线较长，可能需要增加额外的栅极-源极电容，以确保

LX的快速上升不会拉高低端MOSFET的栅极电压而导致贯通电流。由MOSFET栅极-漏极电容(C_{RSS})、栅极-源极电容($C_{ISS} - C_{RSS}$)，以及额外的电路板寄生电容引起的LX与DL间容性耦合不能超过最小阈值电压：

$$V_{GS(TH)} > V_{IN} \left(\frac{C_{RSS}}{C_{ISS}} \right)$$

不同批次间阈值电压的变化可能会给处于边缘的设计带来问题。通常，在DL与功率地之间并接一个4700pF电容（图9中的 C_{NL} ），并靠近低端MOSFET放置，可以大大降低耦合。为了防止关断延时过长，总栅极电容不要超过22nF。

此外，快速高边MOSFET与低速低边MOSFET的组合也可能导致贯通电流。若低边MOSFET的关断延时过长，在低端MOSFET实际关断前，高端MOSFET可能已经导通。给BST串联一个小于 5Ω 的电阻（图9中的 R_{BST} ），可以减慢高端MOSFET导通的速度，在不降低关断时间的同时消除贯通电流。减缓高端MOSFET导通的速度还会减小LX节点的上升时间，从而缓解由开关噪声引起的EMI与高频耦合问题。

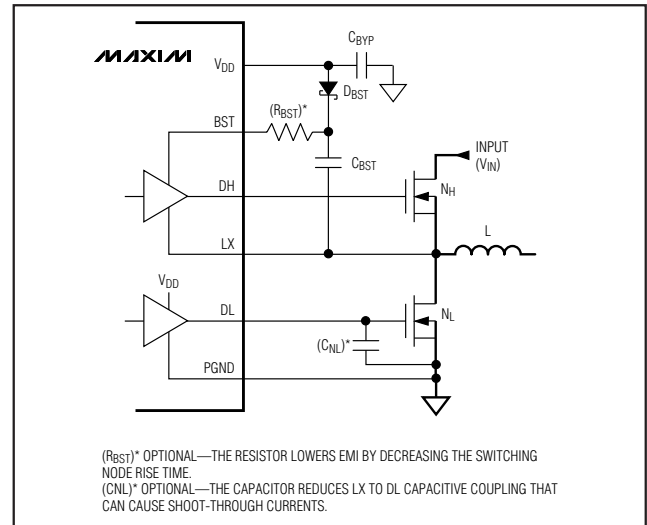


图9. 可选的栅极驱动电路

双相、Quick-PWM控制器，用于为AMD 移动式Turion 64 CPU提供核电源

上电复位

当 V_{CC} 升至约2V时，启动上电复位 (POR)，复位故障锁存器，进入启动模式，并为PWM工作做好准备。 V_{CC} 欠压锁定电路 (UVLO) 禁止开关动作，并将DL栅极驱动器强制拉高 (强制输出过压保护)。当 V_{CC} 升至4.25V时，DAC输入被采样且输出电压开始向目标电压摆动。

为实现自动启动，电池电压应先于 V_{CC} 上电。如果Quick-PWM控制器试图在电池电压未就绪时进行输出调节，则会触发故障锁存器。触发 $\overline{\text{SHDN}}$ 引脚可以复位故障锁存器。

输入欠压锁定

启动期间， V_{CC} UVLO电路将DL驱动器强制拉高，将DH栅极驱动器强制拉低，禁止开关动作，直至电源电压到达适当数值。一旦 V_{CC} 升至高于4.25V，触发输入发生有效跳变，启动一个相应的导通脉冲 (参见导通时间单稳态 (TON) 部分)。如果 V_{CC} 电压降至4.25V以下，则认为没有足够的电源电压来支持工作。为防止输出发生过压故障，控制器启动关断过程。

多相Quick-PWM 设计步骤

在选择开关频率和电感工作点 (纹波电流比) 之前，首先要落实输入电压范围和最大负载电流。初步的设计考虑在于选择一个合适的开关频率和电感工作点。其它设计由以下四点确定：

- **输入电压范围：**最大值 ($V_{IN(MAX)}$) 必须能承受最坏情况下的交流适配器最高电压。最小值 ($V_{IN(MIN)}$) 必须考虑连接器、保险及电池选择开关上的压降。如果可能，降低输入电压有利于提高效率。
- **最大负载电流：**有两个值需要考虑。峰值负载电流 ($I_{LOAD(MAX)}$) 决定了瞬时元件应力和滤波要求，从而影响输出电容选择、电感饱和点以及限流电路设计。连续负载电流 (I_{LOAD}) 决定了热应力的大小，制约着输入电容、MOSFET和其他关键发热元件的选择。现代的笔记本CPU通常表现为 $I_{LOAD} = I_{LOAD(MAX)} \times 80\%$ 。

在多相系统中，根据电流均衡度，每相支持一部分负载。平衡得比较好时，负载电流均匀分配于各相中：

$$I_{LOAD(PHASE)} = \frac{I_{LOAD}}{\eta_{TOTAL}}$$

其中， η_{TOTAL} 为总的工作相数。

- **开关频率：**开关频率的选择应折衷考虑器件尺寸与效率。由于MOSFET开关损耗与频率和 V_{IN}^2 成正比，因此最佳频率在很大程度上取决于最大输入电压。最佳频率也因时而异，随着MOSFET制造技术的飞速发展，越来越高工作频率已成为现实。
- **电感工作点：**这项选择决定了尺寸与效率、瞬态响应与输出纹波之间的平衡点。电感值较低时，瞬态响应较好，物理尺寸也较小，但由于纹波电流增大，因此效率较低，输出纹波也较大。实用的最小电感值应使电路工作在临界传导状态 (负载最大时电感电流在每个周期正好归零)。电感值低于该最小值将无益于进一步减小尺寸。最佳工作点通常具有20%至50%的纹波电流。

电感选择

开关频率和电感工作点 (纹波电流百分比或LIR) 决定了电感值：

$$L = \eta_{TOTAL} \left(\frac{V_{IN} - V_{OUT}}{f_{SW} I_{LOAD(MAX)} LIR} \right) \left(\frac{V_{OUT}}{V_{IN}} \right)$$

其中， η_{TOTAL} 为总的工作相数。

在满足尺寸要求的前提下，应尽可能选择低直流电阻、低损耗的电感。采用铁氧体磁芯的电感通常是最佳选择，不过铁粉芯更为廉价且能在200kHz频率下很好地工作。磁芯应该足够大，以确保不在电感电流峰值 (I_{PEAK}) 下饱和：

$$I_{PEAK} = \left(\frac{I_{LOAD(MAX)}}{\eta_{TOTAL}} \right) \left(1 + \frac{LIR}{2} \right)$$

双相、Quick-PWM控制器，用于为AMD 移动式Turion 64 CPU提供核电源

瞬态响应

电感纹波电流会影响器件的瞬态响应，尤其是在 $V_{IN} - V_{OUT}$ 差值很小时。低值电感允许电感电流更快地摆动，补充输出滤波电容上因负载突增而被抽走的电荷。输出跌落量也与最大占空比有关，可以根据导通时间和最小关断时间来计算。对于双相控制器，最坏情况下的输出跌落电压为：

$$V_{SAG} = \frac{L(\Delta I_{LOAD(MAX)})^2 \left[\left(\frac{V_{OUTK}}{V_{IN}} \right) + t_{OFF(MIN)} \right]}{2C_{OUT}V_{OUT} \left[\left(\frac{(V_{IN} - 2V_{OUT})K}{V_{IN}} \right) - 2t_{OFF(MIN)} \right]} + \frac{\Delta I_{LOAD(MAX)}}{2C_{OUT}} \left[\left(\frac{V_{OUTK}}{V_{IN}} \right) + t_{OFF(MIN)} \right]$$

其中， $t_{OFF(MIN)}$ 是最小关断时间(参见*Electrical Characteristics*)，K值从表6中选取。

由储存在电感中的能量所引起的过冲可由下式计算：

$$V_{SOAR} \approx \frac{(\Delta I_{LOAD(MAX)})^2 L}{2\eta_{TOTAL} C_{OUT} V_{OUT}}$$

其中， η_{TOTAL} 为总的工作相数。

限流设置

最小限流门限必须足够大，以使电流限于容差范围的最小值时仍能支持最大负载电流。最大负载下电感电流的谷值等于 $I_{LOAD(MAX)}$ 减去纹波电流的一半，因此：

$$I_{LIMIT(LOW)} > \left(\frac{I_{LOAD(MAX)}}{\eta_{TOTAL}} \right) \left(1 - \frac{LIR}{2} \right)$$

其中， η_{TOTAL} 为总工作相数， $I_{LIMIT(LOW)}$ 等于最小电流门限电压除以检流电阻值(R_{SENSE})。对于30mV缺省设置，最小电流门限为28mV。

ILIM接 V_{CC} 时，限流门限为缺省值(参见*Electrical Characteristics*表)。可调模式下，限流门限精确地等于ILIM电压的1/20。如欲对限流门限值进行调节，可在REF和GND之间接一个电阻分压器，并将ILIM接到分压器的中心抽头。调节限流时，应使用1%精度的电阻，并将分压器电流设置为约10 μ A，以免给限流门限引入明显的误差。

输出电容选择

输出滤波电容的等效串联电阻(ESR)一方面应足够低，以满足输出纹波及瞬态负载的要求，另一方面也不能太低，以满足稳定性要求。

在CPU V_{CORE} 转换器和其他可能存在剧烈的负载瞬变的应用中，输出电容的大小一般取决于所需ESR的大小，要求负载瞬变时ESR不应使输出产生过大的跌落。如果忽略有限容值引起的电压跌落：

$$R_{ESR} \leq \frac{V_{STEP}}{\Delta I_{LOAD(MAX)}}$$

在非CPU类应用中，输出电容的尺寸通常取决于需要多大的ESR，以将输出电压纹波保持在可接受的水平。降压型控制器的输出纹波电压等于电感纹波电流与输出电容的ESR之积。在错相工作的多相系统中，各相的峰值电感电流是交错的，这就降低了总纹波电流，从而降低了输出纹波电压。对于3相或4相工作模式，满足输出纹波电压要求的最大ESR为：

$$R_{ESR} \leq \frac{V_{RIPPLE}L}{(2V_{IN} - \eta_{TOTAL}V_{OUT})t_{ON} - \eta_{TOTAL}V_{OUT}t_{TRIG}}$$

其中， η_{TOTAL} 为总工作相数， t_{ON} 为计算出的每相导通时间， t_{TRIG} 为主DH上升沿和副DH上升沿间的触发延时。触发延时时必须小于 $1/(f_{SW} \times \eta_{TOTAL})$ 以实现稳定工作。所需的实际容值与满足低ESR要求所需的物理尺寸有关，也与电容的化学属性有关。因此，电容通常是根据ESR和额定电压，而非电容值来选择的(对于聚合物类电容的确如此)。

当使用容值较小的陶瓷滤波电容时，其尺寸选择应以保证在负载瞬变期间 V_{SAG} 和 V_{SOAR} 不超标为准。通常来讲，只要电容量大到足以满足过冲要求，上升负载引起的下冲也不会有问题(参见*瞬态响应*部分中的 V_{SAG} 和 V_{SOAR} 公式)。

双相、Quick-PWM控制器，用于为AMD 移动式Turion 64 CPU提供核电源

输出电容稳定性考虑

对于Quick-PWM控制器，系统稳定性取决于ESR零点相对于开关频率的位置。稳定临界点由下式给出：

$$f_{\text{ESR}} \leq \frac{f_{\text{SW}}}{\pi}$$

其中：

$$f_{\text{ESR}} = \frac{1}{2\pi R_{\text{EFF}} C_{\text{OUT}}}$$

和：

$$R_{\text{EFF}} = R_{\text{ESR}} + A_{\text{VPS}} R_{\text{SENSE}} + R_{\text{PCB}}$$

其中 C_{OUT} 是总输出电容， R_{ESR} 是总等效串联电阻， R_{SENSE} 是检流电阻， A_{VPS} 是电压定位增益， R_{PCB} 是输出电容和检测电阻间的电路板寄生电阻。

在频率为300kHz的典型应用中，ESR零点频率必须远远低于95kHz，最好低于50kHz。目前广泛使用的钽电容、Sanyo POSCAP和Panasonic SP电容具有低于50kHz的典型ESR零点频率。例如，在40A设计中，支持30mV_{P-P}波纹所需的ESR为30mV/(40A × 0.3) = 2.5mΩ，四只330μF/2.5V Panasonic SP (XR型) 电容并联时的ESR为2.5mΩ (最大)。并联后的ESR产生的零点频率位于40kHz。

陶瓷电容的ESR零点频率较高，但电压定位应用仍可利用其小尺寸和低ESR等优点。不要在验证电路是否具有足够的电压定位和串联PCB阻抗以确保稳定性之前，就将大容值的陶瓷电容直接接在输出端。当输出只采用陶瓷电容时，输出过冲 (V_{SOAR}) 通常决定着所需的最小输出电容。在从满载向轻载跳变时，相对较低的电容值会引起输出过冲，除非选用低值电感 (高开关频率)，从而可在负载阶跃恢复期间使电感传递的能量最小。与300kHz电路相比，工作在550kHz时损失的效率约为5%，主要是由于高边MOSFET的开关损耗。

不稳定工作表现为两种相关但截然不同的形式：双脉冲和反馈环不稳定。双脉冲的发生是由于输出上的噪声，或由于ESR太低而使输出电压信号中没有足够的斜坡电压。这就“蒙蔽”了误差比较器，使之在最短截止时间结束后立即触发一个新的周期。双脉冲十分恼人但无害，除了增加输出纹波外没有更大的后果。然而，这也许预示着由于ESR过低，环路工作在不稳定状态。不稳定环路在经历了电源或负载阶跃后会在输出上产生振荡。这种振荡通常会被衰减下来，但它可能会使输出电压超出或低于容限。

检查稳定性最简单的方法是，施加一个快速的零到满载瞬变，并仔细观察输出电压纹波的包络，检查它的过冲和振铃。同时用一个交流电流探头监视电感电流也很有帮助。阶跃响应引起的上/下冲之后的振铃不应超过一个周期。

输入电容选择

输入电容必须满足开关电流所引起的纹波电流要求 (I_{RMS})。多相Quick-PWM控制器采用错相工作模式，而Quick-PWM副控制器可选择为错相或同相触发导通时间。错相工作模式将输入电流分配于多个交错相中，降低了RMS输入电流。当占空比小于每相100% η_{OUTPH} 时，根据以下公式来确定 I_{RMS} ：

$$I_{\text{RMS}} = \left(\frac{I_{\text{LOAD}}}{\eta_{\text{OUTPH}} V_{\text{IN}}} \right) \sqrt{\eta_{\text{OUTPH}} V_{\text{OUT}} (V_{\text{IN}} - \eta_{\text{OUTPH}} V_{\text{OUT}})}$$

其中， η_{OUTPH} 为错相开关调节器的总相数。最坏情况RMS电流出现在 $V_{\text{IN}} = 2\eta_{\text{OUTPH}} V_{\text{OUT}}$ 工作条件下。此时，上述公式简化为 $I_{\text{RMS}} = 0.5 \times I_{\text{LOAD}} / \eta_{\text{OUTPH}}$ 。

大多数应用中可优先考虑非钽电容 (陶瓷、铝或OS-CON™)，因为它们对于浪涌电流具有抑制作用，尤其是在输入端串接了机械式开关或连接器的系统中。如果Quick-PWM被用于两级电源转换系统中的第二级，则输入电容可考虑选用钽电容。无论何种配置，都应保证输入电容在RMS输入电流的作用下温升小于10°C，以获得更长的工作寿命。

OS-CON为Sanyo的商标。

双相、Quick-PWM控制器，用于为AMD 移动式Turion 64 CPU提供核电源

功率MOSFET选择

以下MOSFET选用指南集中讨论使用高电压 (>20V) AC适配器时如何获得高负载电流能力。通常低电流应用时问题不是很大。

高边MOSFET (N_H) 必须能消散 $V_{IN(MIN)}$ 与 $V_{IN(MAX)}$ 下的阻性损耗和开关损耗。计算这些损耗之和。理想情况下， $V_{IN(MIN)}$ 下的损耗应当与 $V_{IN(MAX)}$ 下的损耗大致相等，介于两者之间的损耗稍低。若 $V_{IN(MIN)}$ 下的损耗比 $V_{IN(MAX)}$ 下的损耗高很多，可以考虑增大 N_H 的尺寸 ($R_{DS(ON)}$ 降低但 C_{GATE} 增大)。反之，若 $V_{IN(MAX)}$ 下的损耗比 $V_{IN(MIN)}$ 下的损耗高很多，可以考虑减小 N_H 的尺寸 ($R_{DS(ON)}$ 增大但 C_{GATE} 减小)。若 V_{IN} 的变化范围不大，则阻性损耗与开关损耗相等时功耗最小。

低边MOSFET的导通电阻 ($R_{DS(ON)}$) 应尽可能低，采用中等尺寸的封装 (例如，一或两个SO-8、DPAK或D²PAK)，并且价格合理的器件。应确保DL栅极驱动器能提供足够的电流支持栅极充电，以及由高边MOSFET导通引起的栅极-漏极寄生电容注入电流，否则，将出现交叉传导问题 (参见MOSFET栅极驱动器部分)。

MOSFET功耗

最差情况下的传导损耗出现在占空比达到极值时。对高边MOSFET (N_H)，由电阻引起的最大损耗出现在输入电压最小时：

$$PD(N_H \text{电阻}) = \left(\frac{V_{OUT}}{V_{IN}} \right) \left(\frac{I_{LOAD}}{\eta_{TOTAL}} \right)^2 R_{DS(ON)}$$

式中， η_{TOTAL} 为总相数。

一般情况下，为了降低高输入电压下的开关损耗，需要小的高边MOSFET。但是，封装的耗散能力对 $R_{DS(ON)}$ 的要求限制了MOSFET的最小尺寸。同样，开关损耗与传导 ($R_{DS(ON)}$) 损耗相等为最优条件。通常只有在输入超过15V时，高边开关的开关损耗才会成为一个显著问题。

精确计算高边MOSFET (N_H)的开关损耗很困难，因为它涉及到一些难以量化的、影响导通和关断时间的因素。这些因素包括内部栅极电阻、栅极电荷、阈值电压、源极电感以及电路板布局等。以下的开关损耗计算仅提供

粗略估计，不能替代电路试验板的评估，最好在 N_H 上安装热电偶进行验证：

$$PD(N_H \text{开关}) = (V_{IN(MAX)})^2 \left(\frac{C_{RSS} f_{SW}}{I_{GATE}} \right) \left(\frac{I_{LOAD}}{\eta_{TOTAL}} \right)$$

式中， C_{RSS} 是 N_H 的反向传输电容； I_{GATE} 是栅极驱动源出/吸入的峰值电流 (典型值为1A)。

当交流适配器电压最大时，由于开关损耗公式： $C \times V_{IN}^2 \times f_{SW}$ 中平方项的关系，高边MOSFET中的开关损耗可能会带来严重的热问题。低电池电压下，若 $R_{DS(ON)}$ 合适的高边MOSFET在 $V_{IN(MAX)}$ 下变得非常热，则应考虑改为其它寄生电容更低的MOSFET。

对低边MOSFET (N_L)而言，最大损耗总是出现在输入电压为最大值时：

$$PD(N_L \text{电阻}) = \left[1 - \left(\frac{V_{OUT}}{V_{IN(MAX)}} \right) \right] \left(\frac{I_{LOAD}}{\eta_{TOTAL}} \right)^2 R_{DS(ON)}$$

最坏情况下MOSFET的损耗发生在严重过载情况下，此时负载电流大于 $I_{LOAD(MAX)}$ ，但还未超出电流上限，并且未引起故障锁存器触发。为保证这种情况下的安全性，应采用“余量设计”来增加电路的冗余：

$$\begin{aligned} I_{LOAD} &= \eta_{TOTAL} \left(I_{VALLEY(MAX)} + \frac{\Delta I_{INDUCTOR}}{2} \right) \\ &= \eta_{TOTAL} I_{VALLEY(MAX)} + \left(\frac{I_{LOAD(MAX)} L I R}{2} \right) \end{aligned}$$

其中， $I_{VALLEY(MAX)}$ 为限流电路允许的最大谷电流，包含门限容差和导通电阻偏差。MOSFET必须具有足够的散热能力以处理过载情况下的功率耗散。

选择一只正向压降足够低的肖特基二极管 (D_L)，来阻止低边MOSFET体二极管在死时间内导通。通常，额定直流电流等于每相负载电流1/3的二极管已足够了。该二极管是可选的，效率要求不高时可以去掉。

自举电容

自举电容 (C_{BST}) 必须足够大，以满足高边MOSFET栅极充电的需求。通常，在驱动中等尺寸MOSFET的低功耗应

双相、Quick-PWM控制器，用于为AMD 移动式Turion 64 CPU提供核电源

电压定位设置

用中，0.1 μ F陶瓷电容即可满足要求。不过，在大电流应用中，需要大于0.1 μ F的自举电容来驱动大的高边MOSFET。在这些应用中，为避免高边MOSFET栅极充电过程中电容放电超过200mV，应按下式选择自举电容：

$$C_{BST} = \frac{N \times Q_{GATE}}{200mV}$$

式中，N是每个调节器使用的高边MOSFET的数量； Q_{GATE} 是MOSFET数据资料给出的总栅极电荷。例如，假定在高边使用了两个IRF7811W n沟道MOSFET。根据制造商的数据资料，单个IRF7811W栅极电荷最大值为24nC ($V_{GS} = 5V$)。使用上式可计算得到自举电容：

$$C_{BST} = \frac{2 \times 24nC}{200mV} = 0.24\mu F$$

选择最接近的标准电容，本例需要一个0.22 μ F的陶瓷电容。

电流均衡补偿 (CCI)

电流均衡补偿电容 (C_{CCI}) 对主、副相检流电压之差积分。内部补偿电阻 ($R_{CCI} = 20k\Omega$) 增加了相位裕度，从而增强了瞬态响应，优化了电流均衡环路的动态性能。电容值过大将会增大积分时间常数，导致瞬变期间各相间电流差增大。电容值过小使电流环路逐周期响应，但会造成各相间有一个小的直流电流偏差。同样，电阻值过大也会造成各相间有一个小的直流电流偏差。比较小的电阻值则会减小相位裕度，从而导致电流均衡环路的稳定性处于边缘状态。在大多数应用中，在CCI和开关调节器输出间接一个470pF电容可以收到较好的效果。

在输出端 (V_{OUT}) 接补偿网络可以给控制器引入输出电压前馈信号，对于瞬态特性尤其有用。在布线范围较大的应用中，为降低噪声拾取，将补偿网络连接到更为“安静”的模拟地比接到 V_{OUT} 更为有利。

电压定位功能随着负载电流的增加动态降低输出电压，从而降低了处理器功耗。输出加载时，运算放大器 (图5) 增大了回馈给Quick-PWM控制器反馈输入的信号。可调的放大倍数便于采用标准的电流检测电阻值，由于可以使用小阻值检流电阻，有效降低了功耗。这个控制环的负载瞬态响应非常快，同时具有很好的控制特性，因此电压变化量可以精确控制在微处理器电源规范限定的范围之内。

电压定位电路根据连接于电感和输出电容之间的检流电阻 ($R_{SENSE} = R_{CM} = R_{CS}$) 两端的电压确定负载电流，如图10所示。压降的计算公式如下：

$$V_{VPS} = A_{VPS} I_{LOAD} R_{SENSE}$$

$$A_{VPS} = \frac{\eta_{SUM} R_F}{\eta_{TOTAL} R_B}$$

式中， η_{SUM} 为电压定位反馈的相数和， η_{TOTAL} 为总工作相数。当副控制器被禁止时，检流总和可保持正确的电压定位斜率。选择适当的正输入求和电阻，使 $R_{FBS} = R_F$ ， $R_A = R_B$ 。

最低输入电压及压差性能

不可调节的最小关断时间单稳态和相数限制了连续传导工作模式下输出电压的可调节范围。为获得最佳压差性能，可以选择低一点的开关频率 (200kHz)。在低输入电压下工作时，必须利用最坏情况下的导通和截止时间来计算占空比界限。制造容差和内部传输延迟为TON K因子引入了误差。频率较高时该误差较大 (表6)。另外，buck调节器工作在最小压差时，瞬态响应很差，必须增添大输出电容 (参见设计步骤部分中的 V_{SAG} 公式)。

在最低压差的极限点，电感电流在最短截止时间内的下降量 (ΔI_{DOWN}) 等于它在导通时间内的上升量 (ΔI_{UP})。比值 $h = \Delta I_{UP} / \Delta I_{DOWN}$ 可作为一个指标，来表示负载增加时调节器提升电感电流的能力，它应该始终大于1。h逼近1，

双相、Quick-PWM控制器，用于为AMD 移动式Turion 64 CPU提供核电源

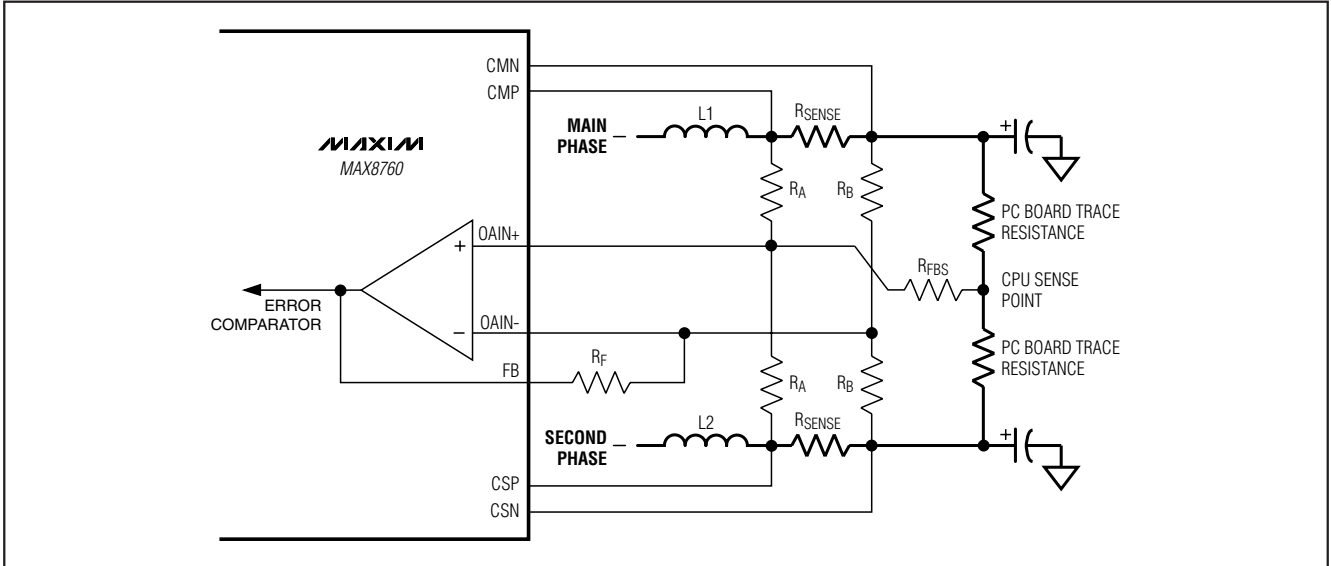


图10. 电压定位增益

也就是绝对最小压差点，电感电流无法在每个开关周期内增加同样的幅度，而 V_{SAG} 大大上升，除非使用更多的输出电容。

合理的 h 最小值为1.5，但可以上下调节，以权衡 V_{SAG} 、输出电容和最小工作电压。 h 值给定时，根据以下公式来计算最小工作电压：

$$V_{IN(MIN)} = \eta_{OUTPH} \left[\frac{V_{FB} - V_{VPS} + V_{DROP1}}{1 - \eta_{OUTPH} \left(\frac{h \times t_{OFF(MIN)}}{K} \right)} \right] + V_{DROP2} - V_{DROP1} + V_{VPS}$$

其中， η_{OUTPH} 是错相开关节点器总个数。 V_{VPS} 是电压定位下降量， V_{DROP1} 和 V_{DROP2} 是放电和充电通道上的寄生电压降（参见导通时间单稳态（TON）部分）， $t_{OFF(MIN)}$ 取自Electrical Characteristics表， K 取自表6。根据 $h = 1$ 可计算出绝对最小输入电压。

如果计算出的 $V_{IN(MIN)}$ 大于要求的最小输入电压，则应降低工作频率或增大输出电容，以得到可接受的 V_{SAG} 。若预期会在低压差下工作，则应计算 V_{SAG} 以便确保适当的瞬态响应。

压差设计范例：

$$V_{FB} = 1.4V$$

$$K_{MIN} = 3\mu s, \text{ 对于 } f_{SW} = 300kHz$$

$$t_{OFF(MIN)} = 400ns$$

$$V_{VPS} = 3mV/A \times 30A = 90mV$$

$$V_{DROP1} = V_{DROP2} = 150mV \text{ (负载电流 } 30A)$$

$$h = 1.5, \eta_{OUTPH} = 2$$

$$V_{IN(MIN)} = 2 \times \left[\frac{1.4V - 90mV + 150mV}{1 - 2 \times (0.4\mu s \times 1.5/3.0\mu s)} \right] + 150mV - 150mV + 90mV = 4.96V$$

再次根据 $h = 1$ 来计算，得到压差的绝对极限：

$$V_{IN(MIN)} = 2 \times \left[\frac{1.4V - 90mV + 150mV}{1 - 2 \times (0.4\mu s \times 1.0/3.0\mu s)} \right] + 150mV - 150mV + 90mV = 4.07V$$

因此，即使输出电容非常大， V_{IN} 也必须大于4.1V，如果采用合理的输出电容，实际输入电压应为5V。

双相、Quick-PWM控制器，用于为AMD 移动式Turion 64 CPU提供核电源

应用信息

PCB布局指南

合理的PCB布局对实现低开关损耗和低噪、稳定的工作非常重要。在布设开关功率级电路时需要特别注意(图11)。如果可能的话，应将所有功率元件安装在电路板的顶层，并使它们的接地端彼此靠近。良好的PCB布局应遵守以下准则：

- 1) 大电流通路应尽可能短，特别是接地端。这对于实现稳定、无抖动工作非常重要。
- 2) 将所有模拟地接至一个单独的实心覆铜层，该层连接至Quick-PWM控制器的GND脚。其中包括 V_{CC} 旁路电容、REF和GNDS旁路电容、补偿(CC₋)元件和接在ILIM和OFS上的电阻分压器。
- 3) 每个副控制器也应有独立的模拟地。对噪声敏感的副控制器元件返回到该接地面。由于主控制器的基准源有时会被接到副控制器，因此有必要将主控制器中的模拟地耦合到从控制器模拟地，以防止地电位偏差。用一个小阻值电阻($\leq 10\Omega$)连接两个地即可。
- 4) 电源线和负载连线应尽可能短。这对于提高效率来说至关重要。采用厚覆铜PC板(2oz vs. 1oz)可使满载效率提高1%甚至更多。正确地布设PCB走线是一项非常艰巨的任务，它要求密集程度在几分之一厘米内，毫欧级的布线电阻就会造成可观的效率损失。
- 5) 大电流的栅极驱动走线(DL、DH、LX和BST)要尽量短而宽，尽可能减小引线电阻和电感。这对于要求低阻抗栅极驱动的大功率MOSFET尤其重要，以避免产生贯通电流。
- 6) 为确保检流精度，须采用Kelvin检测连接方式连接电流限制(C_{-P}, C_{-N})和电压定位电路(OAIN+和OAIN-)。
- 7) 不得不延长走线长度时，应优先考虑延长电感充电路径的长度，而不是放电路径。例如，宁可延长输入电容和高边MOSFET间的距离，也不要加长电感和低边MOSFET，或电感和输出滤波电容之间的距离。

- 8) 高速开关节点应远离敏感的模拟区域(REF、CCV、CCI、FB、C_{-P}、C_{-N}等)。所有通过引脚连接实施控制的输入($\overline{\text{SHDN}}$ 、ILIM、 $\overline{\text{SKIP}}$ 、SUS、S₋、TON)应连接至模拟地或 V_{CC} ，而不要连接到功率地或 V_{DD} 。

布局步骤

首先放置功率器件，并使它们的接地端(低侧MOSFET源极，C_{IN}，C_{OUT}和D1阳极)互相靠近。如有可能，将这些连接安排在顶层，采用大面积敷铜。

- 1) 控制器IC应靠近低侧MOSFET放置。DL栅极连线必须短而宽(如果MOSFET到控制器IC距离1英寸，则线宽应为50mil至100mil)。
- 2) 将栅极驱动器相关元件(BST二极管和电容、 V_{DD} 旁路电容)靠近控制器IC集中放置。
- 3) DC-DC控制器的接地如标准应用电路所示。该图可被视作有4个独立的地平面：所有大功率元件所在的输入/输出地；连接PGND引脚和 V_{DD} 旁路电容的功率地；主控制器模拟地，上面有敏感的模拟元件、主控制器的GND引脚和 V_{CC} 旁路电容；副控制器的模拟地，上面有副控制器的GND引脚和 V_{CC} 旁路电容。主控制器的GND平面必须与PGND平面仅在单点交汇，交汇点可位于IC正下方。同样，副控制器的GND平面必须与PGND平面在IC正下方单点交汇。对应的主、副控制器地平面应采用短金属线连到大功率输出地，从PGND到低边MOSFET的源极(星形地中点)。该点还应非常靠近输出电容接地端。
- 4) 用多个过孔直接将输出功率层(V_{CORE} 和系统地)连至输出滤波电容的正、负端。整个DC-DC转换器电路应尽量靠近CPU放置。

芯片信息

TRANSISTOR COUNT: 11,015

PROCESS: BiCMOS

双相、Quick-PWM控制器，用于为AMD 移动式Turion 64 CPU提供核电源

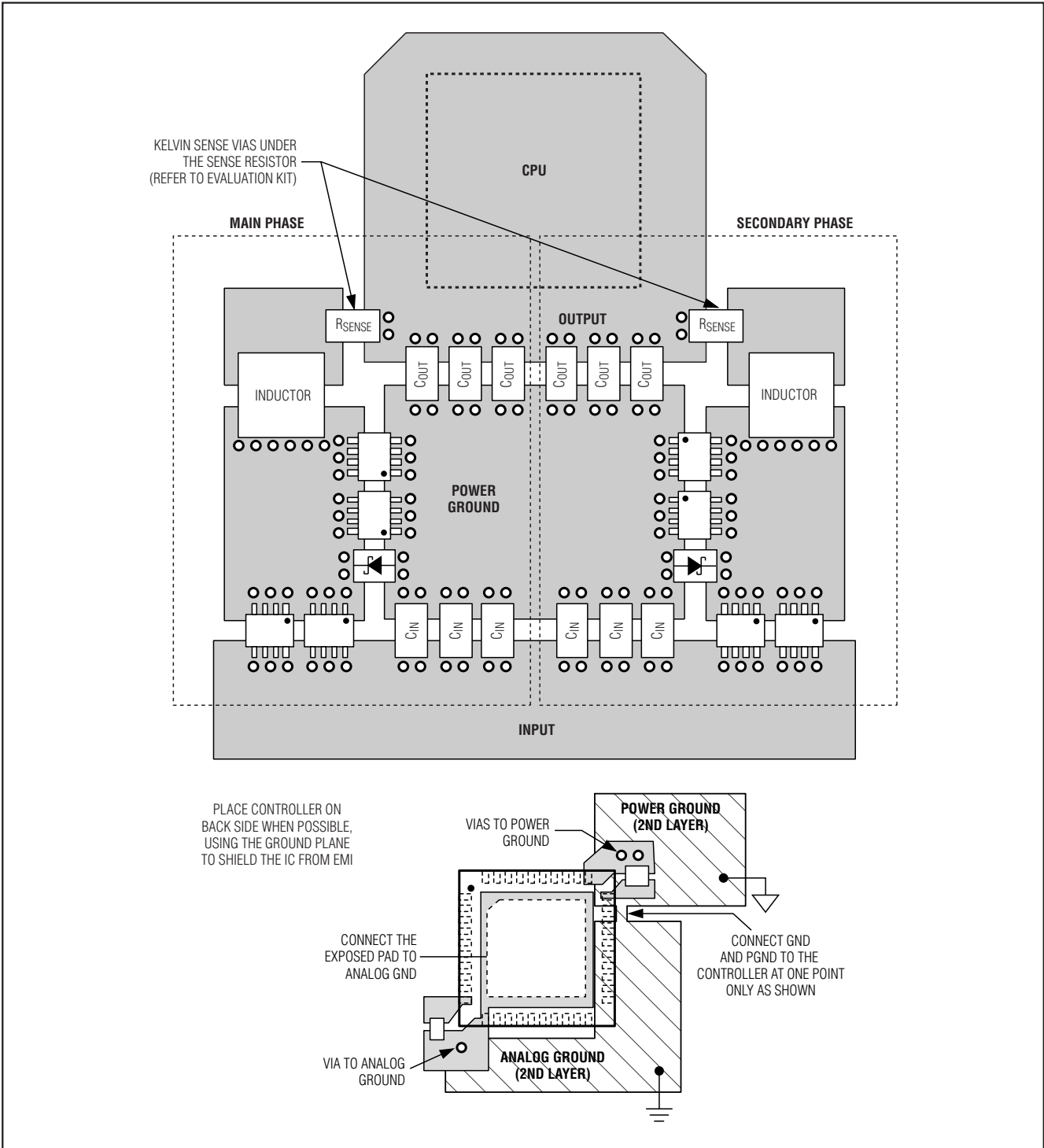


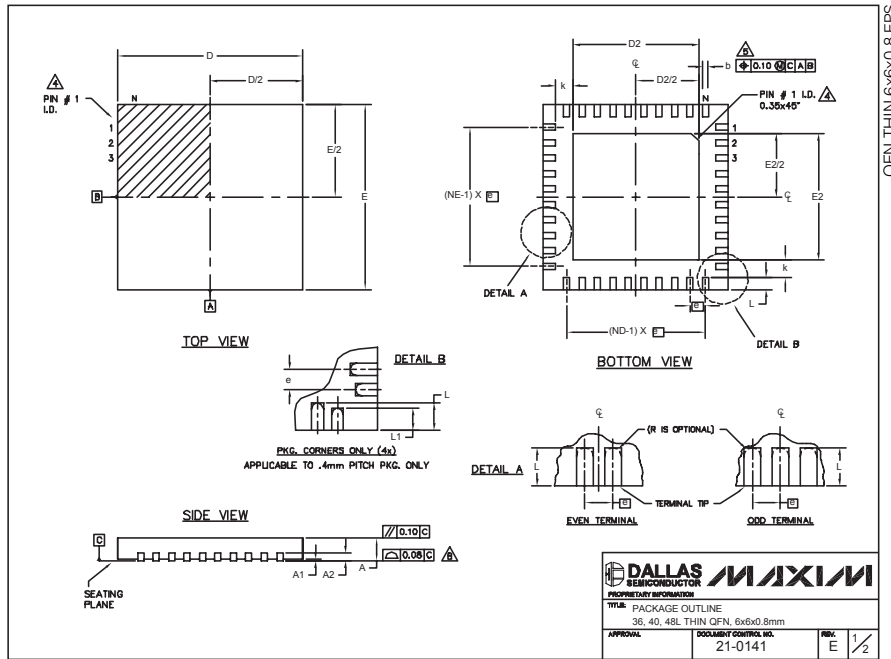
图11. PCB布局实例

双相、Quick-PWM控制器，用于为AMD 移动式Turion 64 CPU提供核电源

封装信息

(本数据资料提供的封装图可能不是最近的规格，如需最近的封装外型信息，请查询 www.maxim-ic.com.cn/packages.)

MAX8760



COMMON DIMENSIONS									
PKG. SYMBOL	36L 6x6			40L 6x6			48L 6x6		
	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.
A	0.70	0.75	0.80	0.70	0.75	0.80	0.70	0.75	0.80
A1	0	0.02	0.05	0	0.02	0.05	0	-	0.05
A2	0.20 REF.			0.20 REF.			0.20 REF.		
b	0.20	0.25	0.30	0.20	0.25	0.30	0.15	0.20	0.25
D	5.90	6.00	6.10	5.90	6.00	6.10	5.90	6.00	6.10
E	5.90	6.00	6.10	5.90	6.00	6.10	5.90	6.00	6.10
e	0.50 BSC.			0.50 BSC.			0.40 BSC.		
k	0.25	-	-	0.25	-	-	0.25	0.35	0.45
L	0.45	0.55	0.65	0.30	0.40	0.50	0.40	0.50	0.60
L1	-	-	-	-	-	-	0.30	0.40	0.50
N	36			40			48		
ND	9			10			12		
NE	9			10			12		
JEDEC	WJ4D-1			WJ4D-2			-		

PKG. CODES	EXPOSED PAD VARIATIONS						DOWN BONDS ALLOWED
	D2			E2			
	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.	
T3666-1	3.80	3.70	3.80	3.80	3.70	3.80	NO
T3666-2	3.80	3.70	3.80	3.80	3.70	3.80	YES
T3666-3	3.80	3.70	3.80	3.80	3.70	3.80	NO
T4066-1	4.00	4.10	4.20	4.00	4.10	4.20	NO
T4066-2	4.00	4.10	4.20	4.00	4.10	4.20	YES
T4066-3	4.00	4.10	4.20	4.00	4.10	4.20	YES
T4066-4	4.00	4.10	4.20	4.00	4.10	4.20	NO
T4066-5	4.00	4.10	4.20	4.00	4.10	4.20	NO
T4866-1	4.20	4.30	4.40	4.20	4.30	4.40	YES

NOTES:

- DIMENSIONING & TOLERANCING CONFORM TO ASME Y14.5M-1994.
- ALL DIMENSIONS ARE IN MILLIMETERS. ANGLES ARE IN DEGREES.
- N IS THE TOTAL NUMBER OF TERMINALS.
- THE TERMINAL #1 IDENTIFIER AND TERMINAL NUMBERING CONVENTION SHALL CONFORM TO JESD 95-1 SPP-012. DETAILS OF TERMINAL #1 IDENTIFIER ARE OPTIONAL, BUT MUST BE LOCATED WITHIN THE ZONE INDICATED. THE TERMINAL #1 IDENTIFIER MAY BE EITHER A MOLD OR MARKED FEATURE.
- DIMENSION b APPLIES TO METALLIZED TERMINAL AND IS MEASURED BETWEEN 0.25 mm AND 0.30 mm FROM TERMINAL TIP.
- ND AND NE REFER TO THE NUMBER OF TERMINALS ON EACH D AND E SIDE RESPECTIVELY.
- DEPOPULATION IS POSSIBLE IN A SYMMETRICAL FASHION.
- COPLANARITY APPLIES TO THE EXPOSED HEAT SINK SLUG AS WELL AS THE TERMINALS.
- DRAWING CONFORMS TO JEDEC MO220, EXCEPT FOR 0.4mm LEAD PITCH PACKAGE T4866-1.
- WARPAGE SHALL NOT EXCEED 0.10 mm.

Maxim 不对 Maxim 产品以外的任何电路使用负责，也不提供其专利许可。Maxim 保留在任何时间、没有任何通报的前提下修改产品资料和规格的权利。

Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600 39