

MAX5215/MAX5217

MAX5215/MAX5217 14/16位低功耗、 满摆幅缓冲输出DAC，带有I²C接口

概述

MAX5215/MAX5217为引脚兼容的14位和16位数/模转换器(DAC)，是单通道、低功耗、带有电压缓冲输出的DAC。器件采用精密的外部基准，通过高阻输入支持满摆幅工作并可有效降低系统功耗。MAX5215/MAX5217工作在2.7V至5.5V较宽的电源电压范围，具有极低功耗，适合多数低功耗、低电压应用。

MAX5215/MAX5217提供I²C兼容的2线串口，工作时钟速率高达400kHz。上电时，MAX5215/MAX5217将DAC输出复位至零，为驱动阀门或其它需要上电时关闭变送器的应用提供更高的安全性。DAC提供缓冲输出，电源电流低至80μA(最大值)，并具有±0.25mV低失调误差。提供AUX异步控制输入，该输入可以配置为清零或DAC装载操作，独立于串行接口。MAX5215/MAX5217采用超小尺寸(3mm x 5mm)、8引脚μMAX®封装，工作在-40°C至+105°C扩展工业级温度范围。

应用

遥感	功率放大器控制
便携式仪表	自动测试设备
通信系统	过程控制与伺服环路
自动调谐	数据采集
增益与失调调节	可编程电压及电流源

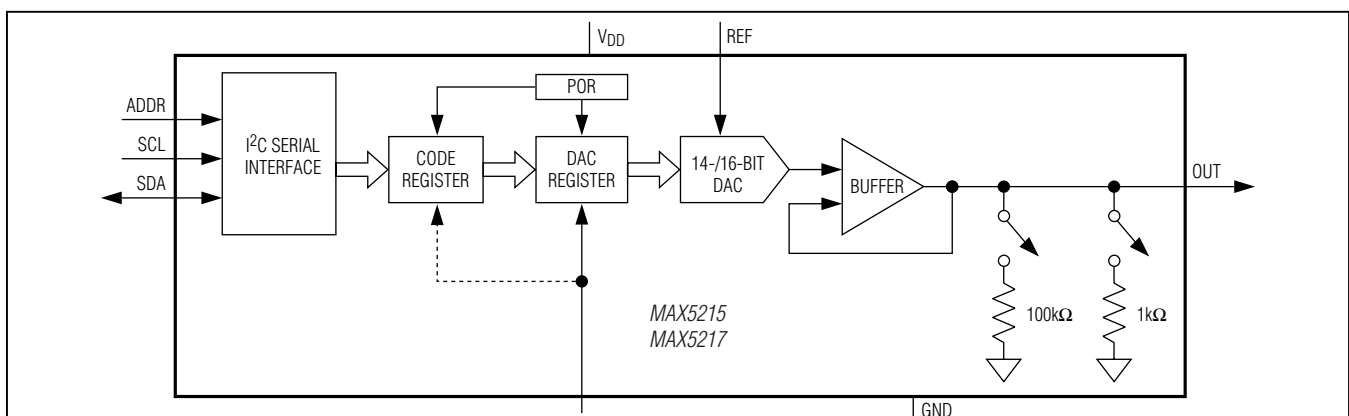
特性

- ◆ 低功耗(最大80μA)
- ◆ 18μs建立时间
- ◆ 16/14位分辨率，3mm x 5mm、8引脚μMAX封装
- ◆ 高精度
 - ◇ ±0.4 LSB INL (MAX5215, 14位)典型值, 1 LSB (最大值)
 - ◇ ±1.2 LSB INL (MAX5217, 16位)典型值, 4 LSB (最大值)
- ◆ 整个工作范围内保证单调
- ◆ 低增益、低失调误差
- ◆ 2.7V至5.5V宽供电范围
- ◆ 满摆幅、缓冲输出工作
- ◆ 上电时，安全地将DAC输出复位至零
- ◆ I²C兼容400MHz高速串口
- ◆ 用户可编程AUX输入功能
 - ◇ CLR，将输出置于0、中间值或满幅
 - ◇ LDAC异步装载DAC
- ◆ 256kΩ高阻基准输入，降低功耗
- ◆ 经过缓冲的电压输出直接驱动10kΩ负载
- ◆ 关断状态下，输出通过1kΩ或100kΩ电阻端接至地，或置于高阻态

订购信息在数据资料的最后给出。

μMAX是Maxim Integrated Products, Inc.的注册商标。

原理框图



相关型号以及配合该器件使用的推荐产品，请参见：china.maximintegrated.com/MAX5215.related。

本文是英文数据资料的译文，文中可能存在翻译上的不准确或错误。如需进一步确认，请在您的设计中参考英文资料。有关价格、供货及订购信息，请联络Maxim亚洲销售中心：10800 852 1249 (北中国区)，10800 152 1249 (南中国区)，或访问Maxim的中文网站：china.maximintegrated.com。

MAX5215/MAX5217

MAX5215/MAX5217 14/16位低功耗、 满摆幅缓冲输出DAC，带有I²C接口

ABSOLUTE MAXIMUM RATINGS

V _{DD} to GND.....	-0.3V to +6V	Maximum Current into Any Input or Output.....	±50mA
ADDR, REF, OUT, AUX to GND	-0.3V to the lower of (V _{DD} + 0.3V) and +6V	Operating Temperature Range	-40°C to +105°C
SCL, SDA, to GND	-0.3V to +6V	Storage Temperature Range.....	-65°C to +150°C
Continuous Power Dissipation (T _A = +70°C)		Lead Temperature (soldering, 10s)	+300°C
μMAX (derate at 4.8mW/°C above 70°C).....	387mW	Soldering Temperature (reflow)	+260°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

PACKAGE THERMAL CHARACTERISTICS (Note 1)

μMAX

Junction-to-Ambient Thermal Resistance (θ _{JA})	206°C/W
Junction-to-Case Thermal Resistance (θ _{JC})	42°C/W

Note 1: Package thermal resistances were obtained using the method described in JEDEC specification JESD51-7, using a four-layer board. For detailed information on package thermal considerations, refer to china.maximintegrated.com/thermal-tutorial.

ELECTRICAL CHARACTERISTICS

(V_{DD} = 2.7V to 5.5V, V_{REF} = 2.5V to V_{DD}, C_L = 60pF, R_L = 10kΩ, T_A = -40°C to 105°C, unless otherwise noted. Typical values are at T_A = +25°C.) (Note 2)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
STATIC ACCURACY (Note 3)						
Resolution	N	MAX5215	14			Bits
		MAX5217/MAX5217B	16			
Integral Nonlinearity	INL	MAX5215 (14 bit) (Note 4)	-1	±0.4	+1	LSB
		MAX5217 (16 bit) (Note 4)	-4	±1.2	+4	
		MAX5217B (16 bit) (Note 4)	-8	±3	+8	
Differential Nonlinearity	DNL	MAX5215 (14 bit) (Note 4)	-1	±0.1	+1	LSB
		MAX5217/5217B (16 bit) (Note 4)	-1	±0.25	+1	
Offset Error	OE	MAX5215/5217 (Note 5)	-1.25	±0.25	+1.25	mV
		MAX5217B (Note 5)	-3	±0.5	-3	
Offset-Error Drift				±1.6		μV/°C
Gain Error	GE	MAX5215/5217 (Note 5)	-0.06	-0.04	0	%FS
		MAX5217B (Note 5)	-0.10	-0.04	0	
Gain Temperature Coefficient				±2		ppm FS/ °C
REFERENCE INPUT						
Reference-Input Voltage Range	V _{REF}		2		V _{DD}	V
Reference-Input Impedance	R _{REF}		200	256		kΩ
DAC OUTPUT						
Output Voltage Range (Note 6)		No load	0		V _{DD}	V
		10kΩ load to GND	0		V _{DD} - 0.2	
		10kΩ load to V _{DD}	0.2		V _{DD}	
DC Output Impedance				0.1		Ω

MAX5215/MAX5217

MAX5215/MAX5217 14/16位低功耗、 满摆幅缓冲输出DAC，带有I²C接口

ELECTRICAL CHARACTERISTICS (continued)

(V_{DD} = 2.7V to 5.5V, V_{REF} = 2.5V to V_{DD}, C_L = 60pF, R_L = 10kΩ, T_A = -40°C to 105°C, unless otherwise noted. Typical values are at T_A = +25°C.)(Note 2)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Maximum Capacitive Load (No Sustained Oscillations)	C _L	Series resistance = 0Ω		0.1		nF
		Series resistance = 1kΩ		15		μF
Resistive Load (Note 7)	R _L		5			kΩ
Short-Circuit Current		V _{DD} = 5.5V	-25	±6	+25	mA
Power-Up Time		From power-down mode		25		μs
DYNAMIC PERFORMANCE (Note 7)						
Voltage-Output Slew Rate	SR	Positive and negative		0.5		V/μs
Voltage-Output Settling Time		¼ scale to ¾ scale, to ±0.5 LSB, 14 bit.		18		μs
Reference -3dB Bandwidth	BW	Hex code = 2000 (MAX5215), Hex code = 8000 (MAX5217)		100		kHz
Digital Feedthrough		Code = 0, all digital inputs from 0V to V _{DD} , SCL < 400kHz		1.0		nV·s
DAC Glitch Impulse		Major code transition		5		nV·s
Output Noise		1kHz		73		nV/√Hz
		10kHz		70		
Integrated Output Noise		0.1Hz to 10Hz		3.5		μV _{P-P}
POWER REQUIREMENTS						
Supply Voltage	V _{DD}		2.7		5.5	V
Supply Current	I _{DD}	No load; all digital inputs at 0V or V _{DD} , supply current only; excludes reference input current.		70	80	μA
Power-Down Supply Current	PDI _{DD}	No load, all digital inputs at 0V or V _{DD}		0.4	2	μA
DIGITAL INPUTS (SCL, SDA, AUX, ADDR)						
Input High Voltage	V _{IH}		0.7 × V _{DD}			V
Input Low Voltage	V _{IL}		0.3 × V _{DD}			V
Hysteresis Voltage	V _{HYS}		0.15			V
Input Leakage Current	I _{IN}	V _{IN} = 0V or V _{DD}		±0.1	±1	μA
Input Capacitance (Note 7)	C _{IN}			10		pF
ADDR Pullup/Pulldown Strength		(Note 8)	30	50	90	kΩ
DIGITAL OUTPUT (SDA)						
Output Low Voltage	V _{OL}	I _{SINK} = 3mA		0.2		V

MAX5215/MAX5217

MAX5215/MAX5217 14/16位低功耗、 满摆幅缓冲输出DAC，带有I²C接口

ELECTRICAL CHARACTERISTICS (continued)

($V_{DD} = 2.7V$ to $5.5V$, $V_{REF} = 2.5V$ to V_{DD} , $C_L = 60pF$, $R_L = 10k\Omega$, $T_A = -40^\circ C$ to $105^\circ C$, unless otherwise noted. Typical values are at $T_A = +25^\circ C$.) (Note 2)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
TIMING CHARACTERISTICS						
SCL Clock Frequency	f_{SCL}				400	kHz
sBus Free Time Between a STOP and a START Condition	t_{BUF}		1.3			μs
Hold Time for a Repeated START Condition	$t_{HD;STA}$		0.6			μs
SCL Pulse Width Low	t_{LOW}		1.3			μs
SCL Pulse Width High	t_{HIGH}		0.6			μs
Setup Time for Repeated START Condition	$t_{SU;STA}$		0.6			μs
Data Hold Time	$t_{HD;DAT}$		0		900	ns
Data Setup Time	$t_{SU;DAT}$		100			ns
SDA and SCL Receiving Rise Time	t_r		$20 + C_B/10$		300	ns
SDA and SCL Receiving Fall Time	t_f		$20 + C_B/10$		300	ns
SDA Transmitting Fall Time	t_f		$20 + C_B/10$		250	ns
Setup Time for STOP Condition	$t_{SU;STO}$		0.6			μs
Bus Capacitance Allowed	C_B	$V_{DD} = 2.7V$ to $5.5V$	10		400	pF
Pulse Width of Suppressed Spike	t_{SP}			50		ns
\overline{CLR} Removal Time Prior to a Recognized START	t_{CLRSTA}		100			ns
\overline{CLR} Pulse Width Low	t_{CLPW}		20			ns
\overline{LDAC} Pulse Width Low	t_{LDPW}		20			ns
SCLK Rise to \overline{LDAC} Fall Hold	t_{LDH}	Applies to execution edge	400			ns

Note 2: Electrical specifications are production tested at $T_A = +25^\circ C$ and $T_A = +105^\circ C$. Specifications over the entire operating temperature range are guaranteed by design and characterization. Typical specifications are at $T_A = +25^\circ C$ and are not guaranteed.

Note 3: Static accuracy tested without load.

Note 4: Linearity is tested within 20mV of GND and V_{DD} .

Note 5: Gain and offset is tested within 20mV of GND and V_{DD} .

Note 6: Subject to offset and gain error limits and V_{REF} settings.

Note 7: Specification is guaranteed by design and characterization.

Note 8: Unconnected conditions on the ADDR_ inputs are sensed through a resistive pullup and pulldown operation; for proper operation, the ADDR_ inputs must be connected to V_{DD} , GND, or left unconnected with minimal capacitance.

MAX5215/MAX5217

MAX5215/MAX5217 14/16位低功耗、满摆幅缓冲输出DAC，带有I²C接口

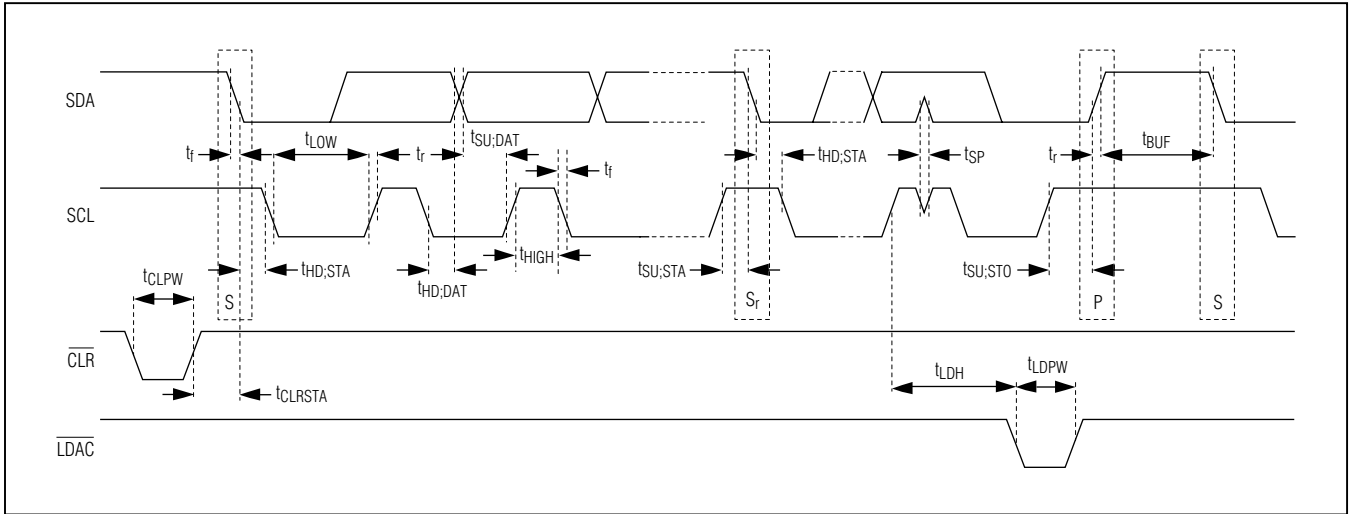
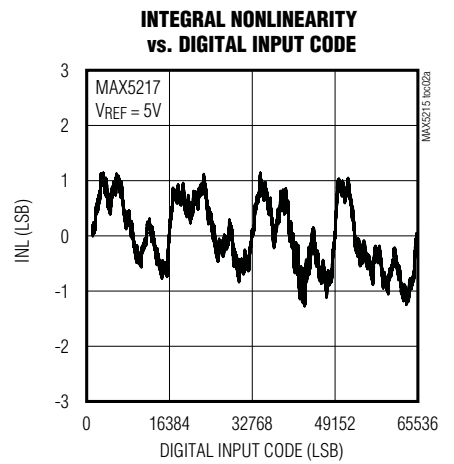
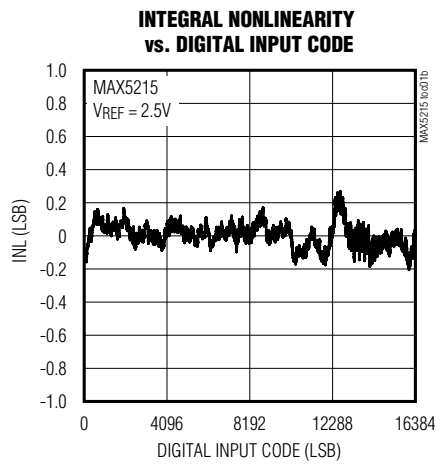
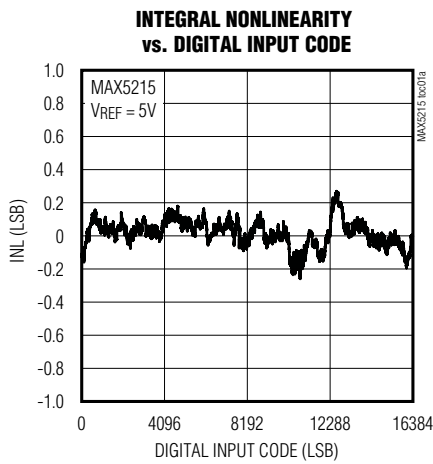


图1. I²C串口时序图

典型工作特性

($V_{DD} = 5V$, $T_A = +25^\circ C$, unless otherwise noted.)

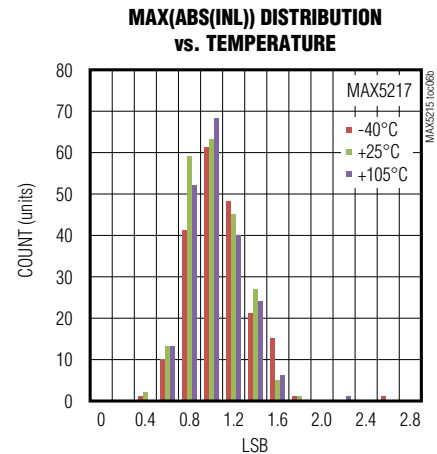
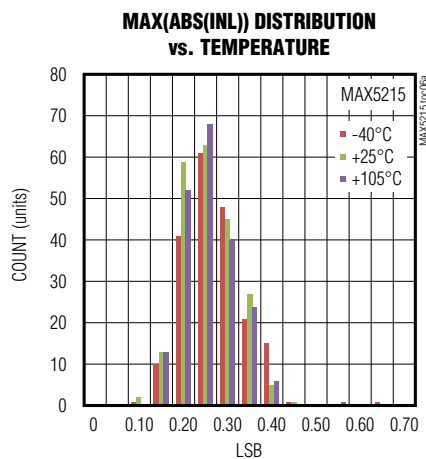
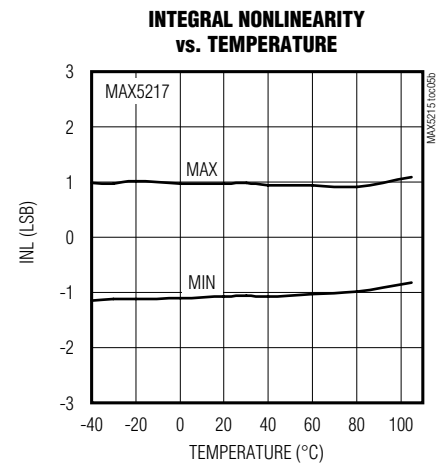
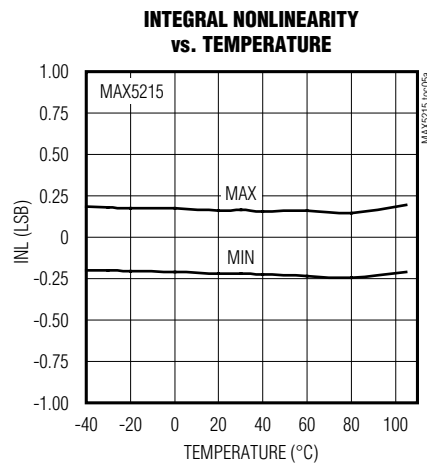
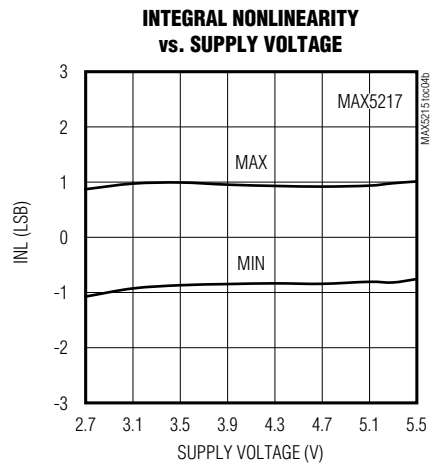
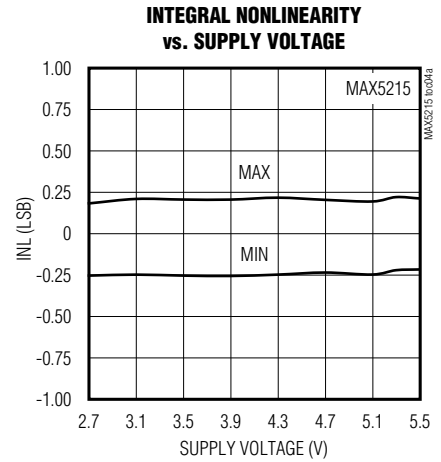
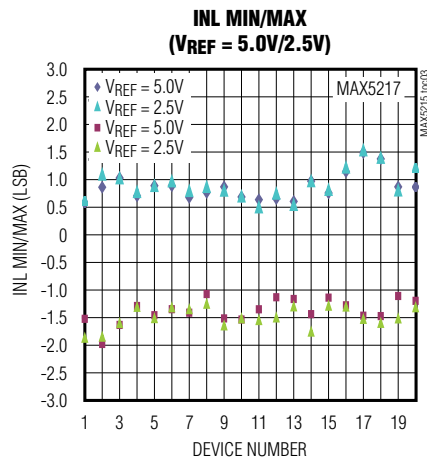
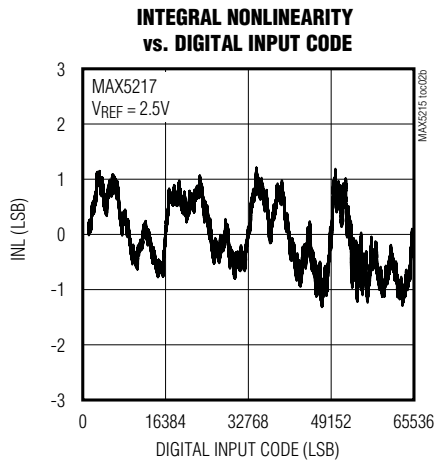


MAX5215/MAX5217

MAX5215/MAX5217 14/16位低功耗、 满摆幅缓冲输出DAC，带有I²C接口

典型工作特性(续)

($V_{DD} = 5V$, $T_A = +25^\circ C$, unless otherwise noted.)

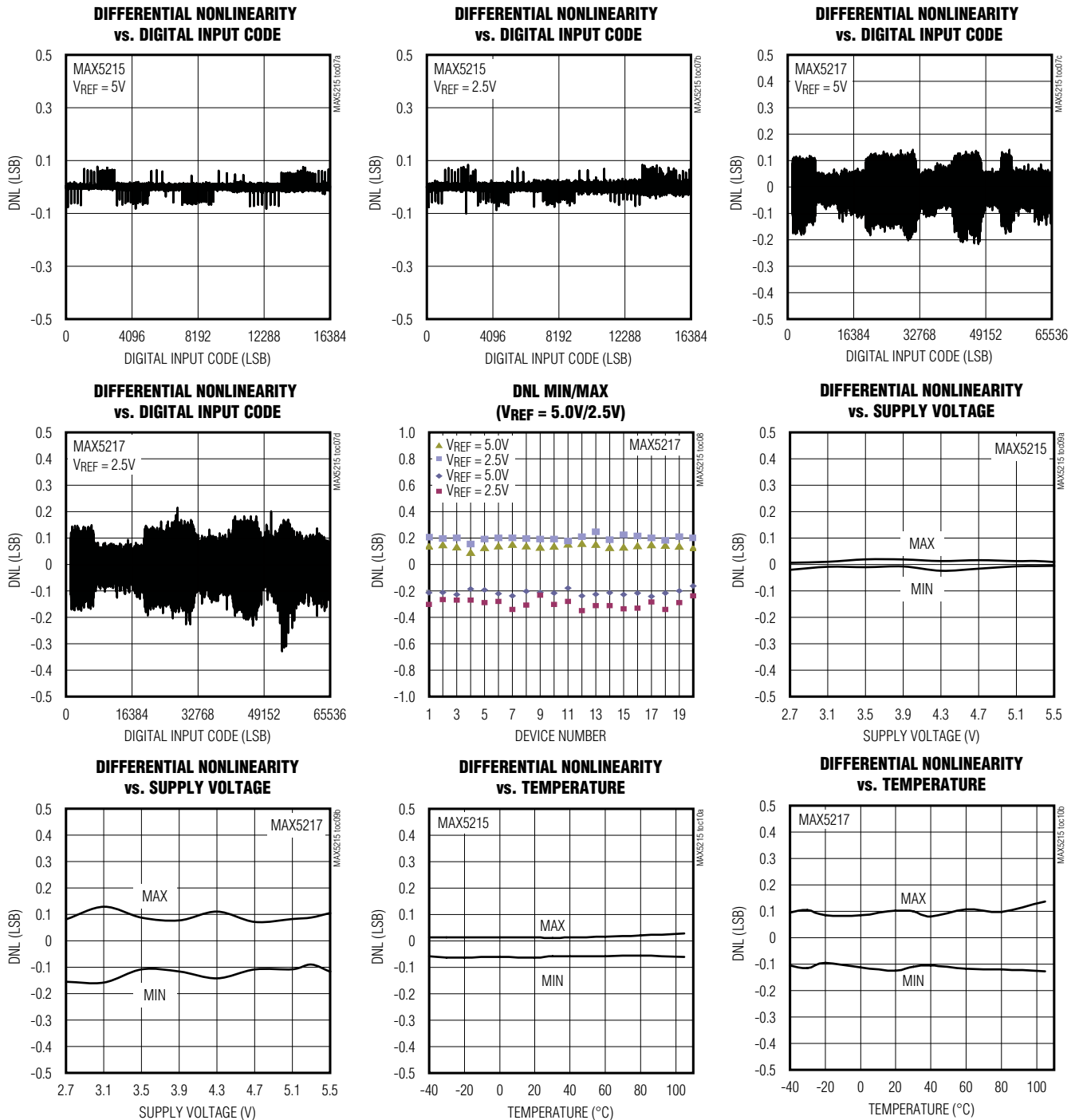


MAX5215/MAX5217

MAX5215/MAX5217 14/16位低功耗、 满摆幅缓冲输出DAC，带有I²C接口

典型工作特性(续)

($V_{DD} = 5V$, $T_A = +25^\circ C$, unless otherwise noted.)

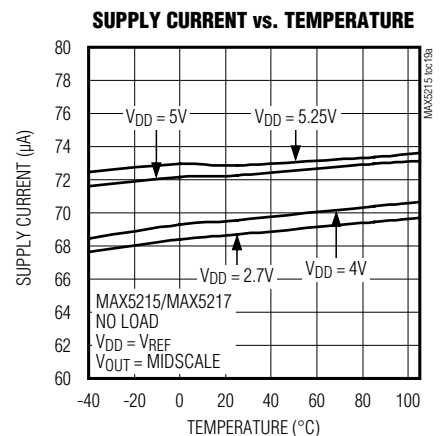
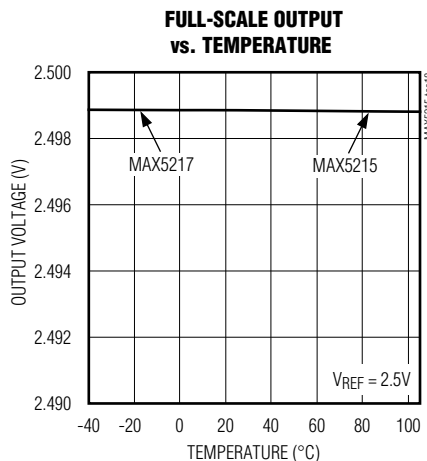
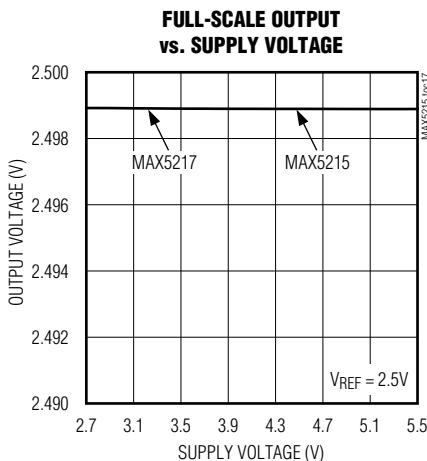
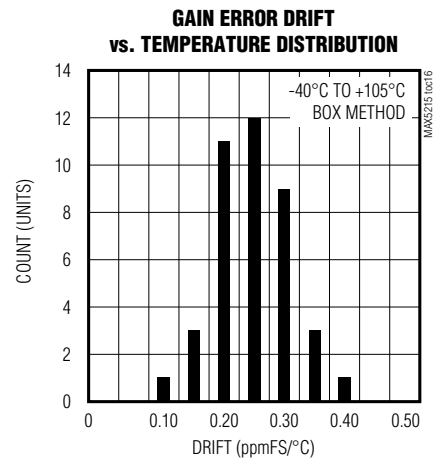
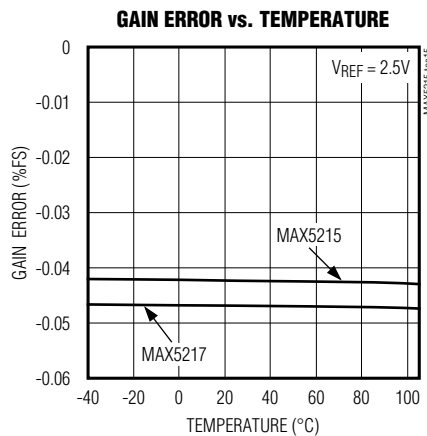
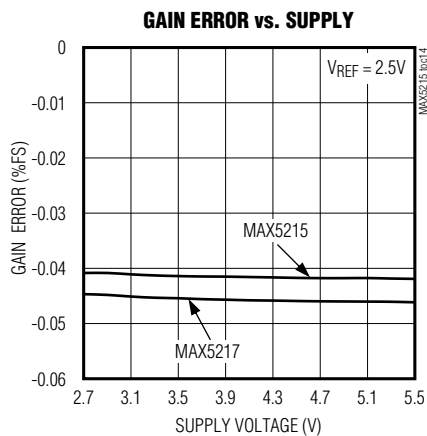
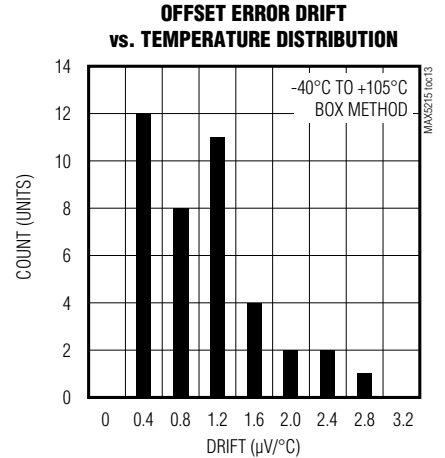
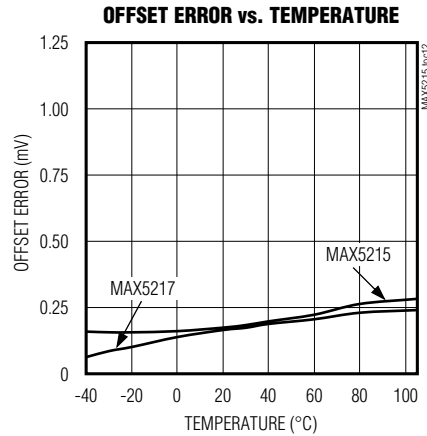
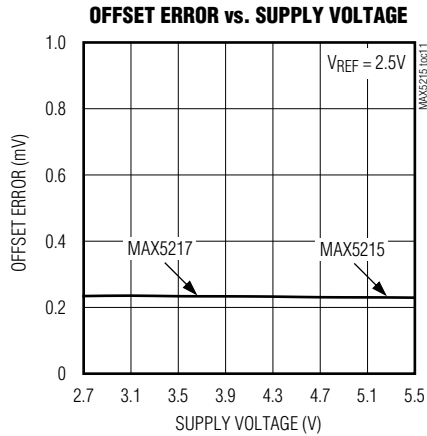


MAX5215/MAX5217

MAX5215/MAX5217 14/16位低功耗、满摆幅缓冲输出DAC，带有I²C接口

典型工作特性(续)

($V_{DD} = 5V$, $T_A = +25^\circ C$, unless otherwise noted.)

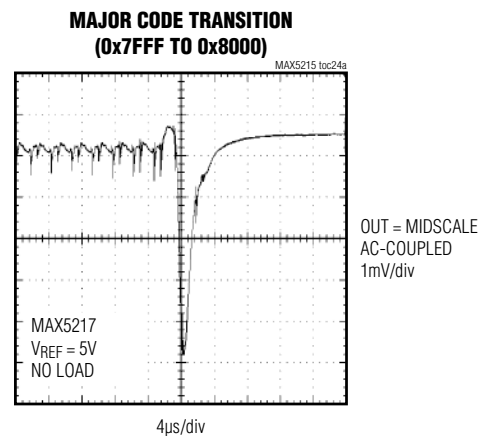
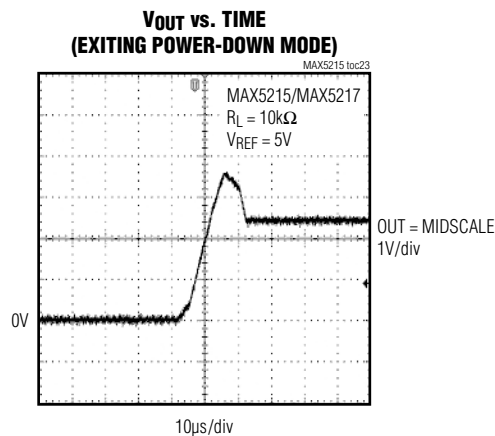
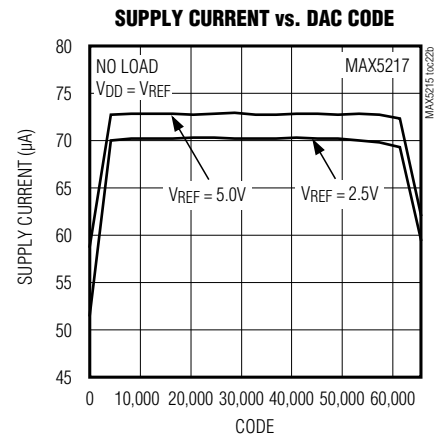
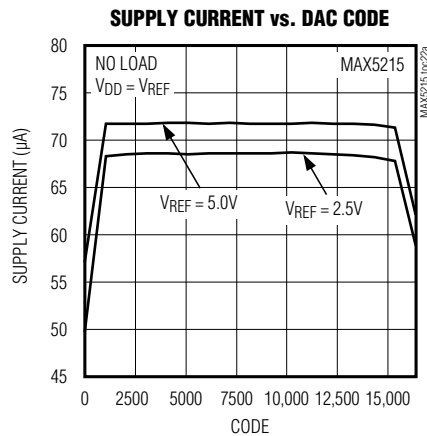
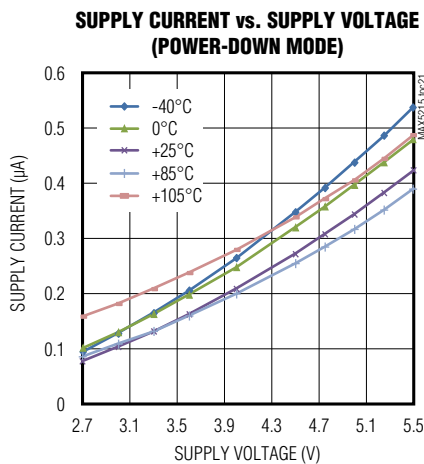
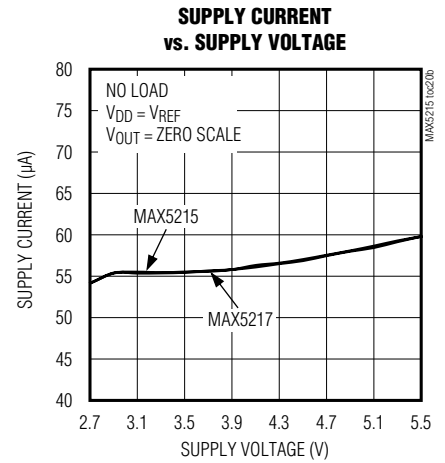
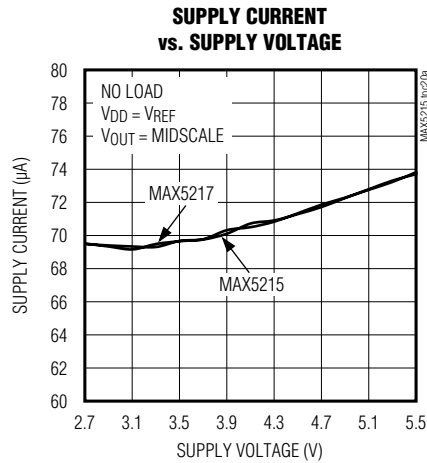
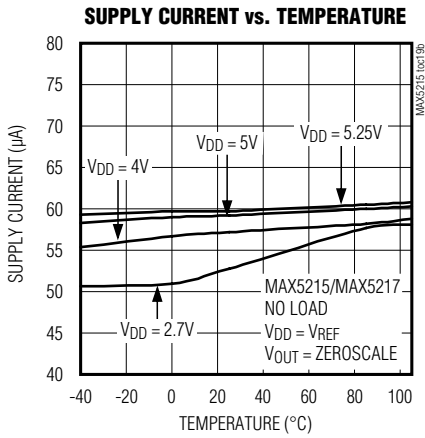


MAX5215/MAX5217

MAX5215/MAX5217 14/16位低功耗、满摆幅缓冲输出DAC，带有I²C接口

典型工作特性(续)

($V_{DD} = 5V$, $T_A = +25^\circ C$, unless otherwise noted.)

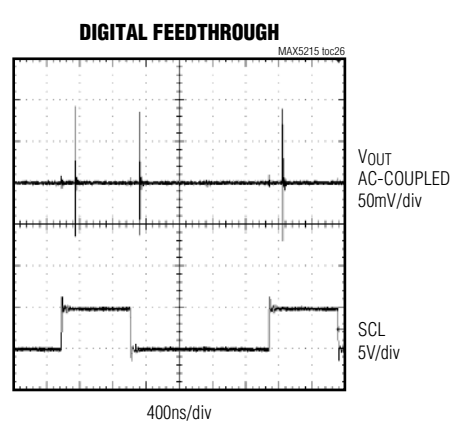
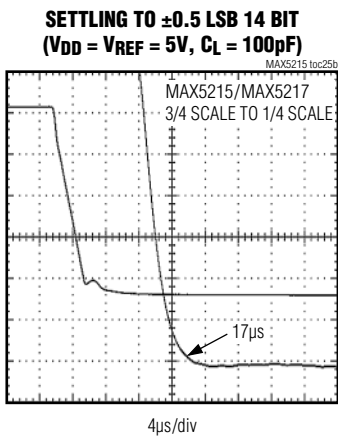
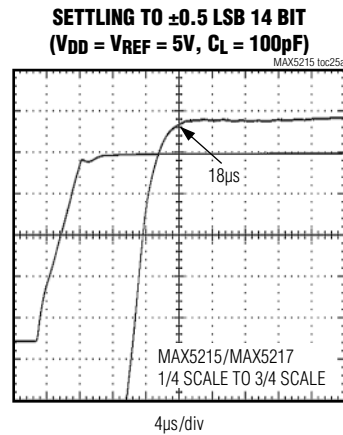
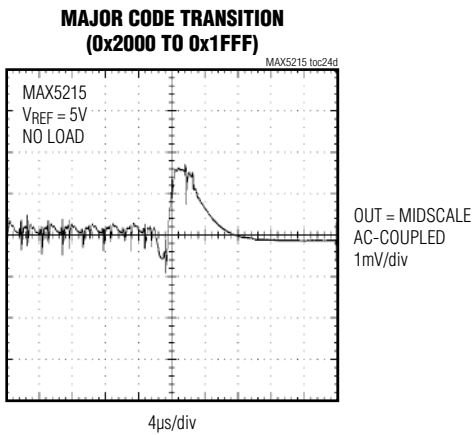
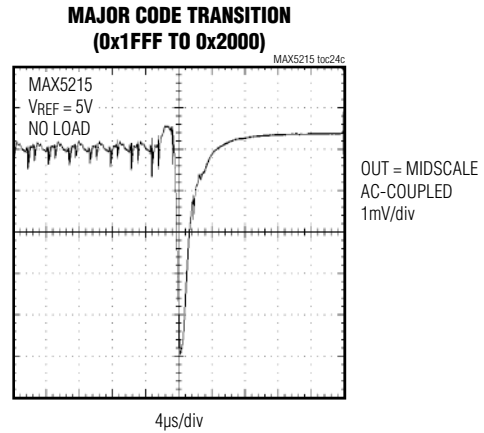
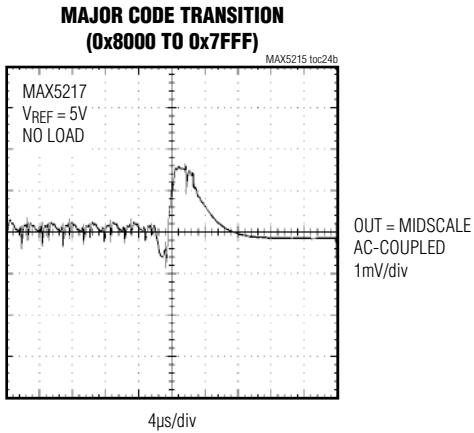


MAX5215/MAX5217

MAX5215/MAX5217 14/16位低功耗、满摆幅缓冲输出DAC，带有I²C接口

典型工作特性(续)

($V_{DD} = 5V$, $T_A = +25^\circ C$, unless otherwise noted.)

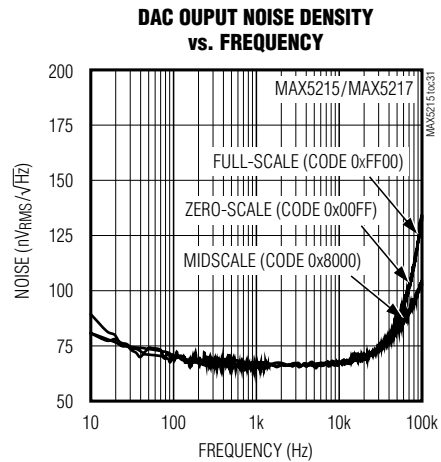
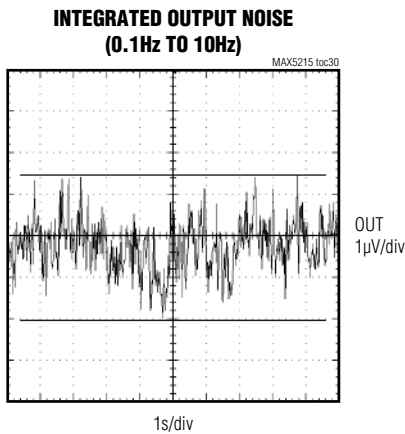
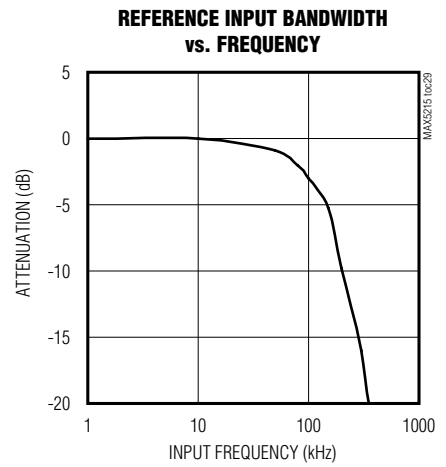
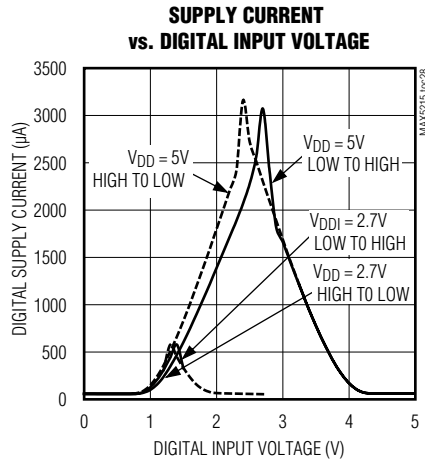
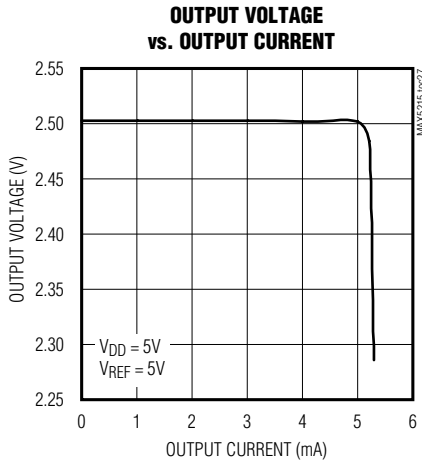


MAX5215/MAX5217

MAX5215/MAX5217 14/16位低功耗、满摆幅缓冲输出DAC，带有I²C接口

典型工作特性(续)

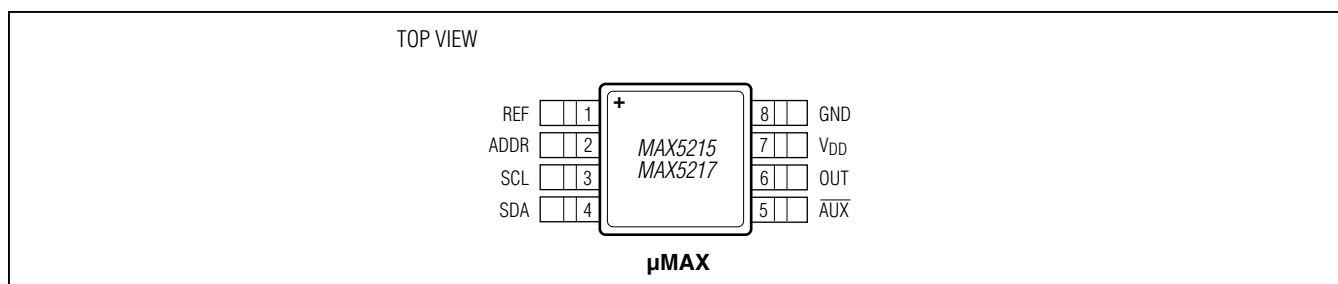
($V_{DD} = 5V$, $T_A = +25^\circ C$, unless otherwise noted.)



MAX5215/MAX5217

MAX5215/MAX5217 14/16位低功耗、满摆幅缓冲输出DAC，带有I²C接口

引脚配置



引脚说明

引脚	名称	功能
1	REF	基准电压输入，用一个0.1μF电容将REF旁路至GND。
2	ADDR	I ² C器件地址输入，置于高电平、低电平或浮空，用于设置器件地址的低两位LSB。
3	SCL	I ² C串行时钟输入。
4	SDA	I ² C串行数据输入。
5	AUX	用户可配置低电平有效的异步输入。 配置为CLR模式时，AUX驱动至低电平，清除输入CODE和DAC寄存器的内容，使DAC返回到用户可选择的状态(默认值)。 配置为LDAC模式时，AUX驱动至低电平，将CODE寄存器的内容装载到有效的DAC寄存器。
6	OUT	DAC电压缓冲输出。
7	V _{DD}	电源电压，利用一个0.1μF电容将V _{DD} 旁路至GND。
8	GND	接地。

详细说明

MAX5215/MAX5217是14位和16位单通道、低功耗、具有高阻输入基准的电压缓冲输出DAC。这些器件支持400kHz I²C串口，MAX5215/MAX5217包括串行输入/并行输出移位寄存器、CODE和DAC寄存器，上电复位(POR)电路可以将DAC输出初始化到零码，输出缓冲器提供满摆幅输出。2.7V至5.5V宽范围供电和低功耗特性使其成为低功耗、低压应用的理想选择。上电时，MAX5215/MAX5217将DAC输出复位至零，在阀门驱动等其它需要上电时关闭变送器的应用中提供更高的安全性。

MAX5215/MAX5217可配置成异步低电平有效输入(AUX)，由用户设置为异步清零输入(CLR)或DAC装载输入(LDAC)。上电后，默认条件下，器件工作在CLR模式。

DAC输出(OUT)

MAX5215/MAX5217 DAC输出端内置一个缓冲器。内部缓冲器为DAC输出提供足够的负载调节和瞬态抑制。输出缓冲器具有0.5V/μs压摆率，可驱动100pF电容与10kΩ电阻并联负载。当模拟电源电压(V_{DD})为输出缓冲器供电时，V_{DD}决定了器件的最大输出电压范围。空载条件下，输出缓冲器的输出可从GND至V_{DD}，具体受失调和增益误差的影响。对GND的负载为10kΩ时，输出缓冲器输出范围为GND至低于V_{DD} 200mV范围。对V_{DD}的负载为10kΩ时，输出缓冲器输出范围为高于GND 200mV至V_{DD}。

MAX5215/MAX5217

MAX5215/MAX5217 14/16位低功耗、满摆幅缓冲输出DAC，带有I²C接口

DAC的理想输出电压定义为：

$$V_{OUT} = V_{REF} \times D/2^N$$

式中，D = 装载至DAC寄存器的编码，V_{REF} = 基准电压，N = 分辨率。

DAC基准(REF)

外部基准输入具备256kΩ (典型值)输入阻抗(与DAC输入码无关)，可接受+2V至V_{DD}输入电压范围。外部基准源连接在REF和GND之间，施加外部基准。关于Maxim的电压基准器件，请访问：china.maximintegrated.com/products/references。

内部寄存器结构

用户接口与DAC逻辑相互独立，使数字串扰降至最小。串行接口内部为输入移位寄存器，根据用户命令，该寄存器内容可送至控制寄存器或DAC寄存器。

器件有一个CODE寄存器，然后是DAC锁存寄存器(见功能框图)。CODE寄存器的内容为即将输出的DAC编码，随后可装载至DAC寄存器。可利用CODE和CODE_LOAD用户命令更新CODE寄存器。DAC寄存器的内容为当前DAC输出设置。使用CODE_LOAD命令可直接从串行接口更新DAC寄存器，或者利用LOAD命令或LDAC逻辑输入，将CODE寄存器的当前内容装载至DAC寄存器。

关断期间，保存CODE和DAC寄存器的内容，以便DAC在上电时恢复之前储存的输出码。关断期间发出的任何CODE或LOAD命令将继续更新寄存器内容。

AUX配置为清除输入，CLR

配置为CLR模式时，AUX执行异步电平控制CLEAR操作。如果CLR拉低，CODE和DAC数据寄存器将复位到用户配置寄存器所设置的清零状态(参见表9)。用户配置寄存器不受影响。

如果在I²C通信的任意时刻触发CLR，侧从这一时刻，直到解除CLR，器件将忽略所有试图更改CODE或DAC寄存器的I²C命令。CLR操作优先级高于总线命令，触发CLR后将屏蔽命令。任何情况下，I²C接口都按照协议连续传输指令，但对于被屏蔽的指令，从机将不发送指令应答信号ACK (通知μP该指令已被忽略)。指令屏蔽条件将保持到解除CLR，检测到随后的I²C START条件(启动一次新的I²C写操作)，符合t_{CLRSTA}规格要求(图1)。如果在I²C读命令期间发出CLR，数据传输将正常进行，但在清零后读取到数据可能无效。用户可通过发送器件ID读命令判断CLR的状态。可通过SW_CLEAR命令实现等效的软件清零操作。

AUX配置为装载DAC输入，LDAC

配置成LDAC模式时，拉低AUX输入时执行异步电平控制LOAD操作。器件内部采用双寄存器系统，DAC输出预设置储存在CODE寄存器，而当前输出设置在DAC锁存器。拉低LDAC时，DAC锁存器保持在透明传输状态，装载并锁存CODE寄存器内容。可通过一条LDAC控制线同时更新多片DAC，当然，也可以通过一个控制引脚快速更新DAC内容。

如果用户希望直接响应I²C传输的数据，则可将LDAC始终拉至低电平；如果用户希望独立于I²C指令控制DAC数据更新，则在编程期间将LDAC保持在高电平。一旦完成编程，可拉低LDAC，装载新的DAC数据(这种方式可同时更新多片器件)，须确保满足t_{LDH}时序规格(图1)。

通过LOAD或CODE_LOAD命令实现软件装载操作，软件控制数据装载时，CODE寄存器的内容锁存到DAC寄存器时不受LDAC引脚状态、配置的影响。采用ID广播方式，可以同时软件控制多片MAX5215/MAX5217的数据装载。

MAX5215/MAX5217

MAX5215/MAX5217 14/16位低功耗、满摆幅缓冲输出DAC，带有I²C接口

I²C串行接口

MAX5215/MAX5217具有兼容I²C/SMBus™的2线串行接口，由一根串行数据线(SDA)和一根串行时钟线(SCL)组成。在高达400kHz时钟速率下，SDA和SCL可使能器件和主机之间的通信。图1所示为2线接口的时序图。主机在总线上产生SCL并发起数据传输。主机通过发送相应的从地址、随后跟寄存器地址、紧接着发送数据字向MAX5215/MAX5217写入数据。每个传输序列帧由START (S)或Repeated START (Sr)条件和STOP (P)条件构成。发送至器件的每个字长为8位，其后是应答时钟脉冲。主机从MAX5215/MAX5217读取数据时，必须发送相应的从地址，然后是每个请求数据字节所需的9个SCL脉冲。MAX5215/MAX5217通过SDA发送数据，与主机产生的SCL脉冲同步。主机在接收到每字节的数据后将对其进行应答。每一个读序列帧由START或RepeatedSTART条件、非应答和STOP条件构成。SDA既是输入又是开漏输出。SDA要求典型值为4.7kΩ的上拉电

SMBus是Intel Corp.的商标。

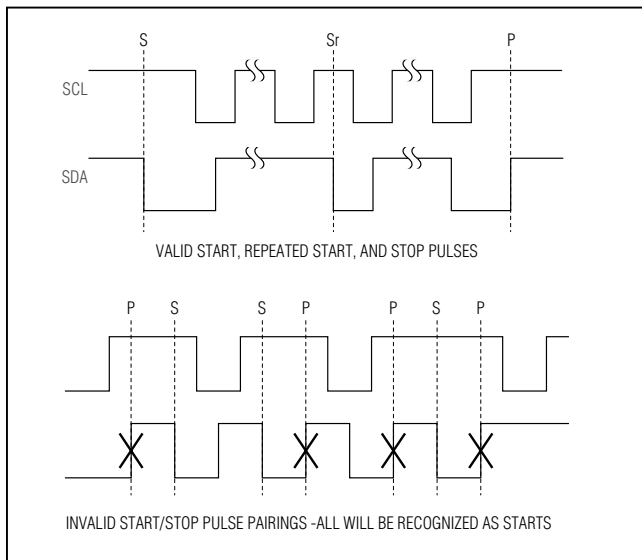


图2. I²C START、Repeated START和STOP条件

阻。SCL仅作为输入。如果总线上有多个主机，或者具有开漏SCL输出的单主机，SCL上则需要一个上拉电阻，通常为4.7kΩ。

SDA和SCL线上的串联电阻可选。串联电阻保护MAX5215/MAX5217的数字输入免受总线上高压尖峰的损坏，并最大程度降低总线信号的串扰和下冲。MAX5215/MAX5217支持高于V_{DD}的总线电压，最大限值为5.5V；不建议使用低于V_{DD}的总线电压，可能会造成接口电流明显增大。

I²C位传输

每个SCL周期传输1位数据，SCL脉冲为高电平期间，SDA数据必须保持稳定。SCL为高电平期间，改变SDA的状态将发出控制信号(参见I²C START和STOP条件部分)。

I²C START和STOP条件

不使用总线时，SDA和SCL的空闲状态为高电平。主机通过发送START条件启动通信。START条件是SCL为高电平时，SDA由高到低的跳变。STOP条件是SCL为高电平时，SDA由低到高跳变(图2)。主机发出START条件通知MAX5215/MAX5217开始传输。主机通过发送STOP条件终止传输并释放总线。如果产生的是RepeatedSTART条件而不是STOP条件，则总线保持有效。

I²C提前STOP和Repeated START条件

MAX5215/MAX5217在数据传输期间可随时识别STOP条件，除非STOP条件与START条件出现在同一高电平脉冲。为保证适当操作，不要在与START条件相同的SCL高电平脉冲期间发送STOP条件。以提前STOP条件结束的传输将不影响器件的内部设置。如果在读回字节期间发生STOP条件，传输结束，随后的读模式请求将从起点传输所请求的寄存器数据。

表1. ADDR输入决定从机地址的两位LSB

ADDR	A1	A0
GND	0	0
N.C.	0	1
V _{DD}	1	1

MAX5215/MAX5217

MAX5215/MAX5217 14/16位低功耗、满摆幅缓冲输出DAC，带有I²C接口

I²C从地址

从地址定义为7个最高有效位(MSB)，后边跟R/W控制位(图1)。5个MSB (A [6:2])为00111，2个LSB(A [1:0])由输入ADDR确定，如表1所示。将R/W位置1时，将MAX5215/MAX5217配置为读模式。将R/W位置0时，将MAX5215/MAX5217配置为写模式。从地址是在START条件后发送到MAX5215/MAX5217的第一个信息字节。

为提供更多地址，MAX5215/MAX5217能够检测ADDR_输入的浮空状态；如果ADDR输入浮空，必须确保引脚上的负载降至最小(例如，为引脚提供一个支撑点，但不允许任何电路板走线)。

I²C广播地址

为更新或配置指定I²C总线上的全部MAX5215/MAX5217器件，提供了广播地址。无论地址输入引脚的状态如何，全部MAX5215/MAX5217应答和响应广播器件地址01010100。广播模式仅用于写模式(正如给定地址中的R/W = 0)。

I²C应答

写模式时，应答位(ACK)是第9个时钟位，是MAX5215/MAX5217对其接收的每个数据字节的握手信号，如图3所示。如果成功地接收了之前的字节，MAX5215/MAX5217在主机产生的第9个时钟脉冲期间内拉低SDA。监测ACK可以检测失败的数据传输。如果接收器件忙或者系统发生故障，则会出现数据传输失败。如果数据传输失败，总线主控制器会重试通信。

读模式下，主机在第9个时钟周期拉低SDA，作为从MAX5215/MAX5217接收到数据的应答。每次读取字节后，主机均发送应答信号，使数据继续传输。主机从MAX5215/MAX5217读取数据的最后字节时，发送非应答，随后是STOP条件。

I²C写操作(标准协议)

主机通过传输正确的从地址，随后为命令和数据字，实现与MAX5215/MAX5217通信。每个传输序列帧都由START或Repeated START条件和STOP条件构成，如上所述。每个字都是8位并总是跟一个应答时钟(ACK)脉冲，如图4和图5所示。第一个字节包含MAX5215/MAX5217的地址，R/W = 0，表示写操作。第二个字节包含要写入的寄存器(或命令)，第三和第四字节包含要写入的数据。通过重复寄存器地址和数据对(图4和图5中的字节2至4)，用户可采用单个I²C命令序列写多个寄存器。用户用单个命令写多个寄存器的数量不受限。对于所有用户可存取的写模式命令，MAX5215/MAX5217均支持这种功能。

I²C写命令(多字节协议)

MAX5215/MAX5217针对有些命令支持多字节传输协议。多字节传输时，一旦发出命令，将按照I²C传输协议连续发送两字节数据块。第1字节到第4字节按常规方式发送，但在第4字节后仅发送两个数据字节，器件将把最新传送的两个字节数据作为输入再次执行最初的命令(图6)。在STOP条件(或Repeated START条件)之前，器件强行执行多字节协议。这种方式提供了一种高速传输数据的模式，对于DAC伺服系统非常有用。

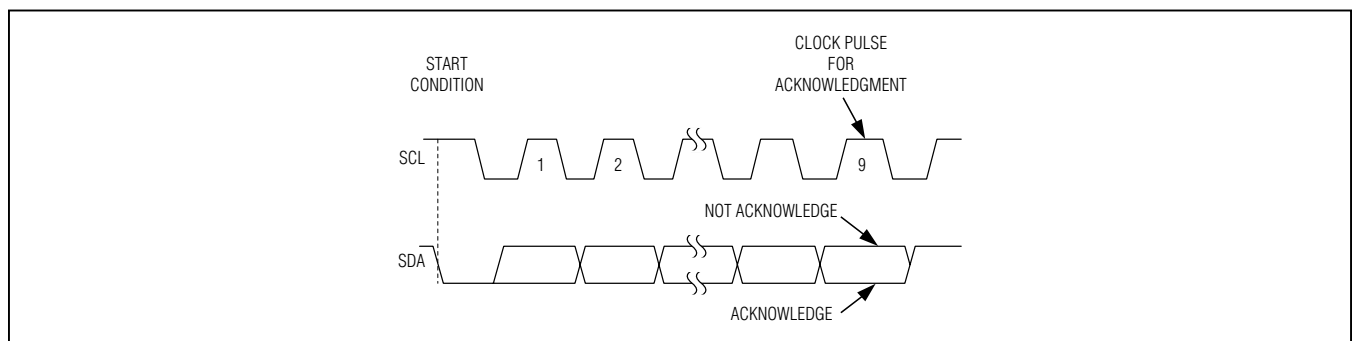


图3. I²C应答

MAX5215/MAX5217

MAX5215/MAX5217 14/16位低功耗、满摆幅缓冲输出DAC，带有I²C接口

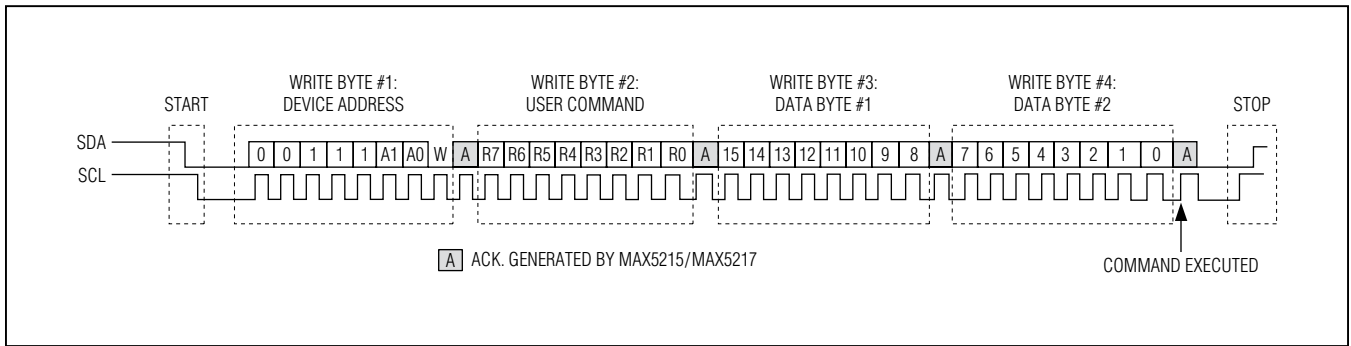


图4. I²C单个寄存器写序列

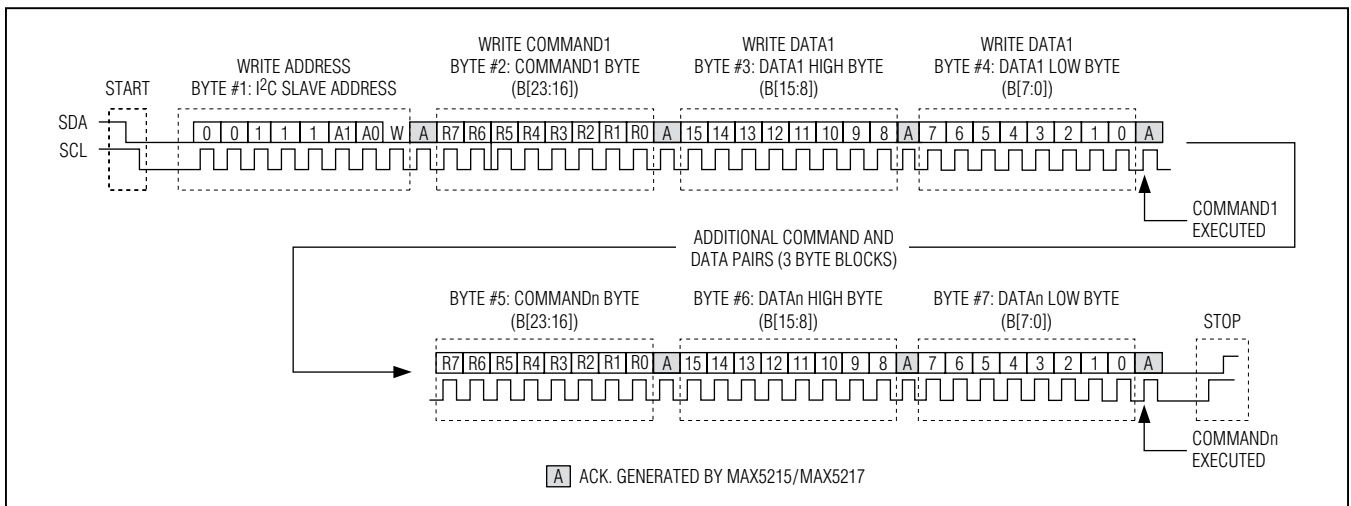


图5. 多个寄存器写序列(标准I²C协议)

I²C读回操作

每个读回序列帧都由START或Repeated START条件和STOP条件构成。每个字节都是8位，后边跟应答时钟脉冲(图7)。第一个字节包含MAX5215/MAX5217的地址，R/W = 0，表示写操作。第二个字节包含将被读回的寄存器。发送Repeated START条件，后边跟器件地址(设置为R/W = 1，表示读操作)以及一个应答时钟。数据帧中的最后2个字节为读回的寄存器数据，随后为STOP条件。主机控制SCL，但是MAX5215/MAX5217接管SDA线。主机从MAX5215/MAX5217每读取一个字节的数

据，将拉低SDA进行应答。如果提供的字节超过读回的请求数据，MAX5215/MAX5217将连续读回1。

按照图7所示回读时序，用户可以读取器件配置、器件ID、CODE寄存器或DAC寄存器的内容。

I²C兼容性

MAX5215/MAX5217与现有I²C系统完全兼容。SCL和SDA为高阻输入；SDA为开漏，可将数据线拉低以发送数据或ACK脉冲。图8所示为典型的I²C应用。

MAX5215/MAX5217

MAX5215/MAX5217 14/16位低功耗、满摆幅缓冲输出DAC，带有I²C接口

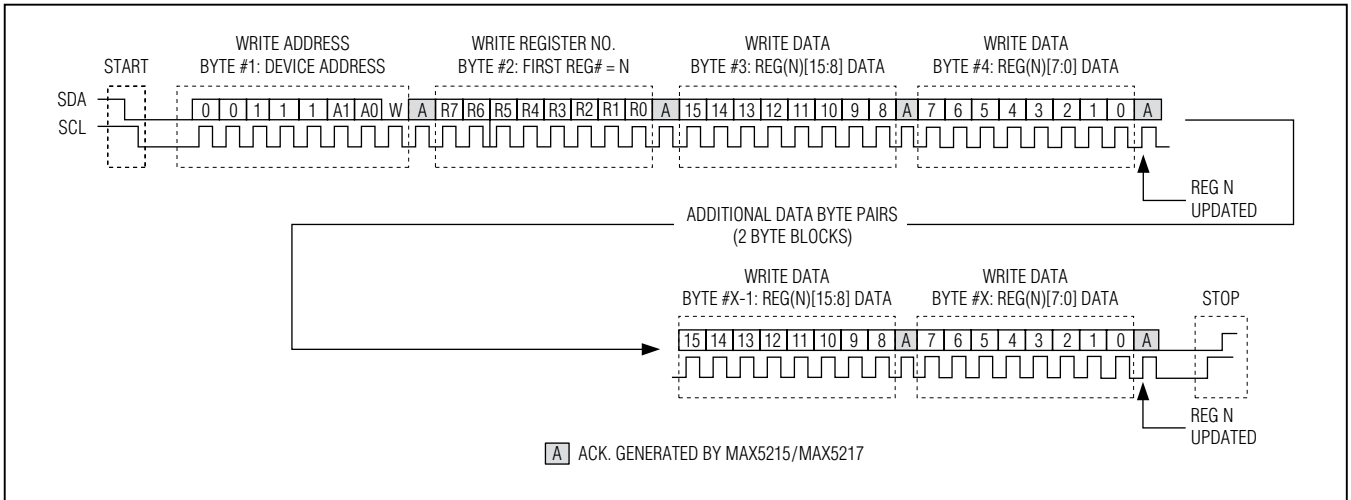


图6. 多个寄存器写序列(多字节协议)

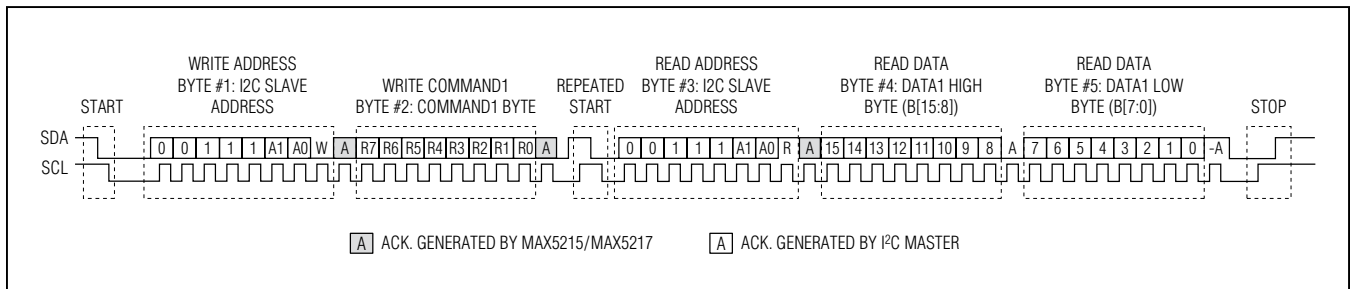


图7. 标准I²C寄存器读序列

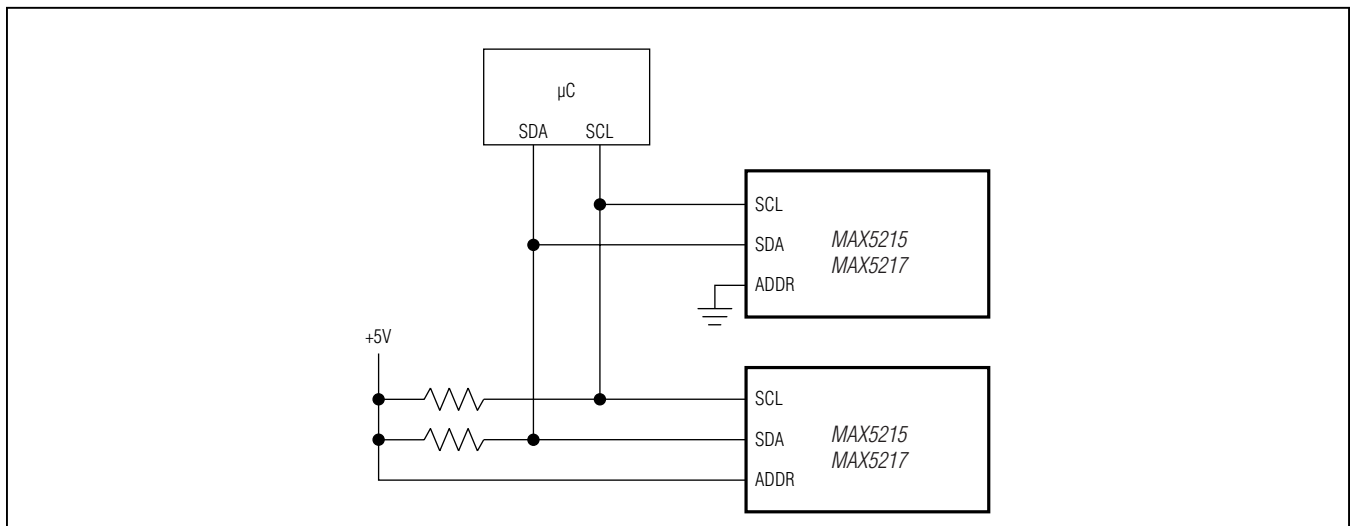


图8. 典型的I²C应用电路

MAX5215/MAX5217

MAX5215/MAX5217 14/16位低功耗、 满摆幅缓冲输出DAC，带有I²C接口

I²C用户命令寄存器映射

本节列出了MAX5215/MAX5217的用户可访问命令和寄存器。表2列出了关于命令寄存器的详细信息。

空操作命令 (0x00)

No_Op命令(表3)不对器件产生任何影响，异步CLR输入也不影响No_Op命令。

表2. I²C用户写命令

WRITE COMMAND	COMMAND BYTE								DATA BYTES	DESCRIPTION	CLR GATED*
	R7	R6	R5	R4	R3	R2	R1	R0			
No-Op (0x00)	0	0	0	0	0	0	0	0	Don't Care	No operation: DAC settings and modes unaffected	N
CODE_LOAD (0x01)	0	0	0	0	0	0	0	1	14-/16-bit code	Write and load data to the CODE and DAC registers	Y
CODE (0x02)	0	0	0	0	0	0	1	0	14-/16-bit code	Write data to the CODE register	Y
LOAD (0x03)	0	0	0	0	0	0	1	1	Don't Care	Load current CODE register content to the DAC register	Y
CODE_LOAD_m (0x05)	0	0	0	0	0	1	0	1	Multiple sets of 14-/16-bit codes	Similar to CODE_LOAD command, but accepts multiple sets of dual-byte data following the initial command byte (see the <i>I²C Write Operation (Multibyte Protocol)</i> section)	Y
CODE_m (0x06)	0	0	0	0	0	1	1	0	Multiple sets of 14-/16-bit codes	Similar to CODE command, but accepts multiple sets of dual-byte data following the initial command byte (see the <i>I²C Write Operation (Multibyte Protocol)</i> section)	Y
USER_CONFIG (0x08)	0	0	0	0	1	0	0	0	16-bit configuration data	User configuration command	N
SW_RESET (0x09)	0	0	0	0	1	0	0	1	Don't Care	Software Reset	N
SW_CLEAR (0x0A)	0	0	0	0	1	0	1	0	Don't Care	Software Clear	N
Reserved	Any commands not specifically listed above are reserved for Maxim internal use only.										

*注：如果用户写命令被CLR屏蔽，在I²C写操作过程中触发了CLR，器件将忽略I²C指令，而且不会应答相应的数据字节。如果用户写命令不被CLR屏蔽，则无论CLR处于何种状态，将照常执行命令。

表3. 空操作命令(0x00)

R7	R6	R5	R4	R3	R2	R1	R0	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
0000_0000 No_Op Command								Don't Care								Don't Care							
COMMAND BYTE								DATA HIGH BYTE								DATA LOW BYTE							

MAX5215/MAX5217

MAX5215/MAX5217 14/16位低功耗、 满摆幅缓冲输出DAC，带有I²C接口

CODE_LOAD命令(0x01)

CODE_LOAD命令(表4)组合了CODE命令和LOAD命令，在第2个数据字节之后的SCL上升沿执行CODE_LOAD命令。执行该命令时，CODE_LOAD命令将CODE寄存器和DAC寄存器锁存到用户提供的数据。

如果在I²C写命令过程中触发了异步 $\overline{\text{CLR}}$ 控制输入，则将屏蔽该命令。

CODE命令(0x02)

在第2个数据字节之后的SCL上升沿执行CODE命令(表5)，CODE命令将CODE寄存器的内容更新到用户提供的数据。

如果在I²C写命令过程中触发了异步 $\overline{\text{CLR}}$ 控制输入，则将屏蔽该命令。

LOAD命令(0x03)

在第2个数据字节之后的SCL上升沿执行LOAD命令(表6)，LOAD命令将DAC锁存到当前CODE寄存器的内容。也可以通过拉低AUX输入(配制成 $\overline{\text{LDAC}}$ 时)执行数据装载。

如果在I²C写命令过程中触发了异步 $\overline{\text{CLR}}$ 控制输入，则将屏蔽该命令。

CODE_LOAD_m命令(0x05)

CODE_LOAD_m命令(表7)是多字节版本的CODE_LOAD命令，在第2个数据字节之后的SCL上升沿执行CODE_LOAD_m命令，并在随后的每对数据字节后执行一次该命令，直到整个操作结束(参见I²C写操作(多字节协议)部分)。

如果在I²C写命令过程中触发了异步 $\overline{\text{CLR}}$ 控制输入，则将屏蔽该命令。

表4. CODE_LOAD命令

R7	R6	R5	R4	R3	R2	R1	R0	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
0000_0001 16-bit CODE_LOAD Command								CODE and DAC Registers Data								CODE and DAC Registers Data							
0000_0001 14-bit CODE_LOAD Command								CODE and DAC Registers Data								CODE and DAC Registers Data				Don't Care			
COMMAND BYTE								DATA HIGH BYTE								DATA LOW BYTE							

表5. CODE命令

R7	R6	R5	R4	R3	R2	R1	R0	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
0000_0010 16-bit CODE Command								CODE Register Data								CODE Register Data							
0000_0010 14-bit CODE Command								CODE Register Data								CODE Register Data				Don't Care			
COMMAND BYTE								DATA HIGH BYTE								DATA LOW BYTE							

表6. LOAD命令

R7	R6	R5	R4	R3	R2	R1	R0	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
0000_0011 LOAD Command								Don't Care								Don't Care							
COMMAND BYTE								DATA HIGH BYTE								DATA LOW BYTE							

MAX5215/MAX5217

MAX5215/MAX5217 14/16位低功耗、满摆幅缓冲输出DAC，带有I²C接口

CODE_m命令(0x06)

CODE_m命令(表8)是多字节版本的CODE命令，在第2个数据字节之后的SCL上升沿执行CODE_m命令，并在随后的每对数据字节后执行一次该命令，直到整个操作结束(参见I²C写操作(多字节协议)部分)。当AUX引脚配制成LDAC并始终置于低电平时使用该命令。

如果在I²C写命令过程中触发了异步CLR控制输入，则将屏蔽该命令。

USER_CONFIG命令(0x08)

USER_CONFIG命令允许用户选择器件配制：设置DAC在CLEAR操作后应该返回的清零状态，配制AUX模式，设置MAX5215/MAX5217的关断模式。

在第2个数据字节之后的SCL上升沿执行USER_CONFIG命令，表9和表10给出了命令和配制位的详细说明。

异步CLR输入不会影响USER_CONFIG命令。

表7. CODE_LOAD_m命令

R7	R6	R5	R4	R3	R2	R1	R0	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
0000_0101 16-bit CODE_LOAD_m Command								CODE and DAC Registers Data								CODE and DAC Registers Data							
0000_0101 14-bit CODE_LOAD_m Command								CODE and DAC Registers Data								CODE and DAC Registers Data				Don't Care			
COMMAND BYTE								DATA HIGH BYTE								DATA LOW BYTE							

表8. CODE_m命令

R7	R6	R5	R4	R3	R2	R1	R0	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
0000_0110 16-bit CODE_m Command								CODE and DAC Registers Data								CODE and DAC Registers Data							
0000_0110 14-bit CODE_m Command								CODE and DAC Registers Data								CODE and DAC Registers Data				Don't Care			
COMMAND BYTE								DATA HIGH BYTE								DATA LOW BYTE							

表9. USER_CONFIG命令

R7	R6	R5	R4	R3	R2	R1	R0	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0			
0000_1000 USER_CONFIG Command								Don't Care								Don't Care		Clear Value Mode: 00 = Default 01 = Zero 10 = Mid 11 = Full			AUX Input Mode: 00 = Disable 01 = LDAC 10 = CLR 11 = Disable			Power-Down Mode: 00 = DAC 01 = High-Z 10 = 100kΩ 11 = 1kΩ		
DATA DEFAULT VALUE→								X	X	X	X	X	X	X	X	X	X	X	X	X	0	0	1	0	0	0
COMMAND BYTE								DATA HIGH BYTE								DATA LOW BYTE										

MAX5215/MAX5217

MAX5215/MAX5217 14/16位低功耗、 满摆幅缓冲输出DAC，带有I²C接口

SW_RESET命令(0x09)

SW_RESET命令(表11)复位CODE寄存器、DAC锁存以及所有通过USER_CONFIG命令编程设置的POR默认值。在第2个数据字节之后的SCL上升沿执行SW_RESET命令。

异步CLR输入不会影响SW_RESET命令。

第2个数据字节之后的SCL上升沿执行SW_CLEAR命令。此外，将AUX驱动至低电平(配制为CLR时)也可实现清零操作。

异步CLR输入不会影响SW_CLEAR命令。

SW_CLEAR命令(0x0A)

SW_CLEAR命令(表12)将清零CODE寄存器和DAC锁存寄存器的内容，使其置于USER_CONFIG所选择的数据。在

表10. 用户配制位(B[5:0])

CONFIGURATION BITS	CONFIGURATION DETAIL
CLEAR VALUE (B[5:4])	The DAC value to be cleared to in response to a CLEAR event: 00: POR default value (zero scale) 01: Zero scale (ground) 10: Midscale 11: Full scale (reference)
AUX MODE (B[3:2])	The mode in which the $\overline{\text{AUX}}$ input will operate: 00: Pin disabled 01: Enable $\overline{\text{LDAC}}$ functionality 10: Enable $\overline{\text{CLR}}$ functionality. Default after POR. 11: Pin disabled
Power-Down Mode (PD) (B[1:0])	Power-down mode for the device: 00: Normal operation: The DAC will be powered up and returned to its previous setting. Default after POR. 01: Power-down: The DAC core will be powered down and V_{OUT} is high-impedance. 10: Power-down: The DAC core will be powered down and V_{OUT} is connected to ground via 100k Ω . 11: Power-down: The DAC core will be powered down and V_{OUT} is connected to ground via 1k Ω .

表11. SW_RESET命令

R7	R6	R5	R4	R3	R2	R1	R0	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
0000_1001 SW_RESET Command								Don't Care								Don't Care							
COMMAND BYTE								DATA HIGH BYTE								DATA LOW BYTE							

表12. SW_CLEAR命令

R7	R6	R5	R4	R3	R2	R1	R0	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
0000_1010 SW_CLEAR Command								Don't Care								Don't Care							
COMMAND BYTE								DATA HIGH BYTE								DATA LOW BYTE							

MAX5215/MAX5217

MAX5215/MAX5217 14/16位低功耗、满摆幅缓冲输出DAC，带有I²C接口

用户读命令说明

MAX5215/MAX5217允许用户回读能够支持的寄存器数据，表13列出了用户回读命令和读取的2个字节的内容。对于MAX5215，CODE和DAC读操作的结果是左对齐，输入2字节数据的2 LSB ([1:0])不使用，读数为0。

应用信息

上电复位(POR)

V_{DD}上电时，输入寄存器置零，使DAC输出置于零码电平。器件上电初始化时置于零输出，在更改了DAC锁存内容的I²C操作之后，器件将工作在所配制的模式。

电源和旁路考虑

用高品质陶瓷电容将V_{DD}旁路至低阻地，电容尽量靠近器件放置。将引线长度降至最短，以减小引线电感。将GND输入连接至模拟接地区域。

布局考虑

GND上的数字和交流瞬态信号会在输出产生噪声。DAC系统的接地连接为星型接地。将该系统地作为远端DAC负载的参考地有助于获得最佳性能。采用正确的接地技术，例如带有低电感地层的多层电路板，或者采用星型拓扑将全部地回路连接至MAX5215/MAX5217的GND。须特别注意走线，以降低交流交叉耦合。

不要使用绕线电路板或插座。采用屏蔽，提高抗噪性。不得并行排列模拟和数字信号线，特别是时钟信号。避免在MAX5215/MAX5217封装下方出现数字信号线。

表13. 用户读命令和内容

R7	R6	R5	R4	R3	R2	R1	R0	READ COMMAND	READ DATA1 HIGH BYTE D[15:8]	READ DATA1 LOW BYTE D[7:0]
0	0	0	0	0	0	0	0	ID Readback (0x00)	0011100, CLEAR Status	(0x11)
0	0	0	0	0	0	0	1	CODE_LOAD Readback (0x01)	DAC_latch[15:8]	DAC_latch[7:0]
0	0	0	0	0	0	1	0	CODE Readback (0x02)	CODE_register[15:8]	CODE_register[7:0]
0	0	0	0	0	0	1	1	LOAD Readback (0x03)	DAC_latch[15:8]	DAC_latch[7:0]
0	0	0	0	0	1	0	1	CODE_LOAD_m Readback (0x05)	DAC_latch[15:8]	DAC_latch[7:0]
0	0	0	0	0	1	1	0	CODE_m Readback (0x06)	CODE_register[15:8]	CODE_register[7:0]
0	0	0	0	1	0	0	0	CONFIG Readback (0x08)	0000_0000	00, CLEAR_VALUE[1:0], AUX_MODE[1:0], PD[1:0]

MAX5215/MAX5217

MAX5215/MAX5217 14/16位低功耗、 满摆幅缓冲输出DAC，带有I²C接口

定义

积分非线性(INL)

INL是消除失调、增益误差后，传输函数与两个代码连接直线的偏差。

微分非线性(DNL)

DNL是实际步长高度与1 LSB理想值之差。如果DNL的幅度大于-1 LSB，DAC可确保无丢码并且单调。

失调误差

失调误差指，实际传输函数与理想传输函数的差异。失调误差可通过测量零码和最大值附近输出计算得到。

增益误差

增益误差指消除失调误差后，理想的满量程输出电压与实际传输函数曲线满量程输出电压的差。该误差会改变传输函数的斜率，并对应于每个步长的相同百分比误差。

建立时间

建立时间是指从开始转换到DAC输出建立新的数值(达到规定的转换精度)所需要的时间。

数字馈通

数字馈通是指触发DAC数字控制线时，在DAC输出端产生的噪声。

数/模转换干扰脉冲

最高瞬变发生在中间刻度点—MSB由低电平变为高电平，其它所有数据位则由高电平变为低电平；或者MSB由高电平变为低电平，而其它数据位由低电平变为高电平。在这一跳变过程中，开关干扰持续脉冲称作数/模转换干扰脉冲。

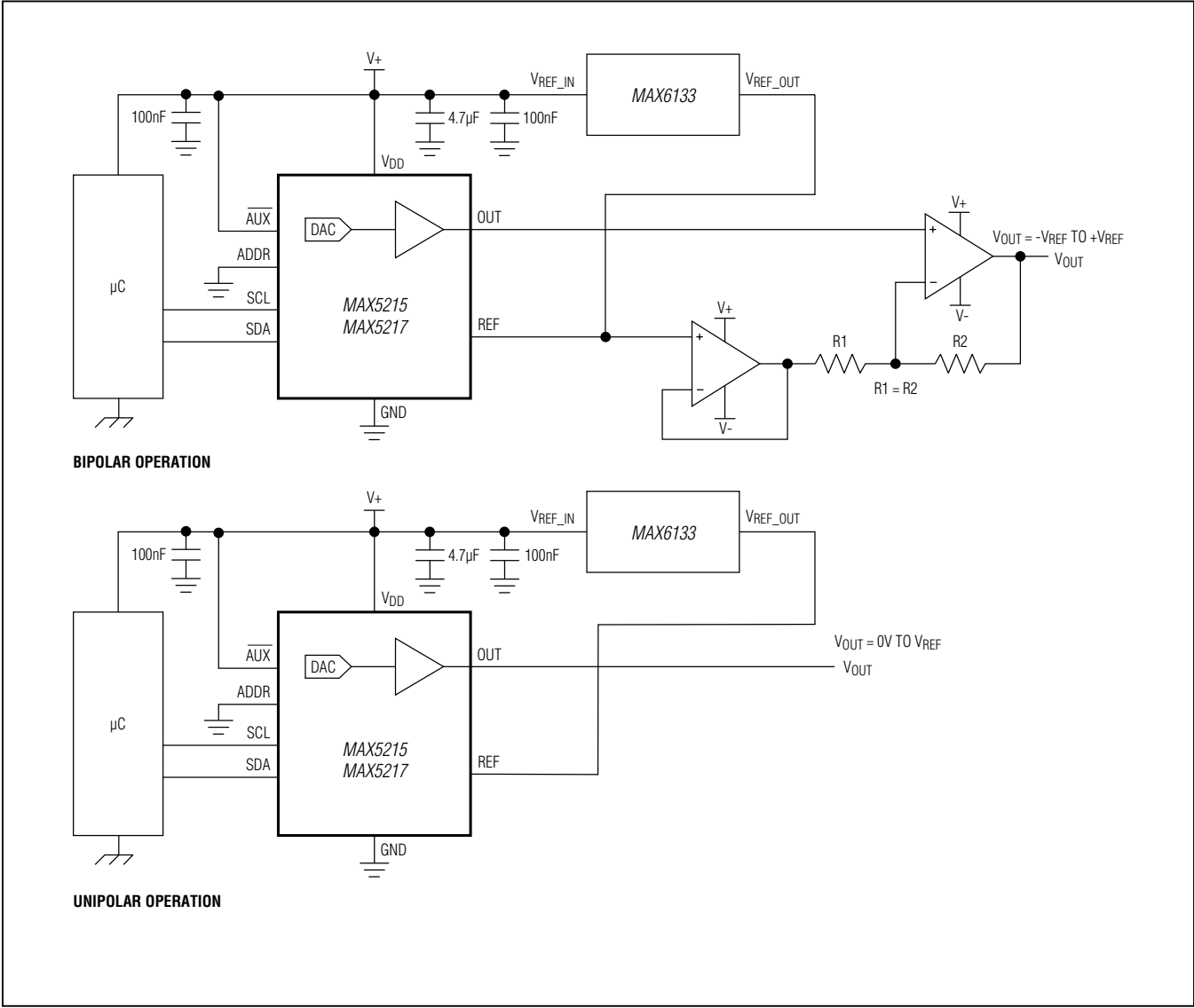
数/模转换上电干扰脉冲

数/模转换上电干扰指器件退出关断模式时所产生的开关干扰的持续脉冲。

MAX5215/MAX5217

MAX5215/MAX5217 14/16位低功耗、 满摆幅缓冲输出DAC，带有I²C接口

典型工作电路



MAX5215/MAX5217

MAX5215/MAX5217 14/16位低功耗、 满摆幅缓冲输出DAC，带有I²C接口

订购信息

PART	PIN-PACKAGE	RESOLUTION (BITS)	INL MAX (LSB)
MAX5215GUA+	8 μ MAX	14	± 1
MAX5217GUA+	8 μ MAX	16	± 4
MAX5217BGUA+	8 μ MAX	16	± 8

注：所有器件工作在-40°C至+105°C温度范围。

+表示无铅(Pb)/符合RoHS标准的封装。

*未来产品—供货状况请联系工厂。

芯片信息

PROCESS: BiCMOS

封装信息

如需最近的封装外形信息和焊盘布局(占位面积)，请查询china.maximintegrated.com/packages。请注意，封装编码中的“+”、“#”或“-”仅表示RoHS状态。封装图中可能包含不同的尾缀字符，但封装图只与封装有关，与RoHS状态无关。

封装类型	封装编码	外形编号	焊盘布局编号
8 μ MAX	U8+3	21-0036	90-0092

MAX5215/MAX5217

MAX5215/MAX5217 14/16位低功耗、 满摆幅缓冲输出DAC，带有I²C接口

修订历史

修订号	修订日期	说明	修改页
0	11/12	最初版本。	—

Maxim北京办事处

北京8328信箱 邮政编码100083

免费电话：800 810 0310

电话：010-6211 5199

传真：010-6211 5299



Maxim不对Maxim产品以外的任何电路使用负责，也不提供其专利许可。Maxim保留在任何时间、没有任何通报的前提下修改产品资料和规格的权利。电气特性表中列出的参数值(最小值和最大值)均经过设计验证，数据资料其它章节引用的参数值供设计人员参考。

Maxim Integrated 160 Rio Robles, San Jose, CA 95134 USA 1-408-601-10 00

26

© 2013 Maxim Integrated

Maxim标志和Maxim Integrated是Maxim Integrated Products, Inc.的商标。