

MAX4824PMB1外设模块

概述

MAX4824PMB1外设模块提供了连接MAX4824 8通道继电器驱动器所需的硬件电路，适合可配置为GPIO通信的Pmod™兼容扩展端口系统。IC每个独立通道的导通电阻为2.7Ω (典型值)，可确保吸入70mA (最小值)负载电流。齐纳保护电路大大缩短了开关的恢复时间，非常适合对开关速度有严格要求的应用。驱动继电器时，独特的省电模式能够使继电器电流降至恰好高于继电器保持电流的门限。这种模式使得继电器能够保持在开启状态，同时也降低了功耗。

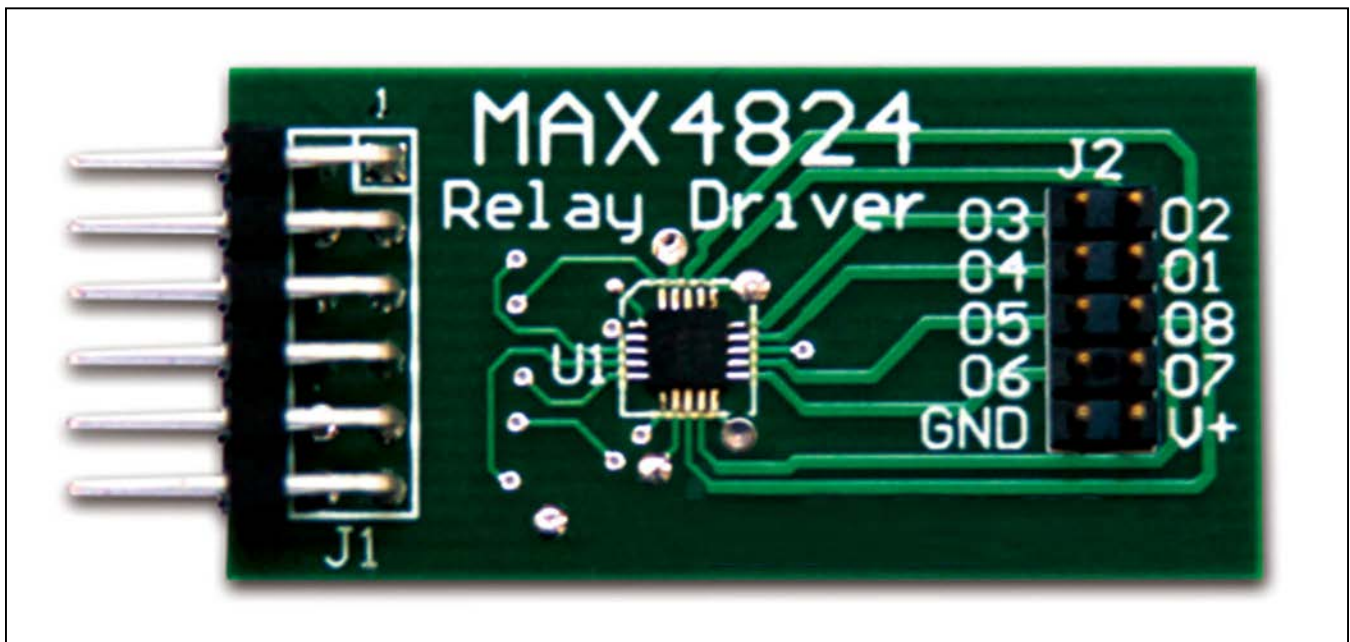
关于IC工作的详细信息，请参阅MAX4824 IC的数据资料。

特性

- ◆ 8路独立输出通道，可吸入70mA电流
- ◆ 确保5Ω (最大值) R_{ON}
- ◆ 独立驱动8路继电器(或其它负载)
- ◆ 4位并口(也可提供SPI接口IC)
- ◆ 12引脚Pmod兼容连接器(GPIO)
- ◆ C语言例程，便于移植
- ◆ 符合RoHS标准
- ◆ 经过验证的PCB布局
- ◆ 完全安装并经过测试

[订购信息](#)在数据资料的最后给出。

MAX4824PMB1外设模块



Pmod是Digilent Inc.的商标。

本文是英文数据资料的译文，文中可能存在翻译上的不准确或错误。如需进一步确认，请在您的设计中参考英文资料。有关价格、供货及订购信息，请联络Maxim亚洲销售中心：10800 852 1249 (北中国区)，10800 152 1249 (南中国区)，或访问Maxim的中文网站：china.maximintegrated.com。

MAX4824PMB1外设模块

元件列表

DESIGNATION	QTY	DESCRIPTION
C1	1	1 μ F \pm 10%, 10V X7R ceramic capacitor (0603) TDK C1608X7R1A105K
C2	1	0.1 μ F \pm 10%, 16V X7R ceramic capacitor (0603) Murata GRM188R71C104KA01D
C3	1	2.2 μ F \pm 10%, 10V X5R ceramic capacitor (0603) TDK C1608X5R1A225K/0.80

DESIGNATION	QTY	DESCRIPTION
J1	1	12-pin (2 x 6) right-angle male header
J2	1	10-pin (2 x 5) straight male header
R1-R8	8	150 Ω \pm 5% resistors (0603)
U1	1	8-channel relay driver (20 TQFN-EP*) Maxim MAX4824ETP+
—	1	PCB: EPCB4824PM1

*EP = 裸焊盘。

元件供应商

SUPPLIER	PHONE	WEBSITE
Murata Electronics North America, Inc.	770-436-1300	www.murata-northamerica.com
TDK Corp.	847-803-6100	www.component.tdk.com

注：联系元件供应商时请说明您正在使用的是MAX4824PMB1。

详细说明

GPIO接口

MAX4824PMB1外设模块可通过连接器J1直接插入Pmod兼容端口(配置为GPIO)，连接至主机。

通过J1将模块连接至主机，该接口类似于Digilent推荐的标准1型Pmod接口，但集成了一个具有8个I/O引脚的12in连接器，参见表1。

J2连接器提供开漏继电器输出连接，参见表2。

软件和FPGA程序

提供软件和驱动程序，可在多种FPGA开发板上直接运行，无需修改，支持集成或合成微处理器系统，电路板支持Digilent Nexys 3、Avnet LX9和Avnet ZEDBoard，我们将逐渐增加其它平台。Maxim提供完整的Xilinx ISE项目，包括HDL、Platform Studio和SDK项目。此外，提供合成比特流(可供FPGA下载)，用于演示应用。

表1. 连接器J1 (GPIO通信)

PIN	SIGNAL	DESCRIPTION
1	\overline{CS}	Chip-select input. This active-low signal latches in the values of LVL and A2, A1, A0.
2	LVL	Level input. When latched by \overline{CS} , this signal determines whether a relay at a given address (A2, A1, A0) is active.
3	A1	A1 input. Relay address bit 1.
4	A0	A0 input. Relay address bit 0.
5	GND	Ground
6	VCC	Power supply
7	A2	A2 input. Relay address bit 2.
8	\overline{RES}	Reset Input. This active-low pin sets all eight relays inactive.
9	\overline{SET}	Set Input. This active-low pin sets all eight relays active.
10	PSAVE	Reduces coil current to relay hold-current threshold.
11	GND	Ground
12	VCC	Power supply

MAX4824PMB1外设模块

表2. 连接器J2

PIN	SIGNAL	DESCRIPTION
1	OUT3	Open-drain output 1
2	OUT2	Open-drain output 2
3	OUT4	Open-drain output 3
4	OUT1	Open-drain output 4
5	OUT5	Open-drain output 5
6	OUT8	Open-drain output 6
7	OUT6	Open-drain output 7
8	OUT7	Open-drain output 8
9	GND	Ground
10	VCC	Power supply

软件项目(用于SDK)包括多个源文件,用于加快用户评估和设计。这些文件包括基本应用程序(maximModules.c),演示模块功能,以及通过API (maximDeviceSpecificUtilities.c)设置、访问特定Maxim器件模块的功能。

源代码采用标准ANSI C语言编写,API文件(maximDeviceSpecificUtilities.h & .c)含有全部的API资料说明,包括原理/操作、寄存器说明和函数原型。

完整的例程软件可从china.maximintegrated.com下载,快速入门作为独立文件提供。

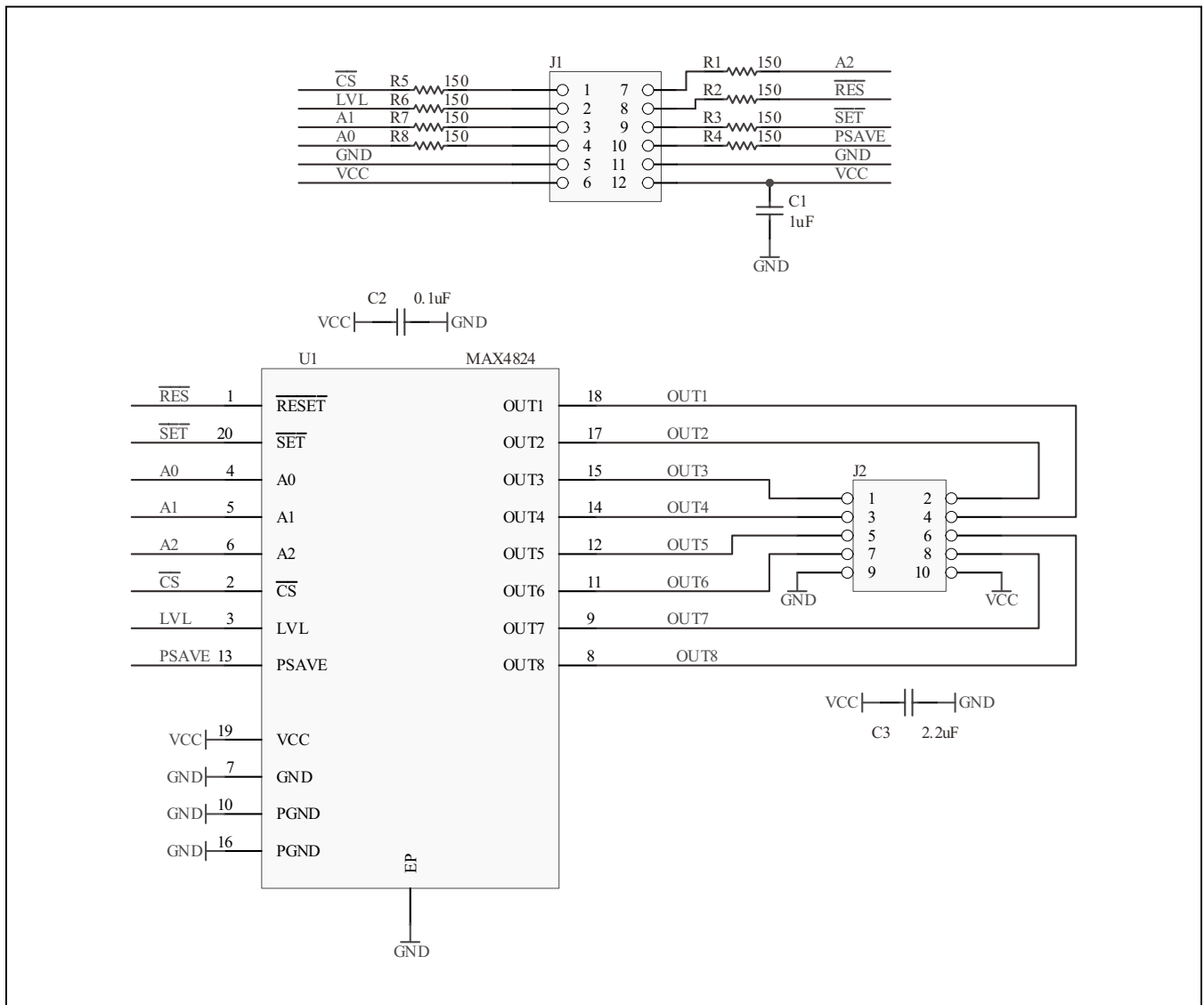


图1. MAX4824PMB1外设模块原理图

MAX4824PMB1外设模块

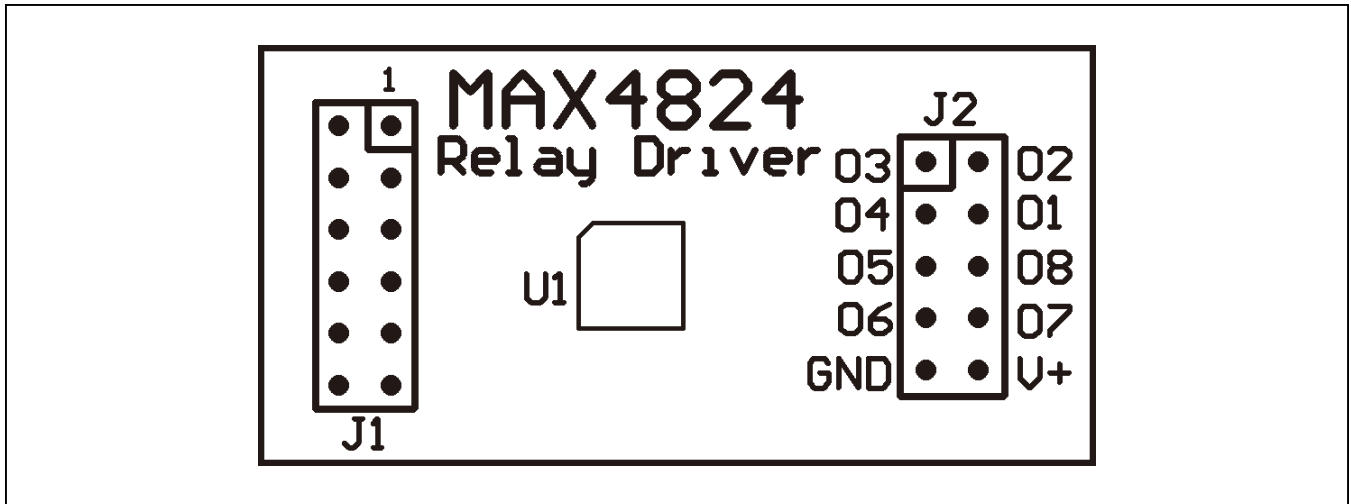


图2. MAX4824PMB1外设模块元件布局——元件层

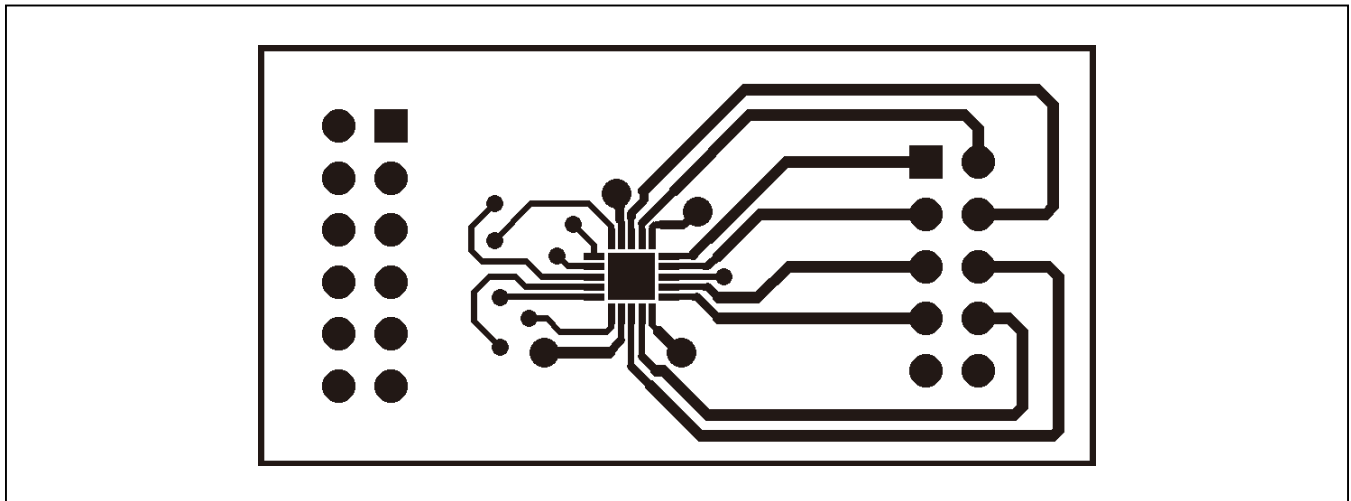


图3. MAX4824PMB1外设模块PCB布局——元件层

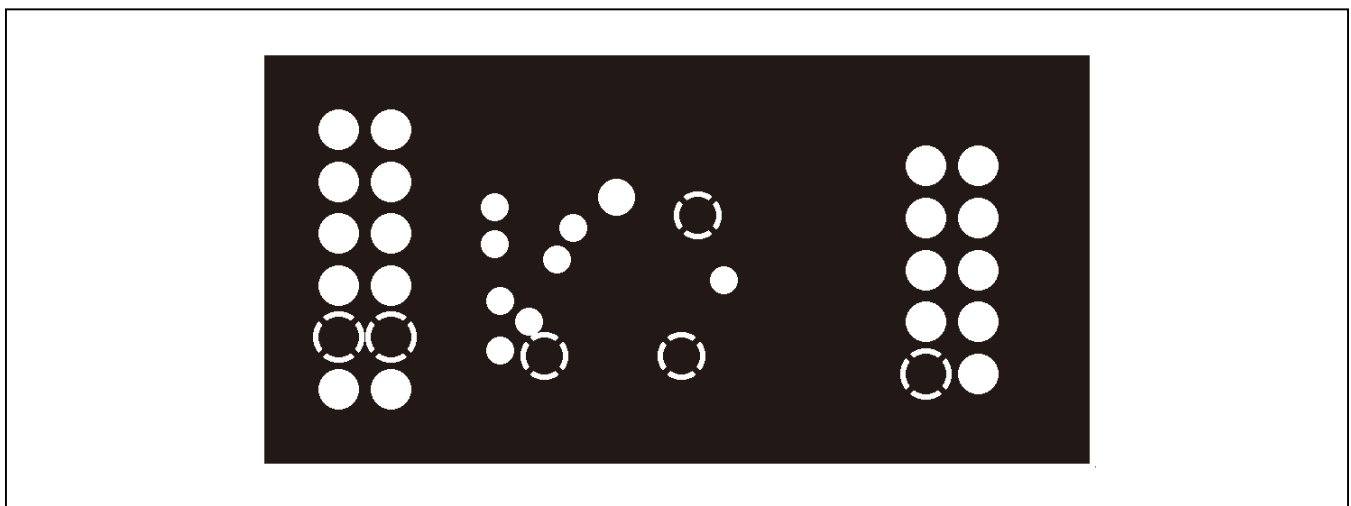


图4. MAX4824PMB1外设模块PCB布局——内部第1层(地)

MAX4824PMB1外设模块

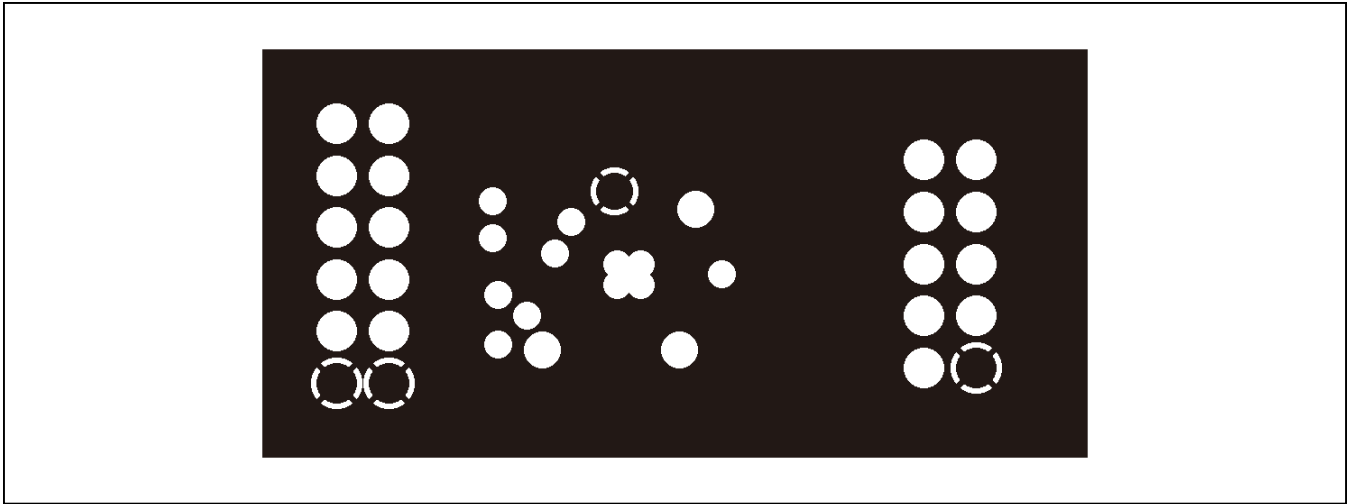


图5. MAX4824PMB1外设模块PCB布局——内部第2层(电源)

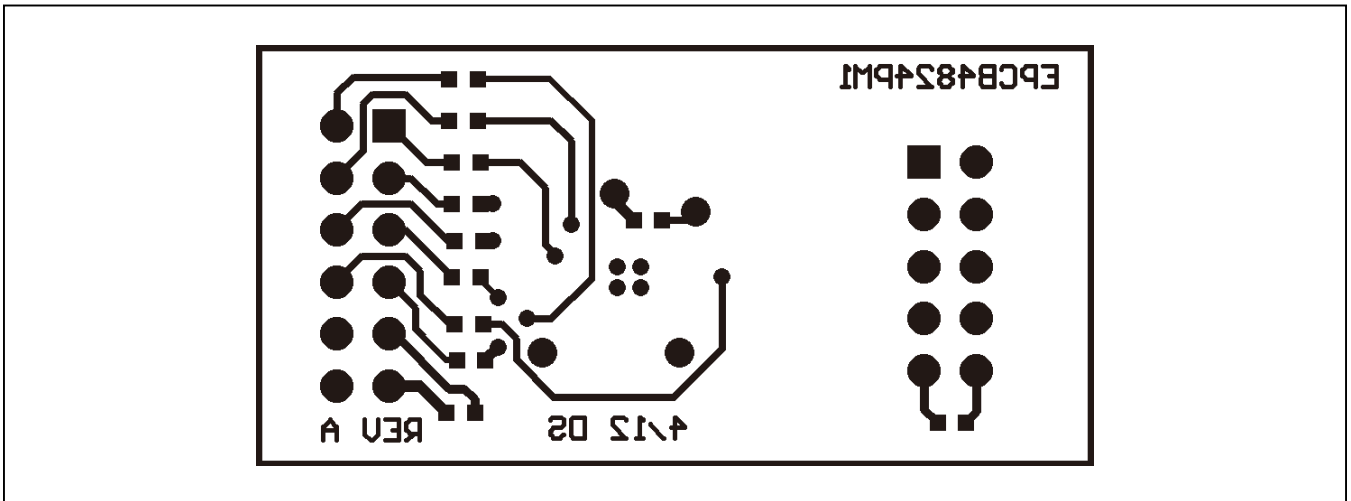


图6. MAX4824PMB1外设模块PCB布局——焊接层

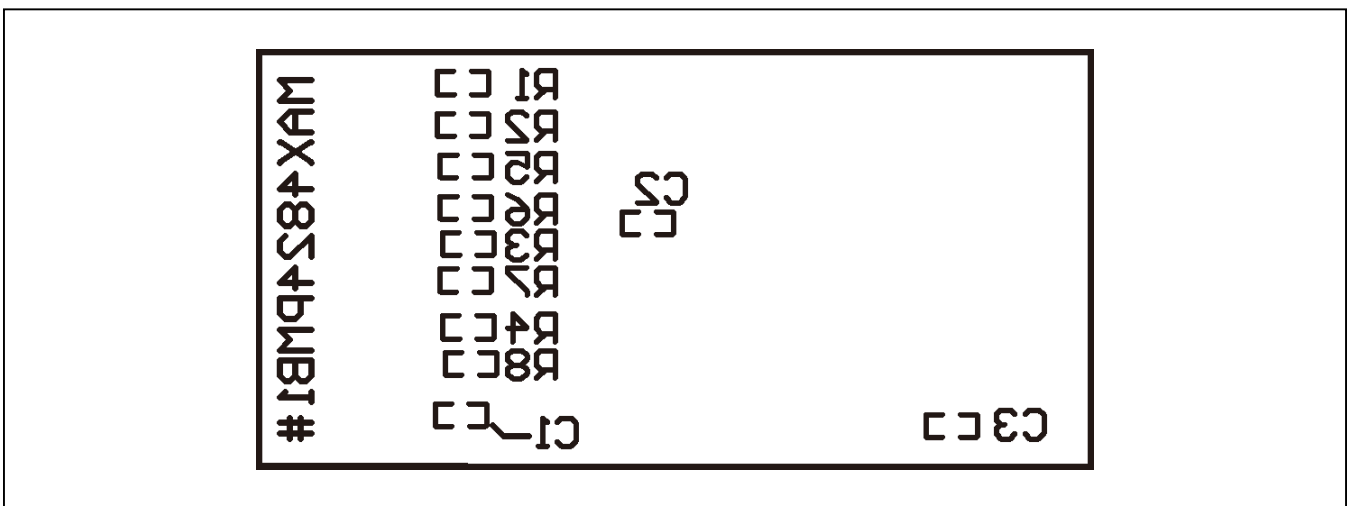


图7. MAX4824PMB1外设模块元件布局——焊接层

MAX4824PMB1外设模块

订购信息

PART	TYPE
MAX4824PMB1#	Peripheral Module

#表示符合RoHS标准。

MAX4824PMB1外设模块

修订历史

修订号	修订日期	说明	修改页
0	5/12	最初版本。	—

Maxim北京办事处

北京8328信箱 邮政编码100083

免费电话：800 810 0310

电话：010-6211 5199

传真：010-6211 5299



Maxim不对Maxim产品以外的任何电路使用负责，也不提供其专利许可。Maxim保留在任何时间、没有任何通报的前提下修改产品资料和规格的权利。电气特性表中列出的参数值(最小值和最大值)均经过设计验证，数据资料其它章节引用的参数值供设计人员参考。

Maxim Integrated 160 Rio Robles, San Jose, CA 95134 USA 1-408-601-10 00

7

© 2012 Maxim Integrated

Maxim标志和Maxim Integrated是Maxim Integrated Products, Inc.的商标。