



系统管理微控制器

MAX31782

概述

MAX31782基于高性能MAXQ20 16位微控制器核，具有超大容量的程序/数据闪存存储器和RAM数据存储器，为复杂系统的监测和控制提供完整的解决方案。

I/O资源包括温度和高精度电压的测量单元、PWM输出、定时器输入和GPIO，支持系统关键参数(例如：温度、电压、风扇速度和机箱介入等)的监测和控制。器件能够直接检测连接成二极管的晶体管远端温度传感器，通过片上I²C主机接口扩展外部数字温度传感器IC的数量。独立的I²C从机接口除了提供片上闪存的在系统编程加密保护外，还可以方便地与主处理器通信。

高度通用的C编译器和开发软件能够对闪存编程和通过JTAG口及相应的硬件进行在电路调试，简化了开发过程。

所有这些功能组合使得器件成为一个高度灵活的设计平台，设计人员可以简便地创建一个定制的复杂系统管理方案。

应用

网络交换机/路由器
基站
服务器
智能电网系统

典型工作电路在数据资料的最后给出。

特性

- ◆ MAXQ20高性能16位 μ C
- ◆ 高效C语言编程
- ◆ 36K字程序存储器
32K字闪存程序存储器
4K字ROM程序存储器
- ◆ 1K字数据RAM
- ◆ 具有7输入复用器的12位ADC，用于温度和电压监测
- ◆ 温度测量模拟前端
0.125°C分辨率
二极管串联电阻抵消电路
- ◆ 6路定时器/风扇转速计输入
- ◆ 6路16位PWM输出，用于风扇速度控制或D/A转换器
- ◆ 5位GPIO端口
- ◆ SMBus™/I²C兼容从机接口，用于带闪存编程加密保护的主机通信
- ◆ I²C兼容主机接口，用于从机扩展
- ◆ 上电复位和低电压监测
- ◆ JTAG端口支持在系统调试和闪存编程
- ◆ 内部振荡器无需晶体
- ◆ 2.7V至5.5V工作电压范围

订购信息

PART	TEMP RANGE	PIN-PACKAGE
MAX31782ETL+	-40°C to +85°C	40 TQFN-EP*
MAX31782ETL+T	-40°C to +85°C	40 TQFN-EP*

+表示无铅(Pb)/符合RoHS标准的封装。

T = 卷带包装。

*EP = 裸焊盘。

SMBus是Intel Corp.的商标。

注意：该器件某些版本的规格可能与发布的规格不同，会以勘误表的形式给出。通过不同销售渠道可能同时获得器件的多个版本。欲了解器件勘误表信息，请点击：china.maxim-ic.com/errata。



Maxim Integrated Products 1

本文是英文数据资料的译文，文中可能存在翻译上的不准确或错误。如需进一步确认，请在您的设计中参考英文资料。

有关价格、供货及订购信息，请联络Maxim亚洲销售中心：10800 852 1249 (北中国区)，10800 152 1249 (南中国区)，或访问Maxim的中文网站：china.maxim-ic.com。

系统管理微控制器

ABSOLUTE MAXIMUM RATINGS

V_{DD} to V_{SS}-0.5V to +5.5V
 All Other Pins to V_{SS} except
 REG18 and REG25-0.5V to (V_{DD} + 0.5V)*
 SCL, SDA, MSDA, MSCL, P6.0–P6.4
 Continuous Sink Current 20mA each, 50mA total

P6.0–P6.4 Continuous Source Current...20mA each, 50mA total
 Operating Temperature Range -40°C to +85°C
 Storage Temperature Range.....-55°C to +125°C
 Lead Temperature (soldering, 10s)+260°C
 Soldering Temperature (reflow)+260°C

*Subject to not exceeding +5.5V.

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

RECOMMENDED OPERATING CONDITIONS

(T_A = -40°C to +85°C, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
V _{DD} Operating Voltage Range	V _{DD}	(Note 1)	2.7		5.5	V
Input Logic 1	V _{IH}		0.7 x V _{DD}		V _{DD} + 0.3	V
Input Logic 0	V _{IL}		-0.3		+0.3 x V _{DD}	V
Input Logic-High: SCL, SDA, MSDA	V _{I2C_IH}	2.7V ≤ V _{DD} ≤ 3.6V (Note 1)	2.1		V _{DD} + 0.3	V
Input Logic-Low: SCL, SDA, MSDA	V _{I2C_IL}	2.7V ≤ V _{DD} ≤ 3.6V (Note 1)	-0.5		+0.8	V
Input Logic-High: GPIO (Including SCL, SDA, MSCL, and MSDA Under Full V _{DD} Range)	V _{IH1}	(Note 1)	0.7 x V _{DD}			V
Input Logic-Low: GPIO (Including SCL, SDA, MSCL, and MSDA Under Full V _{DD} Range)	V _{IL1}	(Note 1)			0.3 x V _{DD}	V

DC ELECTRICAL CHARACTERISTICS

(V_{DD} = 2.7V to 5.5V, T_A = -40°C to +85°C, unless otherwise noted. Typical values are at V_{DD} = 3.3V, T_A = +25°C, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Supply Current	I _{CPU}	Assuming 100% CPU duty cycle (Note 2)		1.73	2.34	mA
	I _{STOP}	(Note 2)		830	1250	μA
	I _{PROGRAM}			7		mA
Brownout Voltage	V _{BO}	Monitors V _{DD} (Note 1)	2.40	2.46	2.55	V
Brownout Hysteresis	V _{BOH}	Monitors V _{DD} (Note 1)		30		mV
Internal System Clock	f _{MOSC}			4.0		MHz
System Clock Error (Note 3)	f _{FERR:MOSC}	Initial tolerance, T _A = +25°C, V _{DD} = 5.5V	-1		+1	%
		+25°C ≤ T _A ≤ +85°C	-2		+1	
		-40°C ≤ T _A ≤ +25°C	-5.5		+0.6	

DC ELECTRICAL CHARACTERISTICS (continued)

(V_{DD} = 2.7V to 5.5V, T_A = -40°C to +85°C, unless otherwise noted. Typical values are at V_{DD} = 3.3V, T_A = +25°C, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
System Clock Startup	tsu:MOSC	From POR, MOSC inactive		1000		MOSC Cycles
Output Logic-Low: SDA, MSCL, MSDA, P6.0–P6.4, PWM.0–PWM.5	VOL1	I _{OL} = 4mA (Note 1)			0.4	V
Output Logic-High: P6.0–P6.4, PWM.0–PWM.5	VOH1	I _{OH} = -2mA (Note 1)	V _{DD} - 0.5			V
GPIO Mode Pullup Current	I _{PU}	V _{PIN} = V _{SS} , V _{DD} = 3.3V	38	55	107	μA
ADC Voltage Conversion Time	t _{CONV_V}	(Note 4)		128	150	μs
ADC Temperature Conversion Time	t _{CONV_T}	(Note 4)			7	ms
ADC Internal Reference				1.225		V
ADC Voltage Measurement Error	VERR		-1		+1	%
ADC Internal Reference Temperature Drift			-0.5		+0.5	%
ADC Internal Reference Initial Accuracy (+25°C)			-1		+1	mV
ADC External Reference Buffer Accuracy		(Note 5)		±0.25		%
ADC Operating Current	I _{ADC}	This current is in addition to I _{CPU}			2.2	mA
ADC Full-Scale Input Voltage (Note 6)	V _{FS}	ADGAIN = 0, factory set, internal reference	1.213	1.225	1.237	V
		ADGAIN = 1, factory set, internal reference	5.445	5.5	5.555	
ADC Measurement Resolution	V _{LSB}	ADGAIN = 0		300		μV
		ADGAIN = 1		1343		
ADC Bit Resolution			12			Bits
AD0P–AD5P Input Resistance	R _{IN}		15			MΩ
ADC Integral Nonlinearity	INL				±4	LSB
ADC Differential Nonlinearity	DNL				±1	LSB
ADC Offset	V _{OFFSET}			±2		LSB
Internal Temperature Measurement Error		T _A = -40°C to +85°C	-3		+3	°C
Remote Temperature Measurement Error (MAX31782 Error Only)		T _A = 0°C to +60°C, T _{DIODE} = +60°C to +120°C	-1.5		+1.5	°C
		T _A = 0°C to +60°C, T _{DIODE} = -45°C to +120°C	-1.75		+1.75	
		T _A = -40°C to +85°C, T _{DIODE} = +60 to +120°C	-2.75		+2.75	
		T _A = -40°C to +85°C, T _{DIODE} = -45°C to +120°C	-3.0		+3.0	

系统管理微控制器

MAX31782

DC ELECTRICAL CHARACTERISTICS (continued)

($V_{DD} = 2.7V$ to $5.5V$, $T_A = -40^{\circ}C$ to $+85^{\circ}C$, unless otherwise noted. Typical values are at $V_{DD} = 3.3V$, $T_A = +25^{\circ}C$, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Flash Erase Time	t _{ME}	Mass erase	20		40	ms
	t _{PE}	Page erase	20		40	
Flash Programming Time per Word	t _{PROG}		20		40	μs
Flash Endurance	NFLASH	T _A = +50°C	20,000			Write Cycles
Data Retention		T _A = +50°C	100			Years

ELECTRICAL CHARACTERISTICS: I²C-COMPATIBLE INTERFACE

($V_{DD} = 2.7V$ to $5.5V$, $T_A = -40^{\circ}C$ to $+85^{\circ}C$, unless otherwise noted.) (Figure 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
SCL Clock Frequency	f _{SCL}	Timeout not enabled (Note 7)	10		400	kHz
Bus Free Time Between a STOP and START Condition	t _{BUF}		1.3			μs
Hold Time (Repeated) START Condition	t _{HD:STA}	(Note 8)	0.6			μs
Low Period of SCL Clock	t _{LOW}		1.3			μs
High Period of SCL Clock	t _{HIGH}		0.6			μs
Setup Time for a (Repeated) START Condition	t _{SU:STA}		0.6			μs
Data Hold Time (Note 9)	t _{HD:DAT}	Receive	0			ns
		Transmit	300			
Data Setup Time	t _{SU:DAT}		100			ns
Rise Time of Both SDA and SCL Signals	t _R	(Note 10)	20 + 0.1C _B		300	ns
Fall Time of Both SDA and SCL Signals	t _F	(Note 10)	20 + 0.1C _B		300	ns
Setup Time for STOP Condition	t _{SU:STO}		0.6			μs
Spike Pulse Width That Can Be Suppressed by Input Filter	t _{SP}	(Note 11)	0		50	ns
SCL, SDA Capacitive Loading	C _B				400	pF
SMBus Timeout			25	30	35	ms

ELECTRICAL CHARACTERISTICS: JTAG INTERFACE

(V_{DD} = 2.7V to 5.5V, T_A = -40°C to +85°C, unless otherwise noted.) (Figure 2)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
JTAG Logic Reference	VREF			V _{DD} /2		V
TCK High Time	t _{TH}		1			μs
TCK Low Time	t _{TL}		1			μs
TCK Low to TDO Output	t _{TLQ}				0.125	μs
TMS, TDI Input Setup to TCK High	t _{DVTH}		0.30			μs
TMS, TDI Input Hold after TCK High	t _{THDX}		0.25			μs

Note 1: All voltages are referenced to ground (V_{SS}). Currents entering the IC are specified positive and currents exiting the IC are negative.

Note 2: This value does not include current in SDA, SCL, and P6.0–P6.4.

Note 3: Guaranteed by design.

Note 4: ADCCLK = SYSCLK/16. This is following an initial conversion time of approximately 80μs.

Note 5: Base line accuracy of reference source + 0.25% introduced by the MAX31782.

Note 6: The voltage applied to the pins must not exceed their corresponding absolute maximum voltages.

Note 7: Minimum SCL frequency applies only when in I²C master mode.

Note 8: After this period, the first clock pulse can be generated.

Note 9: This device internally provides a hold time of at least 25ns for the SDA signal (referenced to the V_{IHMIN} of the SCL signal) to bridge the undefined region of the falling edge of SCL.

Note 10: C_B—Total capacitance of one bus line in pF.

Note 11: Filters on SDA and SCL suppress noise spikes at the input buffers and delay the sampling instant.

系统管理微控制器

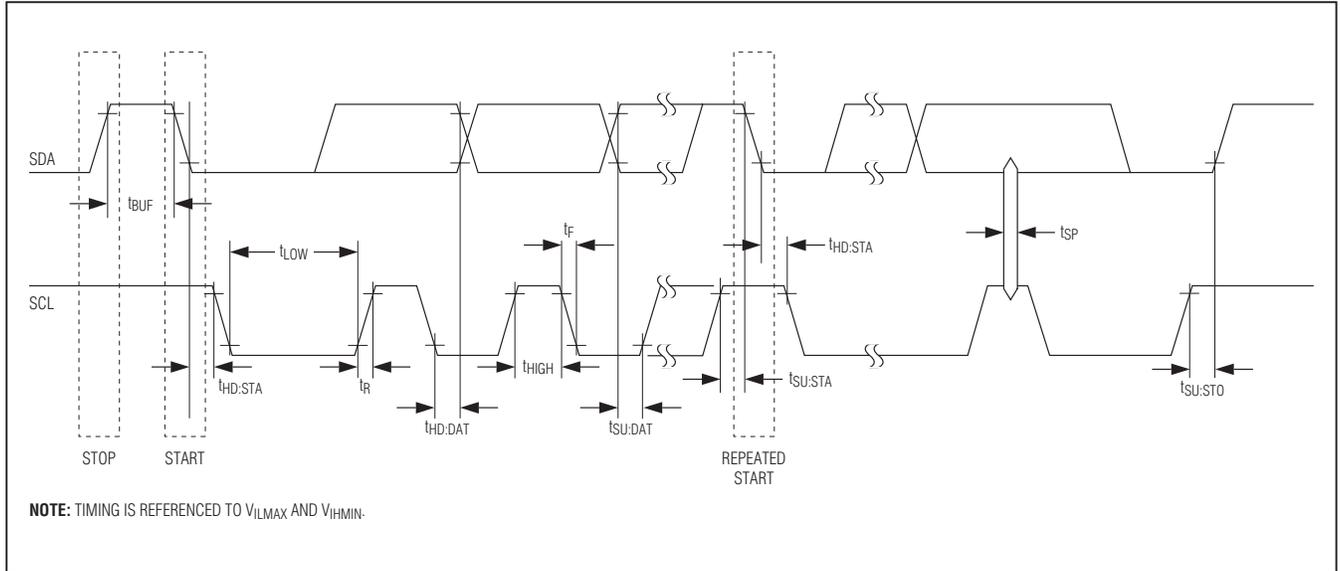


图1. I²C兼容总线时序图

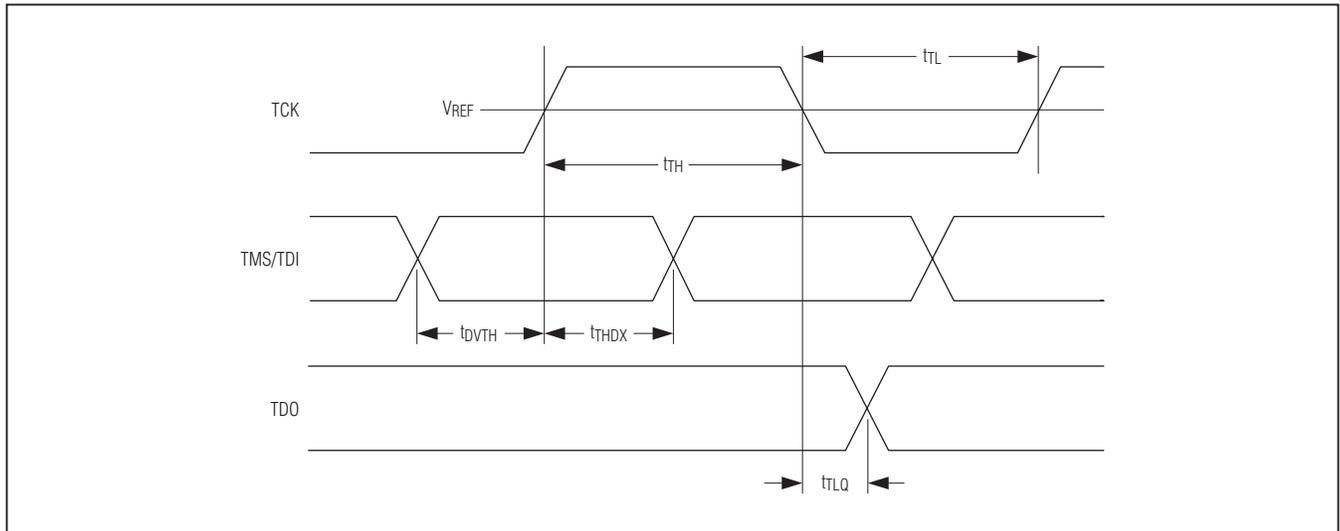
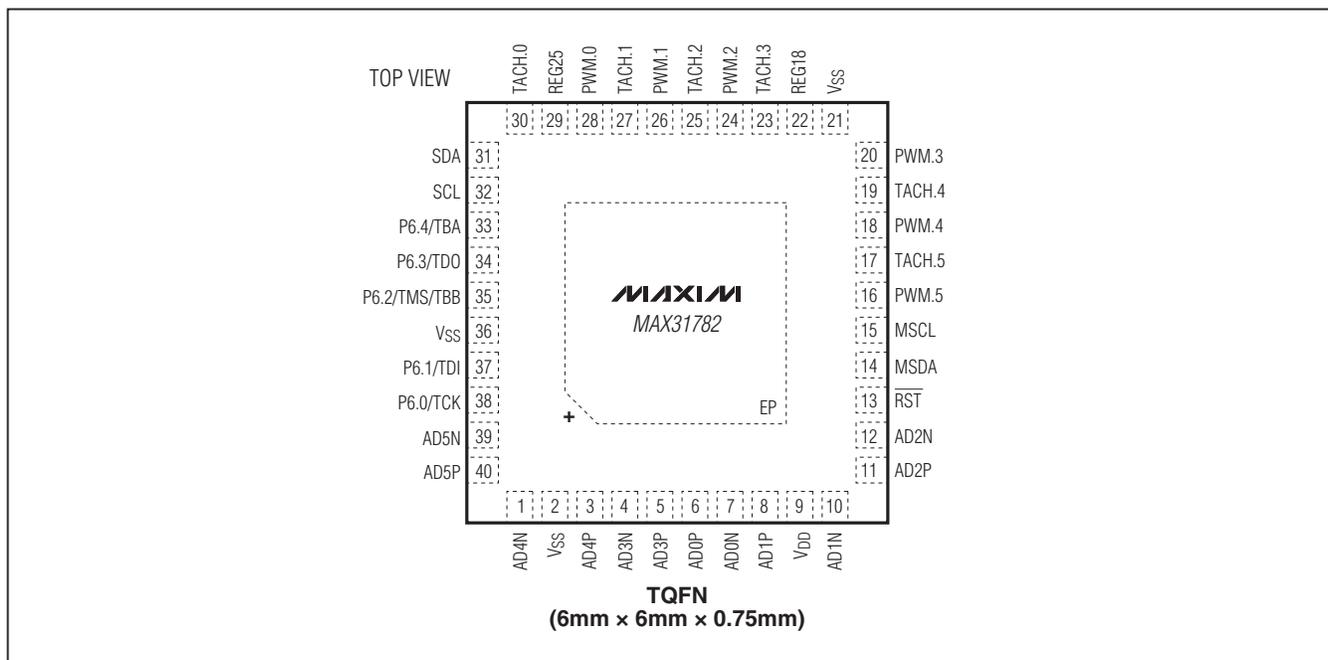


图2. JTAG时序图



引脚说明

引脚	名称	功能
1	AD4N	ADC.4电压测量的参考地。
2, 21, 36	VSS	电源回路节点。
3	AD4P	ADC电压检测输入，相对于AD4N测量。
4	AD3N	ADC.3电压测量的参考地。使能时连接至外部参考端。
5	AD3P	ADC电压检测输入，相对于AD3N测量。
6	AD0P	ADC电压检测输入，相对于AD0N测量。
7	AD0N	ADC.0电压测量的参考地。
8	AD1P	ADC电压检测输入，相对于AD1N测量。
9	VDD	输入电源，+2.7V至+5.5V输入范围。通过一个0.1μF电容将VDD旁路至VSS。
10	AD1N	ADC.1电压测量的参考地。
11	AD2P	ADC电压检测输入，相对于AD2N测量。
12	AD2N	ADC.2电压测量的参考地。
13	RST	低电平有效复位，该引脚的低电平电压将复位IC。
14	MSDA	主控制器的I ² C兼容双向数据线，禁止时该引脚可以用作GPIO P2.7。
15	MSCL	主控制器的I ² C兼容时钟，禁止时该引脚可以用作GPIO P2.6。
16	PWM.5	第5路PWM输出，禁止时该引脚可以用作GPIO。
17	TACH.5	第5路转速计输入，禁止时该引脚可以用作GPIO。
18	PWM.4	第4路PWM输出，禁止时该引脚可以用作GPIO。
19	TACH.4	第4路转速计输入，禁止时该引脚可以用作GPIO。

系统管理微控制器

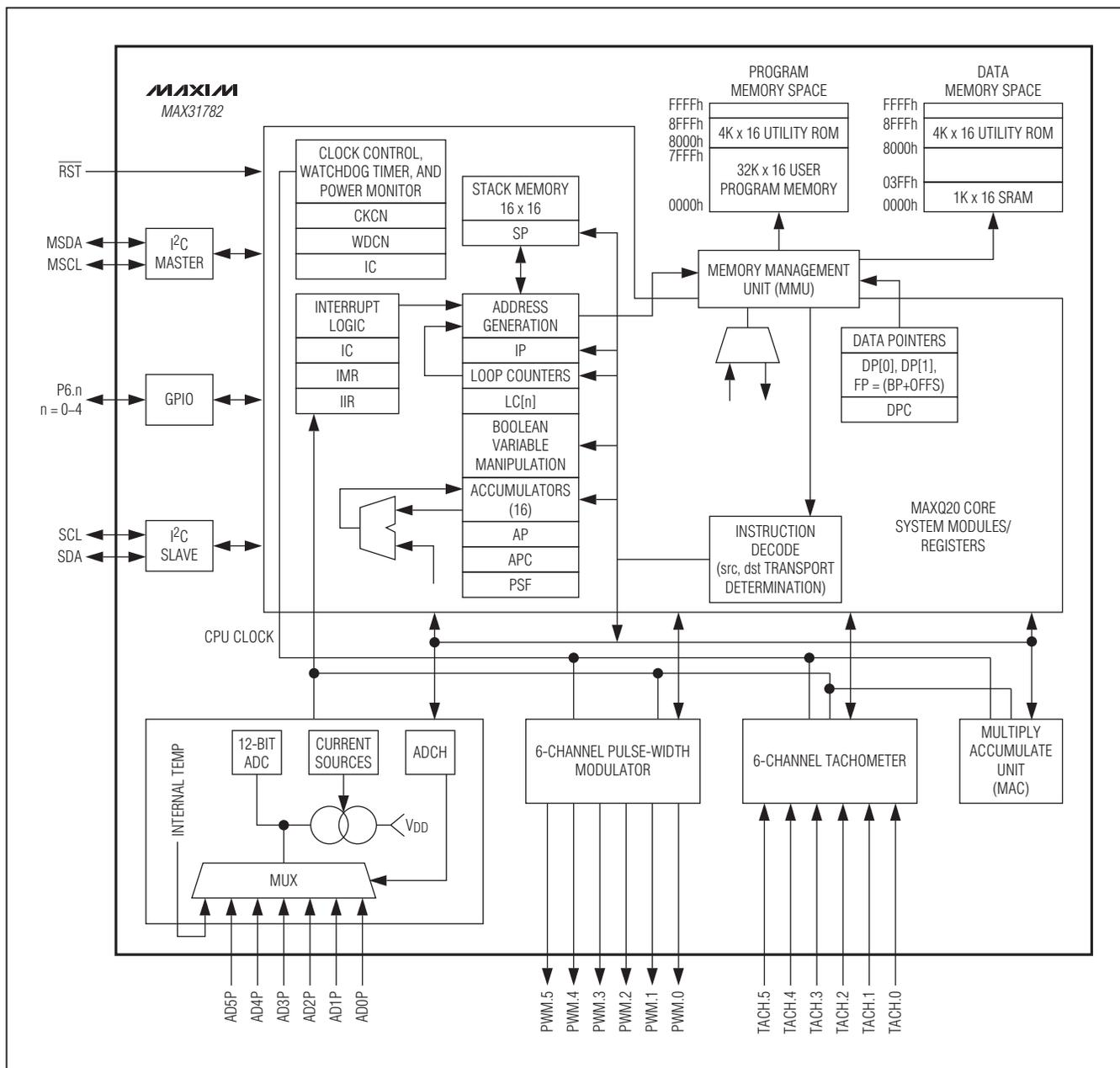
引脚说明(续)

引脚	名称	功能
20	PWM.3	第3路PWM输出, 禁止时该引脚可以用作GPIO。
22	REG18	通过一个1 μ F电容和一个10nF高频电容将REG18旁路至V _{SS} , 请勿用于外部电路。
23	TACH.3	第3路转速计输入, 禁止时该引脚可以用作GPIO。
24	PWM.2	第2路PWM输出, 禁止时该引脚可以用作GPIO。
25	TACH.2	第2路转速计输入, 禁止时该引脚可以用作GPIO。
26	PWM.1	第1路PWM输出, 禁止时该引脚可以用作GPIO。
27	TACH.1	第1路转速计输入, 禁止时该引脚可以用作GPIO。
28	PWM.0	第0路PWM输出, 禁止时该引脚可以用作GPIO。
29	REG25	通过一个1 μ F电容和一个10nF高频电容将REG25旁路至V _{SS} , 请勿用于外部电路。
30	TACH.0	第0路转速计输入, 禁止时该引脚可以用作GPIO。
31	SDA	从机I ² C兼容双向数据线, 禁止时该引脚可以用作GPIO。
32	SCL	从机I ² C兼容时钟, 禁止时该引脚可以用作GPIO。
33	P6.4/TBA	可编程I/O引脚, 可替代功能: 定时器/计数器TBA。
34	P6.3/TDO	可编程I/O引脚, 可替代功能: JTAG TDO。
35	P6.2/TMS/TBB	可编程I/O引脚, 可替代功能: 定时器/计数器TBB、JTAG TMS。
37	P6.1/TDI	可编程I/O引脚, 可替代功能: JTAG TDI。
38	P6.0/TCK	可编程I/O引脚, 可替代功能: JTAG TCK。
39	AD5N	ADC.5电压测量的参考地。
40	AD5P	ADC电压检测输入, 相对于AD5N测量。
—	EP	裸焊盘。与IC之间无电气连接, 连接至V _{SS} 。

系统管理微控制器

方框图

MAX31782



系统管理微控制器

详细说明

MAX31782采用16位MAXQ20微控制器核，带有16个累加器和16级硬件堆栈。三个存储区提供闪存应用程序存储空间、固定用途ROM程序存储空间和RAM存储器。集成专用外设用于风扇速度的PWM控制、读取风扇转速计并通过连接成二极管的晶体管进行温度监测。该器件还具有2个I²C兼容通信外设。I²C兼容的从机外设用于实现主机与器件之间的通信；此外，I²C兼容的主控制器接口用于支持与远端I²C数字温度传感器或其它I²C器件的通信。器件还提供通用I/O引脚(GPIO)，利用系统管理微处理器实现中断功能及其它电路的控制。MAXQ20核以及这些专用外设为系统和热管理提供灵活的解决方案。由于可通过I²C兼容接口升级程序和数据闪存内容，使得该方案设计更为灵活。程序闪存的更新受256位用户密码保护，防止非法写操作。

以下章节简要介绍了MAX31782系统管理微控制器的主要特性，器件特性的详细说明请参考其它文档部分列出的用户指南。

MAXQ20核架构

器件包含一个带有闪存的MAXQ20低成本、高性能、CMOS、全静态、16位RISC微控制器，采用先进的、基于16个累加器的16位RISC架构。由于指令包含操作码和数据，可以在一个周期内完成指令读取和操作，无需流水线操作。高效的系统内核由16个累加器和16级硬件堆栈支持，可实现快速子程序调用和任务切换。通过3个内部数据指针快速、高效地处理数据。多数据指针允许多个函数操作数据存储，不必每次保存和恢复数据指针。数据指针可以在操作中自动递增或递减，无需软件干预。

指令集

指令集由对寄存器和存储器进行操作的固定长度、16位指令组成。指令集高度正交，算术和逻辑操作可以使用累加器和任何寄存器。特殊功能寄存器控制外围设备，并细分成寄存器模块。采用模块化产品架构，能够重复使用现有产品的开发程序设计新器件、新模块。

器件架构基于传送触发，这意味着对某一寄存器的写或读操作还会引发其它效应。这些效应构成了由汇编定义的高级操作码的基础，如ADDC、OR和JUMP等。这些操作码实际上是通过某些寄存器间的MOVE指令实现的，而由编译器进行编码处理，编程人员无需关心这些。16位指令字为高效运行而设计。

第15位指示指令源的格式，指令的第0位至第7位代表需要传送的源。根据格式字段的数值，源可能是立即数或源寄存器。如果这个字段代表一个寄存器，则其中的低四位包含模块标识符，而高四位包含模块中的寄存器索引值。

第8位至第14位代表传送的目的，该值始终代表一个目的寄存器，其中低四位包含模块标识符，而高三位包含模块中的寄存器索引值。任何情况下，当从前面的24个寄存器中直接选择一个作为目的寄存器时，需要前缀寄存器PFX提供附加的目的标识位。写前缀寄存器操作由编译器自动插入，并且只需一个额外的指令执行周期。完整的指令集信息请参考MAXQ系列用户指南(English only)。

存储器结构

器件包括几个存储区域：

- 32K字闪存存储器，用于存储应用程序
- 用于存储临时变量的1K字SRAM
- 4K字应用程序ROM，包含调试器和程序加载器
- 用于存储程序返回地址和常规数据的16级堆栈存储器

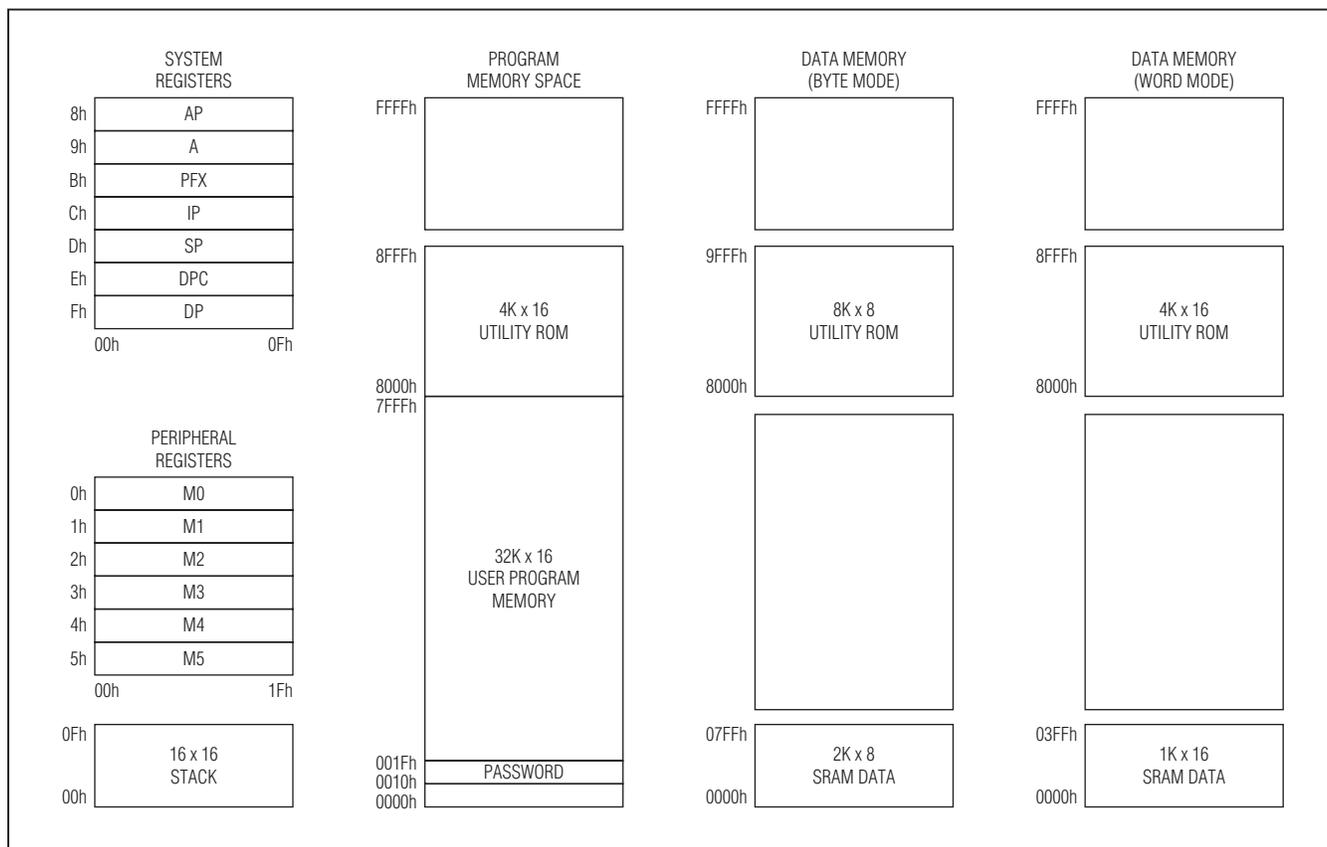


图3. 存储器映射

该存储器采用哈佛架构，程序和数据存储器具有独立的地址空间。另外，还采用伪冯·诺依曼架构存储器映射，将ROM、应用程序和数据存储器放置到连续的存储区。通过伪冯·诺依曼存储器映射，数据存储器可以映射至程序空间，允许执行来自数据存储器的代码。另外，程序存储器也可以映射至数据空间，允许将代码常数作为数据存储器进行访问。图3给出了从程序存储空间执行操作时的存储器映射。请参考MAXQ系列用户指南: MAX31782补充资料(English only)，了解从数据或ROM空间执行操作时的存储器映射信息。

利用闪存存储器可以在现场升级固件，闪存可以通过16字密钥进行加密保护，从而防止未经授权的程序存储器访问。

固定用途ROM

固定用途ROM是一个4K字的内部ROM存储器块，默认起始地址为8000h。固定用途ROM由可以在应用软件中进行调用的子程序组成，其中包括：

- 通过JTAG或I²C兼容接口进行在系统编程(引导加载程序)
- 在电路调试程序
- 在应用闪存编程的调用程序

任何复位操作后，都从固定用途ROM开始运行程序。ROM软件决定程序是否立刻跳转到0000h地址、用户应用程序的起始地址或者是上述某个特定程序。用户可通过固件访问固定用途ROM中的程序，并可通过应用程序调用这些子程序。有关固定用途ROM内容的详细信息，请参考MAXQ系列用户指南: MAX31782补充资料(English only)。

系统管理微控制器

密码

器件在出厂之前，会设置一个默认密码，该密码定义为物理地址0010h至001Fh程序存储器的16个字，在SC寄存器采用了单个密码锁存位(PWL)。一旦对新器件进行编程，即定义了密码(密码不能全为0或1)且PWL置位。如果PWL为0，则器件视为尚未编程。擦除后密码被自动设为全1。

堆栈存储器

16位、16级内部堆栈为程序返回地址和常规数据提供存储。当执行CALL、RET和RETI指令以及进行中断服务时，处理器自动使用堆栈。也可以通过使用PUSH、POP和POPI指令直接使用堆栈，进行数据存储和恢复。

复位后，堆栈指针SP初始化至栈顶(0Fh)。执行CALL、PUSH和中断向量操作时递增SP，然后在SP指向的地址存储一个数值。执行RET、RETI、POP以及POPI操作时取回SP指向的数值并递减SP。

编程

可以通过三种不同方法对微控制器闪存编程：在系统编程、在应用编程和生产编程。这三种方法都为系统设计提供了极大灵活性，并降低了嵌入式系统在有效使用期限内的成本。

在系统编程

内部引导加载程序允许器件通过JTAG或I²C兼容接口进行编程。因此，可以在系统升级系统程序，节省了软件升级所需的昂贵的硬件更改花费。

ICDF寄存器的编程源选择(PSS)位决定使用哪个接口进行引导装载操作，器件支持JTAG和I²C作为装载接口，分别对应于PSS的00和01。

在应用编程

在应用编程允许微控制器更改自身的闪存程序存储器，以便在线升级软件，满足一些重要操作中的不停机要求。同时，它还允许开发在应用软件控制下的定制加载软件。固定用途

ROM包含固件可访问的闪存编程函数，可以擦除闪存并对闪存编程。关于这些函数的详细说明请参考MAXQ系列用户指南：MAX31782补充资料(English only)。

系统定时

器件在内部利用一个环形振荡器产生4MHz指令时钟(MOSC)。上电时，在V_{DD}升至V_{BO}之前，振荡器输出(不可由外部访问)被禁用。一旦电压达到该门限，计数1000个周期(约250μs)后使能输出，为器件提供时钟。

系统复位

可通过多个复位源对器件进行复位。

上电复位

内部上电复位(POR)电路提高了系统的可靠性，一旦V_{DD}电压上升至V_{POR}以上，电路强制器件执行上电复位功能，此时将发生以下操作：

- 所有寄存器和电路进入复位状态
- POR标志(WDCN.7)置位，指明复位源
- 解除复位后，从8000h重新开始执行程序

低电压检测/复位

器件具有低电压检测/复位功能。当电源监测器检测到低电压状态(V_{DD} < V_{BO})时，会立即产生一次复位，并在V_{DD}低于V_{BO}时始终保持该状态。一旦V_{DD}电压上升到V_{BO}以上，器件将等待t_{SU:MOSC}，然后恢复到正常工作状态，也称为CPU状态。如果在t_{SU:MOSC}期间再次发生低电压情况，则再次返回低电压状态。否则，则进入CPU状态。CPU状态下，低电压检测器保持使能。上电时，器件总是首先进入低电压状态，然后执行上面列出的过程。低电压引起的复位操作与POR相同，低电压复位需要经历POR的所有动作。POR过程中将清除所有寄存器，低电压复位同样也将清除所有寄存器。

表1. 供电模式

CKCN. STOP	SVM. SVMEN	SVM. SVMSTOP	CPU	LDO (1.8V)	INTERNAL OSCILLATOR	BROWNOUT DETECT	SVM MONITOR	LDO (1.8V) MONITOR	ADC	POWER MODE	LDO (2.5V)
0	0	X	On	On	On	On	Off	On	On/Off	CPU Mode	On
0	1	X	On	On	On	On	On	On	On/Off	CPU Mode	On
1	0	X	Off	On	On	On	Off	On	Off	Stop Mode	On
1	1	0	Off	On	On	On	Off	On	Off	Stop Mode	On
1	1	1	Off	On	On	On	On	On	Off	Stop Mode	On

看门狗定时器复位

看门狗定时器提供了一个在程序运行失效时复位处理器的机制。看门狗定时器是一个可通过应用软件周期性复位的硬件定时器。如果程序正常运行，定时器将在达到最大计数值之前被复位。但是，如果程序运行过程发生失效，不能复位看门狗定时器，定时器将达到其最大计数值并复位处理器。

看门狗定时器通过WDCN寄存器中的2位(WDCN[5:4]:WD[1:0])控制。超时周期可以设置为 2^{12} 至 2^{21} 个系统时钟(MOSC)周期(1.024ms至0.524s)内的4个可编程间隔之一。在超时周期(512个MOSC时钟周期或128 μ s)结束、发生复位之前，看门狗产生中断。由看门狗定时器产生的复位持续4个系统时钟周期，即1 μ s。软件可通过检查WDCN寄存器的看门狗定时器复位标识(WTRF)，确定复位是否由看门狗超时产生。发生看门狗定时器复位后，从8000h重新开始执行程序。

外部复位

拉低RST引脚将使器件进入复位状态，MAXQ系列用户指南(English only)介绍了外部复位功能。释放RST引脚后，从8000h重新开始执行程序。

内部系统复位

I²C程序装载模式下，主控制器可通过I²C从机地址34h发出一条BBh命令，复位与之通信的器件。这种复位与外部复位具有相同效果，对所有寄存器复位值具有相同影响。此外，完成在系统编程时(ROD = 1)，也会发生内部系统复位。

供电模式

器件支持两种工作模式：CPU模式和停止模式。器件在执行CPU STOP (CKCN.STOP)命令后进入停止模式。进入停止模式时，由于数字核电路的时钟被关闭，因此处于无效状态。除了ADC (包括SVM、LDO及监控电路)以外，所有模拟电路均保持有效。发生以下任何状况时，器件将退出停止模式：端口6发生外部中断、I²C START中断、SVM中断或外部复位。上述中断只有使能后才能使器件退出停止模式。退出停止模式时，系统在10个系统时钟周期内返回CPU模式。若某个中断引起系统退出停止模式，程序则从进入停止模式时的位置开始执行。但是，如果是某个外部中断引起系统退出停止模式，程序则从ORG (启动点)开始执行。表1介绍了不同模式下的模拟/数字电路状态。

寄存器组

器件的大多数功能由寄存器组控制，这些寄存器为存储器操作提供工作空间，并配置、寻址器件的外设寄存器。寄存器分成两大类：系统寄存器(SPR)和外设寄存器(SFR)。公共寄存器组也称作系统寄存器，包括ALU、累加器寄存器、数据指针、中断向量和控制、以及堆栈指针。外设寄存器定义更多的功能，功能被划分为独立模块。关于系统寄存器和外设寄存器的详细信息，请参考MAXQ系列用户指南：MAX31782补充资料(English only)。

系统管理微控制器

硬件乘法器

硬件乘法器(乘法累加器或MAC模块)是一种功能非常强大的工具,尤其对于需要大量计算的应用。该乘法器可在单个机器周期内(有些情况下运行速度更快)对有符号或无符号操作数执行乘、乘反、乘加、乘减运算。MAC模块使用了8个SFR,映射为模块M5中的寄存器0h至07h。

系统中断

器件提供多个中断源以响应内部和外部事件。MAXQ20结构采用单一中断向量(IV)、单一中断服务程序(ISR)设计。为提高灵活性,中断可以按照全局、独立或模块级使能。发生中断条件时,即使中断源以本地、模块或全局形式被禁止,其自身对应的标志位都将置位。必须在固件中断程序内清除中断标志,以避免同一中断源重复产生中断。应用程序必须确保在写中断标志和RETI指令间有一个延时,使中断硬件有时间清除内部中断条件。异步中断标志要求单指令延时,而同步中断标志需要双指令延时。检测到使能中断时,软件跳转到一个用户可编程中断向量的位置。IV寄存器在复位或上电后的缺省值为0000h,如果没有改成其它地址,应用固件必须判断向0000h跳转是由复位引起的,还是由中断源引起的。

一旦软件控制权转移到ISR,可以使用中断识别寄存器(IIR)判定中断源为系统寄存器,还是外设寄存器。除IIR外,还通过MIIR寄存器指示外设模块中的哪个功能引起了中断。器件含有6个外设模块,M0至M5,每个模块下都配有MIIR寄存器。MIIR寄存器为16位只读寄存器,系统复位时的默认值为全0。一旦产生中断的模块输出信号,即可查询具体的中断源,软件即可采取相应措施。由于中断通过应用软件鉴别,可以为每种应用确立一个独特的中断优先级方案。中断源可来自于看门狗定时器、ADC、TACH.n引脚、可编程定时器/计数器、I²C兼容主机和从机接口、SVM及端口6的I/O引脚。

可编程定时器/计数器

器件具有一个通用的可编程定时器/计数器,通常称为定时器B模块。该定时器/计数器的技术指标等同于定时器B模块。与该定时器/计数器相关的有4个寄存器:TBOCN(控制寄存器)、TBOV(数值寄存器)、TBOC(比较寄存器)和TBOR(捕获/重载数值寄存器)。该定时器/计数器有两个引脚:TBA和TBB,分别与P6.4和P6.2引脚复用。使能TBA或TBB时,对应的引脚功能为定时器/计数器引脚,而非GPIO,详细信息请参考I/O端口部分。有关定时器/计数器模块的详细信息,请参考MAXQ系列用户指南:MAX31782补充资料(English only)。

I/O端口

器件有一个简单的输入/输出(I/O)数据端口:端口6。引脚P6.0至P6.4主要用作GPIO引脚以及复用功能。每个引脚至少与一项特殊功能复用,例如:中断、定时器/计数器I/O引脚或JTAG引脚。表2汇总了I/O引脚的功能,图4所示为I/O端口方框图。

端口6的引脚带有施密特触发接收器和CMOS输出驱动器,并可支持复用功能。该端口可通过模块1的6个SFR(PO6、PI6、PD6、EIE6、EIF6和EIES6)操作,每个引脚可单独配置。当定义为输入时,引脚为高阻态或弱上拉,具体取决于输出寄存器中相应的位状态。此外,当编程为输入端时,每个引脚均可作为外部中断,具有独立的使能、标识和有效沿选择。

上电时,P6.0至P6.3引脚默认为JTAG。将SC.TAP清0(上电状态为1),即可将其配置为GPIO。将EIE6.n(n=0至4、6、7)置1,即可将P6.n配置为中断。

引脚P6.2和P6.4有特殊功能,分别是定时器/计数器的TBB和TBA引脚。当TBB或TBA,或两者均使能时,P6.2或P6.4,或两者均被用作相应的特殊功能。P6.2和P6.4作为定时器/计数器引脚时彼此相互独立,即其中一个作为定时器/计数器引脚时,如果没有使能另外一个的特殊功能,则仍可作为GPIO。

表2. I/O端口引脚

PORT INDEX	PRIMARY FUNCTION	ALTERNATE FUNCTION	INTERRUPTS	TAP (JTAG)	RESET STATE
P6.0	GPIO, P6.0	—	INT0	TCK	TCK
P6.1	GPIO, P6.1	—	INT1	TDI	TDI
P6.2	GPIO, P6.2	Timer B TBB Pin	INT2	TMS	TMS
P6.3	GPIO, P6.3	—	INT3	TDO	TDO
P6.4	GPIO, P6.4	Timer B TBA Pin	INT4	—	GPIO input with weak pullup

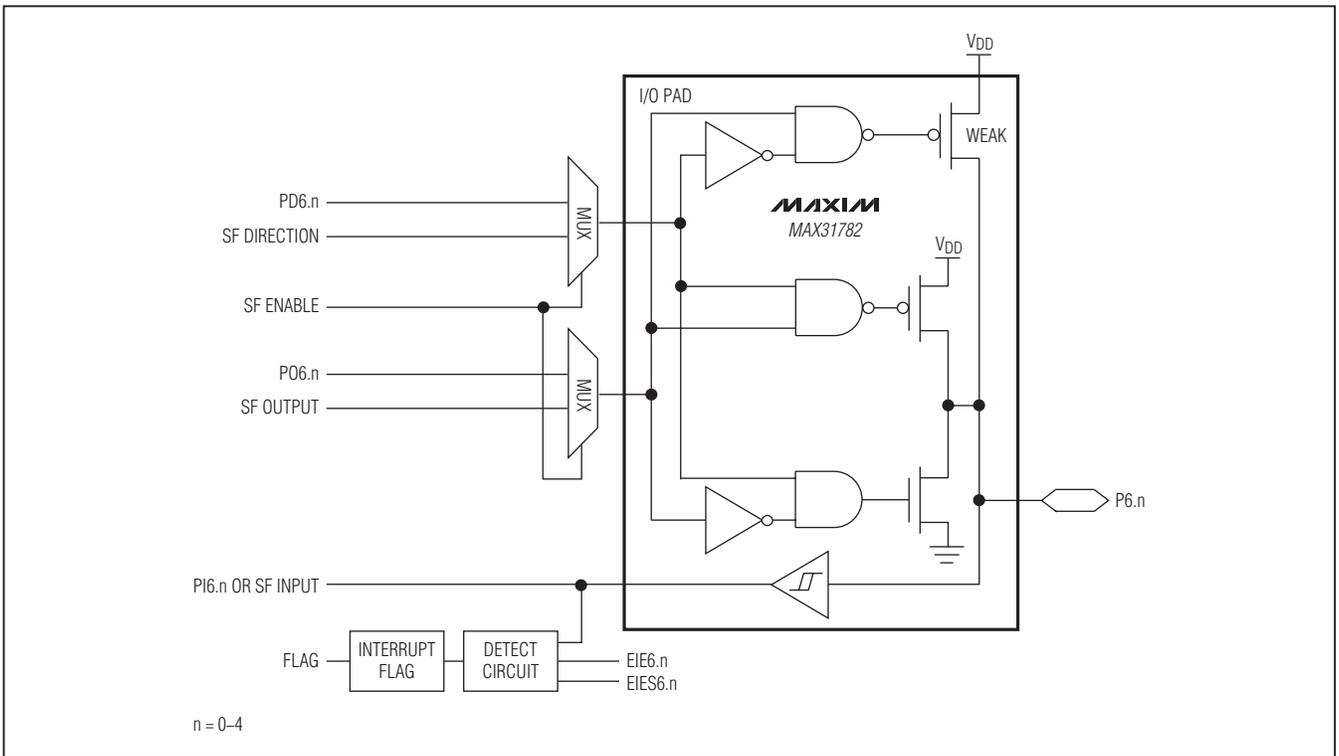


图4. 端口6的I/O方框图

PWM输出

器件提供6路独立的PWM输出。每路PWM输出与4个SFR相关联：PWMCN_n、PWMV_n、PWMR_n和PWMC_n，其中n = 0至5，为通道号。PWM时钟来自于系统时钟，采用PWMCN_n定义的分频比进行分频。PWMCN_n寄存器还使能/禁用PWM输出、选择PWM优先级。用户可通过配置相

应的PWMR_n和PWMC_n寄存器，分别设定每路PWM输出的频率和占空比。

PWM.n引脚的PWM输出功能被禁用时，该引脚可作为GPIO。作为GPIO引脚时，可通过3个SFR将PWM.n引脚作为端口1进行操作：PO1、PI1和PD1。每个PWM.n引脚可独立配置，定义为弱上拉输入、不带上拉的输入或输出。

系统管理微控制器

转速计输入

器件提供6个引脚用于读取风扇转速计脉冲。每个TACH.n引脚功能独立，与3个SFR相关联：TACHCNn（控制寄存器）、TACHVn（定时器数值寄存器）和TACHRn（定时器捕获寄存器），其中n = 0至5，为通道号。

每个TACH.n引脚有一个内部定时器。TACH.n定时器的时钟来自系统时钟，按照TACHCNn定义的分频比进行分频。TACH.n定时器在最初使能时从TACHVn值开始递增计数，并在溢出后继续从0000h开始计数，直到FFFFh溢出，即如果保持使能和运行状态，则从FFFFh返回至0000h重新开始。如果通过配置TACHCNn寄存器使能了捕获功能，预标定转速计脉冲从1跳变到0时，将使TACHVn寄存器的数值传递到TACHRn寄存器，并置位外部触发标识。捕获之后，TACHVn重新装载0000h并继续计数。用户可通过读取TACHRn寄存器计算转速计脉冲周期和风扇速度。

禁用TACH.n引脚的转速计输入功能时，该引脚可作为GPIO。作为GPIO引脚时，可通过3个SFR将TACH.n引脚作为端口2进行操作：PO2、PI2和PD2。每个TACH.n引脚可独立配置，定义为弱上拉输入、不带上拉的输入或输出。

I²C兼容接口模块

器件提供了两个独立的I²C兼容接口：一个为主控制器，一个为从机。

I²C兼容主控制器接口

器件有一个内部I²C兼容主控制器接口，与各种外部I²C器件通信。I²C兼容主控制器总线为双向总线，采用两条信号线：串行数据线(MSDA)和串行时钟线(MSCL)。对于I²C兼容主控制器，器件主导I²C总线，驱动时钟并产生START和STOP信号。从而使器件根据需要向某个从机发送数据，或者从从机接收数据。MSDA和MSCL必须驱动为开漏输出，需要外部上拉电阻将其拉至逻辑高电平。

禁用I²C兼容主控制器接口时，MSDA、MSCL可作为GPIO引脚。作为GPIO引脚时，可通过3个SFR将MSDA和MSCL

分别用作P2.7和P2.6：PO2、PI2和PD2。由于这三个引脚为开漏输出，需要外部上拉实现逻辑高电平。

I²C兼容从机接口

器件提供一个内部I²C兼容从机接口，与主控制器通信。不仅如此，器件还可通过I²C兼容从机接口进行在系统编程(引导载入)。对于I²C兼容从机接口，器件依赖于外部产生的时钟驱动SCL，并且只有在I²C主控制器请求时响应数据和命令。

SMBus超时

I²C兼容主控制器和从机接口均可工作于SMBus兼容模式，与其它SMBus器件通信。为了实现这一功能，I²C兼容从机接口配备了一个30ms定时器，使接口兼容于SMBus总线。该定时器用于在SCL保持低电平的时间超过30ms时产生一个超时中断，使固件复位I²C兼容从机接口。只有以下条件均不存在时，定时器才启动：

- I²C兼容从机接口处于空闲状态，且总线上没有数据通信。
- I²C兼容从机接口在SMBus兼容模式下没有工作。
- SCL逻辑电平为高。
- 禁用I²C兼容从机接口。

发生超时后，超时位被置位并产生一次中断(如果使能)。如果发生超时中断，则禁止执行固件并重新使能I²C兼容从机接口。该过程之后，SCL和SDA引脚置为高阻，所有I²C从机相关的SFR都由固件重新加载。

模/数转换器(ADC)

器件含有一个带7路输入复用器的12位模/数转换器(ADC)(图5)。复用器从6路外部通道和1路内部通道选择ADC输入。6路外部通道可工作于全差分电压模式或单端电压模式。此外，6路通道中的任一通道可以配置为测量外部二极管温度，内部通道专用于测量管芯温度。ADC由SFR寄存器控制。

ADC可以设置为连续轮询输入通道(连续模式)或完成转换后进入关断模式,以节省功耗(单次模式)。

六个外部通道可分别配置为工作在外部温度模式。外部温度模式下,电流强制进入连接在用户指定通道引脚之间的外部二极管。通过测量二极管在各种偏置电流下的电压获得二极管温度。器件采用3点串联电阻抵消算法,以提高温度测量精度。ADC测量的外部二极管温度不受环路电阻影响。在外部和内部温度测量模式下可自动选择内部基准,满量程值(FS)固定为1.225V,温度测量分辨率为0.125°C。

外部通道配置为工作在电压模式时,作用到相应通道(差分或单端)的电压将被转换为数字读数。电压模式下,可以采用内部或外部基准。如果采用内部基准,FS可以设置为1.225V或5.5V。通过调整相关寄存器(ADCG1和ADCG5),可微调FS。

电压模式下,完成一次ADC转换需要34个ADCCLK周期。ADCCLK来自系统时钟,按照ADC控制寄存器定义的分频

比进行分频。ADC最高采样率为SYSCLK/544。采用4MHz系统时钟时,该采样率理论值为7.35ksps。如果实际应用中需要延长采集时间,可以根据ADC控制寄存器确定的延长周期进行采样。

ADC有8个配置寄存器。每个通道均可独立配置,例如:差分模式选择、数据排列选择、延长采样使能、ADC基准选择和外部温度模式选择等。ADC还具有16个13位循环数据缓冲器,用于保存转换结果。ADC数据提供中断标识(ADDAI),配置为按照预先确定的采样次数触发一次中断。ADDAI置位后,可通过软件清零或在转换开始时清零。

当器件处于停止模式时,任何正在进行的ADC转换均被中止,ADC启动转换位(ADCONV)复位为0,ADC完全关断以节省功耗。退出停止模式时,ADC等待ADCONV = 1。当ADCONV置1时,器件在开始采样之前计数20个ADCCLK周期。

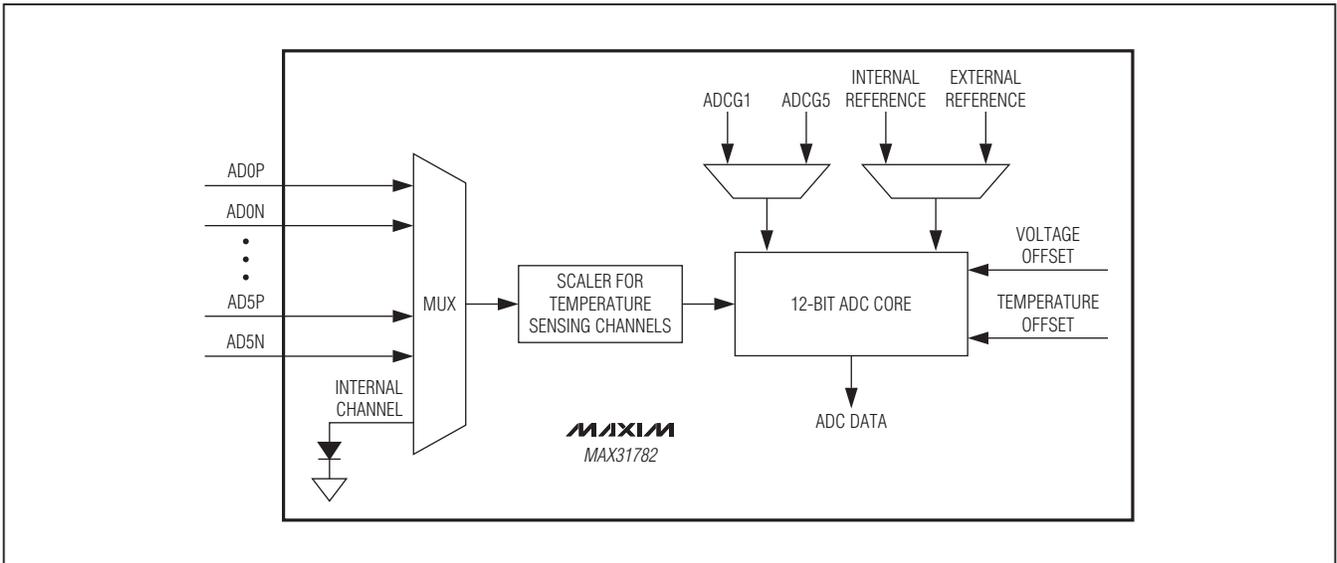


图5. ADC方框图

系统管理微控制器

在电路调试

通过JTAG兼容测试访问端口(TAP)实现嵌入式调试功能。嵌入式调试硬件和嵌入式ROM固件为用户应用程序提供在电路调试功能，无需昂贵的在电路仿真器。图6所示为在电路调试器的框图。在电路调试器具有以下特性：

- 硬件调试引擎
- 寄存器组，能够在寄存器、程序或数据操作(ICDA、ICDB、ICDC、ICDD、ICDF、ICDT0和ICDT1)中设置断点
- 调试服务程序组保存在固定用途ROM中

嵌入式硬件调试引擎是微控制器的一个独立硬件模块。调试引擎在CPU执行用户程序时可以监测内部操作，并与所选择的内部寄存器进行交互。硬件和软件功能相结合，能够实现两种基本的在电路调试模式：后台和调试。

后台模式允许主控制器配置、设置在电路调试器，而CPU继续全速执行应用软件。调试模式可从后台模式激活。

调试模式允许调试引擎控制CPU，提供对内部寄存器和存储器的读/写操作以及单步执行。

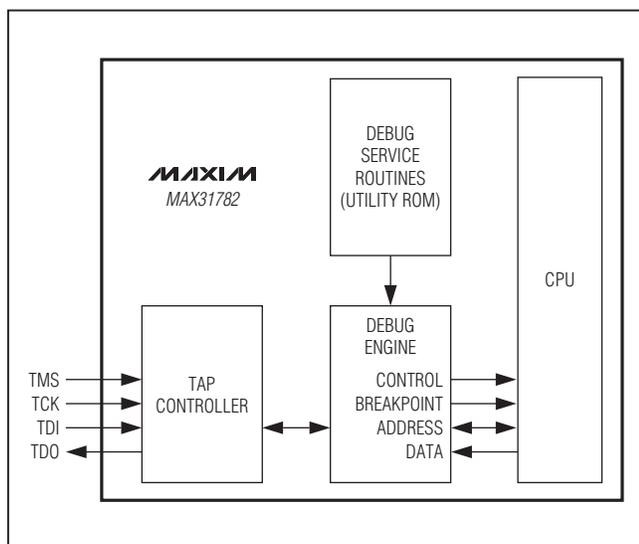


图6. 在电路调试器

应用信息

电源去耦

使用器件时，为了获得最佳结果需要在V_{DD}端增加一个0.1μF去耦电容，尽可能采用高质量表贴陶瓷电容。表贴元件将引线电感降至最小，有助于改善性能，另外，采用陶瓷电容去耦能够满足高频响应的要求。

通过1μF和10nF电容对REG25和REG18去耦(每个输出端一组)。注：请勿将这些引脚用于外部电路供电。

其它文档

设计人员在使用该器件的所有功能时必须具有四个文档。数据资料包含引脚说明、特性概述和电气规格。勘误表列出了与已公布指标的差异。用户指南提供了器件特性和工作过程的详细信息。以下文档可从china.maxim-ic.com下载。

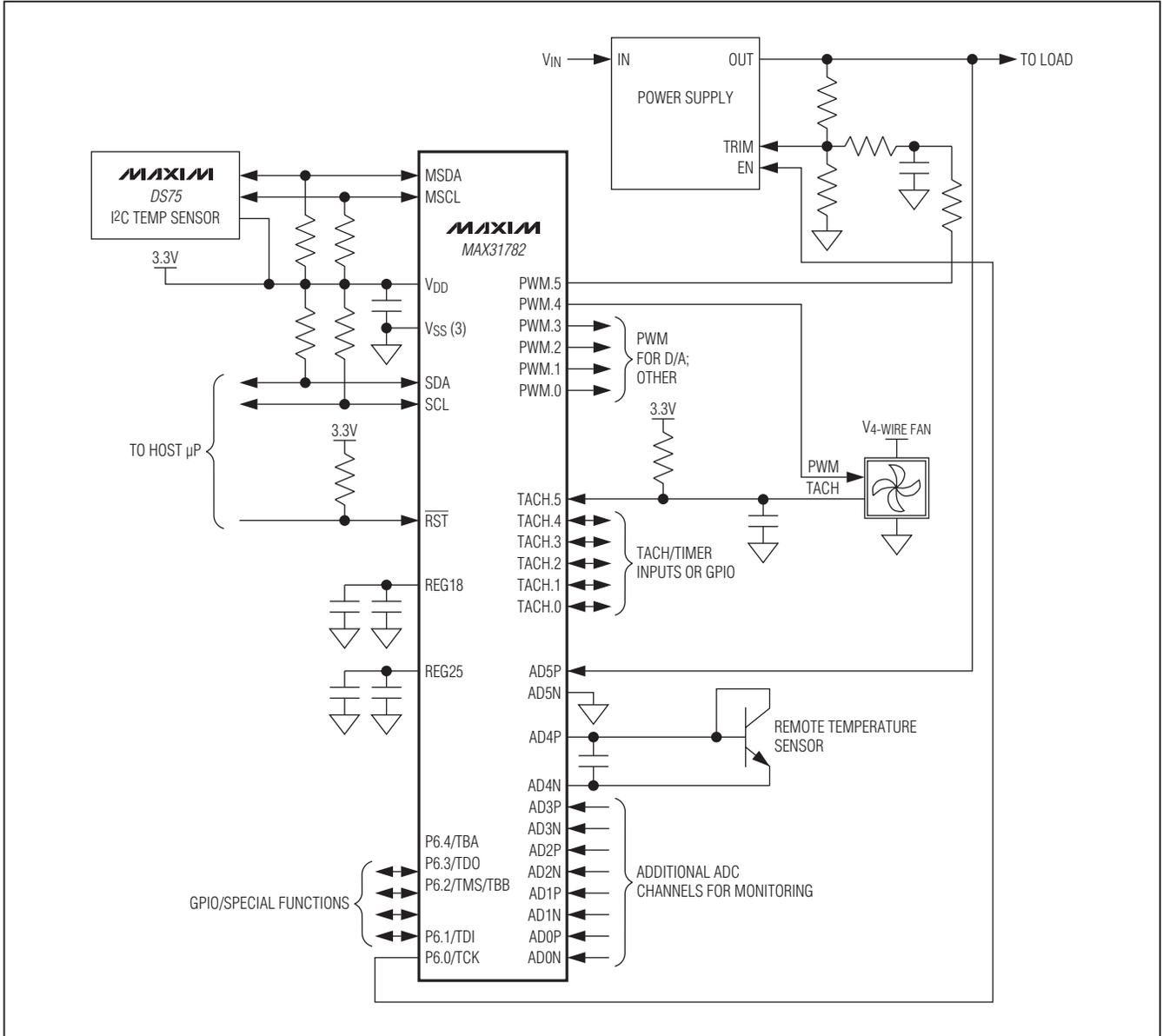
- MAX31782数据资料，包含电气/时序规格和引脚说明。
- MAX31782相关版本的勘误表(china.maxim-ic.com/errata)。
- MAXQ系列用户指南(English only)，提供有关内核电路的功能和操作的详细信息，包括编程等内容。
- MAXQ系列用户指南:MAX31782补充资料(English only)，提供有关MAX31782特殊功能的详细信息。

开发和技术支持

Maxim和第三方供应商为这款微控制器提供各种高度通用、低成本的开发工具，包括：

- 编译器(C和汇编)
- 在电路调试器
- 集成开发环境(IDE)
- 用于编程和调试的串口至JTAG转换器
- 用于编程和调试的USB至JTAG转换器

如需技术支持，请发送电子邮件至mixedsignal.apps@maxim-ic.com。



封装信息

如需最近的封装外形信息和焊盘布局, 请查询 china.maxim-ic.com/packages。请注意, 封装编码中的“+”、“#”或“-”仅表示RoHS状态。封装图中可能包含不同的尾缀字符, 但封装图只与封装有关, 与RoHS状态无关。

封装类型	封装编码	外形编号	焊盘布局编号
40 TQFN-EP	T4066+2	21-0141	90-0053

系统管理微控制器

修订历史

修订号	修订日期	说明	修改页
0	6/10	最初版本。	—

Maxim北京办事处

北京8328信箱 邮政编码 100083

免费电话: 800 810 0310

电话: 010-6211 5199

传真: 010-6211 5299

Maxim不对Maxim产品以外的任何电路使用负责, 也不提供其专利许可。Maxim保留在任何时间、没有任何通报的前提下修改产品资料和规格的权利。

20 **Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600**

© 2010 Maxim Integrated Products

Maxim是Maxim Integrated Products, Inc.的注册商标。