

概述

DS33Z44 通过将 MAC 帧封装进 HDLC 或者 X.86 (LAPS), 在四路 PDH/TDM 数据流上进行传输, 实现对四个 10/100 以太网 LAN 网段的扩展。串行链路支持在 xDSL、T1/E1/J1、T3/E3、V.35/Optical、OC-1/EC-1 或 SONET/SDH 支路上速率高达 52Mbps 的双向同步互连。

器件能以全线路速率执行数据包存储转发。内建约定信息速率 (CIR) 控制器在最大线路速率范围内, 提供步长 512kbps 的带宽分配。DS33Z44 可同廉价的外部处理器、EEPROM 一起工作, 也能够以硬件模式独立工作。

应用

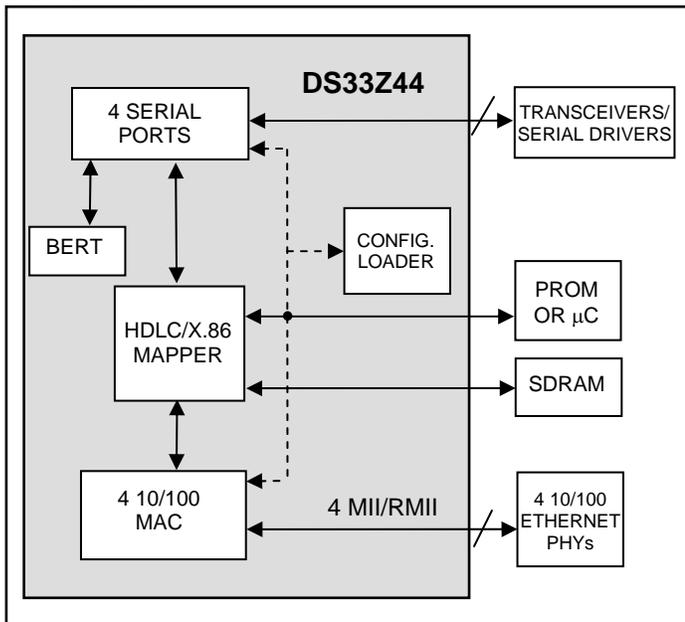
透明 LAN 服务器

LAN 扩展设备

在 T1/E1/J1、T3/E3、OC-1/EC-1、

G.SHDSL 或 HDSL2/4 上实现以太网传输

功能框图



特性

- 四路 10/100 IEEE 802.3 以太网 MAC (MII 和 RMII), 提供具有自动流控功能的半/全双工方式
- 具有独立发送和接收时序的四路 52Mbps 同步 TDM 串行端口
- 具有可编程 FCS 和帧间填充的 HDLC/LAPS 封装
- 约定信息速率控制器以 512kbps 步长提供带宽分配
- 为串行 (TDM) 接口提供可编程 BERT
- 外部 16MB、100MHz SDRAM 缓冲
- 并行微处理器接口
- 无需主处理器的 SPI 接口和硬件工作模式
- 1.8V 工作电压, 3.3V I/O 容限
- 支持 IEEE 1149.1 JTAG

第10页上继续给出特性.

订购信息

PART	TEMP RANGE	PIN-PACKAGE
DS33Z44	-40°C to +85°C	256 CSBGA

请访问www.maxim-ic.com.cn/telecom, 了解完整的电信数据资料、评估板、应用笔记和下载软件。

注: 产品的部分修订版本可能与公布的产品规格有所偏差, 可通过产品勘误表了解到具体信息。产品的多种修订版本可能通过不同的销售渠道同时提供给用户。了解产品勘误表的信息可访问: www.maxim-ic.com.cn/errata。

文档修订记录

REVISION	DESCRIPTION
120304	New Product Release

目 录

1	概述	9
2	关键特性	10
2.1	概述	10
2.2	串行接口	10
2.3	HDLC	10
2.4	约定信息速率 (CIR) 控制器	10
2.5	X.86 支持	10
2.6	SDRAM 接口	11
2.7	MAC 接口	11
2.8	微处理器接口	11
2.9	串行 SPI 接口——仅主机模式	11
2.10	默认设置	11
2.11	测试和诊断	11
2.12	规范兼容性	12
3	应用	13
4	缩略词和术语表	16
5	主要工作模式	17
6	模块框图	18
7	引脚说明	19
7.1	引脚功能说明	19
8	功能说明	30
8.1	处理器接口	30
8.1.1	读-写/数据选通模式	31
8.1.2	读操作清零	31
8.1.3	中断和引脚模式	31
8.2	SPI 串行 EEPROM 接口	31
8.3	时钟结构	32
8.3.1	串行接口时钟模式	34
8.3.2	以太网接口时钟模式	34
8.4	复位和低功耗模式	35
8.5	初始化和设置	36
8.6	全局资源	36
8.7	每端口资源	36
8.8	器件中断	37
8.9	串行接口	39
8.10	连接和队列	39
8.11	仲裁器	42
8.12	流控	42
8.12.1	全双工流控	43
8.12.2	半双工流控	44
8.12.3	主机管理的流控	44
8.13	以太网接口	45
8.13.1	DTE 和 DCE 模式	47
8.14	以太网 MAC	48
8.14.1	MII 模式选项	50

8.14.2	RMII 模式	50
8.14.3	PHY MII 管理模块和 MDIO 接口	51
8.15	BERT	53
8.15.1	接收数据接口	53
8.15.2	重复码型同步	54
8.15.3	码型监视	55
8.15.4	码型产生	55
8.16	串行接口	56
8.17	发送数据包处理器	56
8.18	接收数据包处理器	57
8.19	X.86 编码和解码	59
8.20	约定信息速率控制器	62
8.21	硬件模式	64
9	器件寄存器	68
9.1	寄存器位映射	69
9.1.1	全局寄存器位映射	69
9.1.2	仲裁器寄存器位映射	70
9.1.3	BERT 寄存器位映射	70
9.1.4	串行接口寄存器位映射	71
9.1.5	以太网接口寄存器位映射	73
9.1.6	MAC 寄存器位映射	74
9.2	全局寄存器定义	76
9.3	仲裁器寄存器	90
9.3.1	仲裁器寄存器位说明	90
9.4	BERT 寄存器	93
9.5	串行接口寄存器	100
9.5.1	串行接口发送和通用寄存器	100
9.5.2	串行接口发送寄存器位说明	100
9.5.3	发送 HDLC 处理器寄存器	101
9.5.4	X.86 寄存器	107
9.5.5	接收串行接口	109
9.6	以太网接口寄存器	122
9.6.1	以太网接口寄存器位说明	122
9.6.2	MAC 寄存器	134
10	功能时序	151
10.1	串行 I/O 功能时序	151
10.2	MII 和 RMII 接口	152
10.3	SPI 接口模式和 EEPROM 编程序列	154
11	工作参数	157
11.1	MII 接口	160
11.2	RMII 接口	162
11.3	MDIO 接口	164
11.4	发送 WAN 接口	165
11.5	接收 WAN 接口	166
11.6	SDRAM 时序	167
11.7	微处理器总线 AC 特性	169
11.8	EEPROM 接口时序	172
11.9	JTAG 接口时序	173

12	JTAG 信息	174
12.1	JTAG/TAP 控制器状态机说明	175
12.2	指令寄存器	177
12.2.1	SAMPLE:PRELOAD	178
12.2.2	BYPASS	178
12.2.3	EXTEST	178
12.2.4	CLAMP	178
12.2.5	HIGHZ	178
12.2.6	IDCODE	178
12.3	JTAG ID 代码	179
12.4	测试寄存器	179
12.5	边界扫描寄存器	179
12.6	旁路寄存器	179
12.7	标识寄存器	179
12.8	JTAG 功能时序	180
13	封装信息	181
13.1	17MM x 17MM 256-CSBGA	181

图

图 3-1. 以太网到广域网扩展 (非成帧)	13
图 3-2. 以太网到广域网扩展 (T1/E1 成帧和 LIU)	14
图 3-3. 带有 T3/E3 成帧的以太网到广域网扩展	14
图 3-4. DSL 实现以太网传输	15
图 3-5. 铜缆至光纤连接	15
图 6-1. 详细的模块框图	18
图 7-1. 256 焊球 CSBGA 引脚图	29
图 8-1. DS33Z44 时钟	33
图 8-2. 器件中断信息流程图	38
图 8-3. 发送连接图	40
图 8-4. 接收连接图	41
图 8-5. 采用暂停控制帧的流控	44
图 8-6. IEEE 802.3 以太网帧	45
图 8-7. MII 模式下, 设置为与以太网 PHY 连接的 DTE	47
图 8-8. MII 模式下, DS33Z44 设置为 DCE	48
图 8-9. RMII 接口	51
图 8-10. MII 管理帧	52
图 8-11. PRBS 同步状态图	54
图 8-12. 重复码型同步状态图	55
图 8-13. MAC 帧 LAPS 编码	59
图 8-14. MAC 域 X.86 封装	60
图 8-15. WAN 发送通路的 CIR	63
图 10-1. Tx 串行接口功能时序	151
图 10-2. Rx 串行接口功能时序	151
图 10-3. 发送字节 Sync 功能时序	152
图 10-4. 接收字节 Sync 功能时序	152
图 10-5. MII 发送功能时序	153
图 10-6. 半双工出现冲突时, MII 发送功能时序	153
图 10-7. MII 接收功能时序	153
图 10-8. RMII 发送接口功能时序	153
图 10-9. RMII 接收接口功能时序	154
图 10-10. SPI 主机功能时序	154
图 11-1. 发送 MII 接口	160
图 11-2. 接收 MII 接口时序	161
图 11-3. 发送 RMII 接口	162
图 11-4. 接收 MII 接口时序	163
图 11-5. MDIO 时序	164
图 11-6. 发送 WAN 时序	165

图 11-7. 接收 WAN 时序	166
图 11-8. SDRAM 接口时序.....	168
图 11-9. Intel 总线读时序 (HWMODE = 0, MODEC = 00)	170
图 11-10. Intel 总线写时序 (HWMODE = 0, MODEC = 00)	170
图 11-11. Motorola 总线读时序 (HWMODE = 0, MODEC = 01)	171
图 11-12. Motorola 总线写时序 (HWMODE = 0, MODEC = 01)	171
图 11-13. EEPROM 接口时序	172
图 11-14. JTAG 接口时序图	173
图 12-1. JTAG 功能模块框图	174
图 12-2. Tap 控制器状态图	177
图 12-3. JTAG 功能时序.....	180

表

表 2-1. 与 T1 相关的电信规范	12
表 7-1. 详细的引脚说明	19
表 8-1. 以太网接口时钟选项	32
表 8-2. LAN 接口时钟选择	34
表 8-3. 复位功能	35
表 8-4. 连接和队列相关的寄存器	41
表 8-5. 流控选项	42
表 8-6. 以太网端口相关寄存器	46
表 8-7. MAC 控制寄存器	49
表 8-8. MAC 状态寄存器	49
表 8-9. 串行端口功能	56
表 8-10. 硬件模式和应用	64
表 8-11. 硬件模式专用功能的默认值	65
表 8-12. 硬件模式引脚	67
表 9-1. 寄存器地址映射	68
表 9-2. 全局寄存器位映射	69
表 9-3. 仲裁器寄存器位映射	70
表 9-4. BERT 寄存器位映射	70
表 9-5. 串行接口寄存器位映射	71
表 9-6. 以太网接口寄存器位映射	73
表 9-7. MAC 间接寻址寄存器位映射	74
表 10-1. EEPROM 编程存储器映射	155
表 10-2. 可由 EEPROM 编程设置的 MAC 寄存器	156
表 11-1. 推荐的 DC 工作条件	157
表 11-2. DC 电气特性	157
表 11-3. 输出引脚典型驱动电流	158
表 11-4. SDRAM 接口时序	167
表 12-1. IEEE 1149.1 体系指令代码	178
表 12-2. ID 代码结构	179

1 概述

DS33Z44 为以太网数据包系统和 T1/E1/J1、HDSL、T3/E3 等 WAN 时分复用 (TDM) 系统之间提供了互连和映射功能。该器件包括四个 10/100 以太网 MAC、一个数据包仲裁器、四个约定信息速率控制器 (CIR)、HDLC/X.86 (LAPS) 映射器、一个 SDRAM 接口、控制端口和一个误码率测试器 (BERT)。数据包接口由采用多个物理层协议的四个以太网接口组成。以太网接口速率可设置为 10Mbps 或 100Mbps。DS33Z44 采用 HDLC 或 X.86 (LAPS) 对以太网数据包进行封装，通过 WAN 接口进行传输。WAN 接口接收封装的以太网数据包，向以太网端口发送解封的数据包。WAN 物理接口支持速率高达 52Mbps 的串行数据流。WAN 接口能够与 Dallas Semiconductor/Maxim 的 T1/E1/J1 成帧器、线路接口单元 (LIU) 和单片收发器 (SCT) 进行无缝连接。WAN 接口还可以无缝连接至 Dallas Semiconductor/Maxim 的 T3/E3/STS-1 成帧器、LIU 和 SCT，实现与 T3、E3 和 STS-1 的连接。请参考应用笔记 3411: *DS33Z11—以太网 LAN 到非成帧 T1/E1 WAN 桥*，了解 LAN 至 WAN 完整解决方案实例。

可通过 8 位微控制器端口对 DS33Z44 进行控制。对于没有主处理器的应用，可提供串行 EEPROM (SPI) 接口和硬件设置模式。DS33Z44 具有 100MHz SDRAM 控制器和 32 位宽的 128Mb SDRAM 接口。SDRAM 用于对以太网和 WAN 数据进行缓冲。外部 SDRAM 可最多存储 8192 个帧，最大帧长 2016 字节。

没有外部主机的工作模式简化了 T1/T3 和 E1/E3 前端连接等典型应用，并降低了成本。DS33Z44 内核工作电压为 1.8V，I/O 供电为 3.3V。

2 关键特性

2.1 概述

- 256 引脚 CSBGA 封装
- 1.8V 供电，输入和输出容限 3.3V
- IEEE 1149.1 JTAG 边界扫描
- 软件读取器件 ID 和芯片版本
- 开发支持包括评估板、驱动器源代码和参考设计

2.2 串行接口

- 支持最大 52Mbps 线路速率
- 支持数据使能和间隙时钟
- 支持 X.86 的字节同步输入和输出

2.3 HDLC

- 4 路 HDLC 控制器
- 兼容轮询或中断驱动环境
- 可编程 FCS 插入和提取
- 可编程 FCS 类型
- 支持 FCS 误码插入
- 可编程数据包长度限制 (最小 64 字节，最大 2016 字节)
- 支持位填充/去填充
- 可选数据包加扰/解扰 ($X^{43}+1$)
- 独立的 FCS 误码数据包和丢弃数据包计数
- 发送 HDLC 可编程帧间填充

2.4 约定信息速率 (CIR) 控制器

- 4 路 CIR 控制器限制以太网接口至串行接口的数据传输
- CIR 粒度 512kbps
- CIR 平均平滑峰值流量

2.5 X.86 支持

- 发送和接收的可编程 X.86 地址/控制域
- 发送和接收的可编程 2 字节协议 (SAPI)
- 32 位 FCS
- 发送透明处理-7D, 5E 替换 7E
- 发送透明处理-7D, 5D 替换 7D
- 删除接收速率适配 (7D, DD)
- 接收透明处理-7E 替换 7D, 5E
- 接收透明处理-7D 替换 7D, 5D
- 如果探测到丢弃序列 7D7E, 则 LAPS 数据包被丢弃
- 自同步 $X^{43}+1$ 负载加扰
- 指示错误地址/控制/SAPI、FCS 误码、丢弃序列或帧长度超过预设最大值的帧标识

2.6 SDRAM 接口

- 128Mb、32 位 SDRAM 接口
- SDRAM 接口速率最大 100MHz
- 自动刷新时序
- 自动预充电
- 主机时钟提供给 SDRAM
- 连接 SDRAM 无需外部元件

2.7 MAC 接口

- 4 个带有标准 MII (无 TX_ER) 或 RMII 的 MAC 端口
- 10Mbps 和 100Mbps 数据速率
- 可设置的 DTE 或 DCE 模式
- 通过主机微处理器简化自动协商功能
- 可编程半双工和全双工模式
- 半双工 (反压) 和全双工 (PAUSE) 模式的流控
- 可编程最大 MAC 帧长度可达 2016 个字节
- 最小 MAC 帧长度: 64 字节
- 接收时, 丢弃长度大于预设最大 MAC 帧长度的帧以及不完整、非 8 位字节边界和 FCS 出错的帧
- 可设置混合广播-丢弃模式
- SDRAM 队列可编程阈值, 启动流控和状态标志
- MAC 环回支持 MII/RMII 接口的发送数据环回至接收端

2.8 微处理器接口

- 8 位数据总线
- 非复用的 Intel 和 Motorola 时序模式
- 内部软件复位和外部硬件复位引脚
- 全局中断输出引脚

2.9 串行 SPI 接口——仅主机模式

- 为外部 EEPROM 提供片选和时钟
- 最大工作速率 8.33MHz
- 4 线接口

2.10 默认设置

- 对于没有外部微处理器的情况, 提供三种默认硬件设置
- 硬件模式设置实现与 T1/E1 和 T3/E3 WAN 系统的简单连接
- 硬件引脚设置具有一定的灵活性

2.11 测试和诊断

- IEEE 1149.1 支持
- 可编程片内 BERT
- 码型包括伪随机 QRSS、Daly 和用户定义的重复码型
- 环回 (远端、本地、模拟和每通道环回)

2.12 规范兼容性

DS33Z44 符合相关电信规范。下表所提供的规范和相关部分适用于 DS33Z44。

表2-1. 与 T1 相关的电信规范

IEEE 802.3-2002—CSMA/CD access method and physical layer specifications.
RFC1662—PPP in HDLC-like Framing
RFC2615—PPP over SONET/SDH
X.86—Ethernet over LAPS
RMII—Industry Implementation Agreement for “Reduced MII Interface,” Sept 1997

3 应用

- 透明 LAN 服务器
- LAN 扩展设备
- 在 T1/E1/J1、T3/E3、OC-1/EC-1、G.SHDSL 以及 HDSL2/4 上实现以太网传输

请参考应用笔记 3411: *DS33Z11—以太网 LAN 到非成帧 T1/E1 WAN 桥*, 了解完整的 LAN 至 WAN 设计实例。

图3-1. 以太网到广域网扩展 (非成帧)

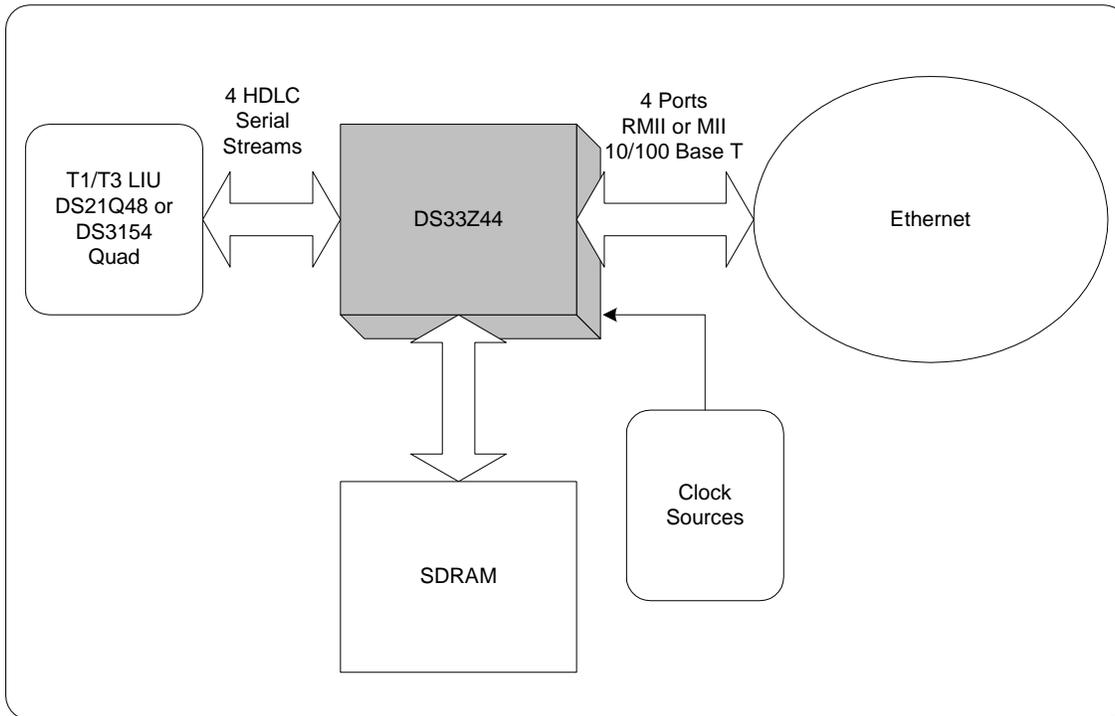


图3-2. 以太网到广域网扩展 (T1/E1 成帧和 LIU)

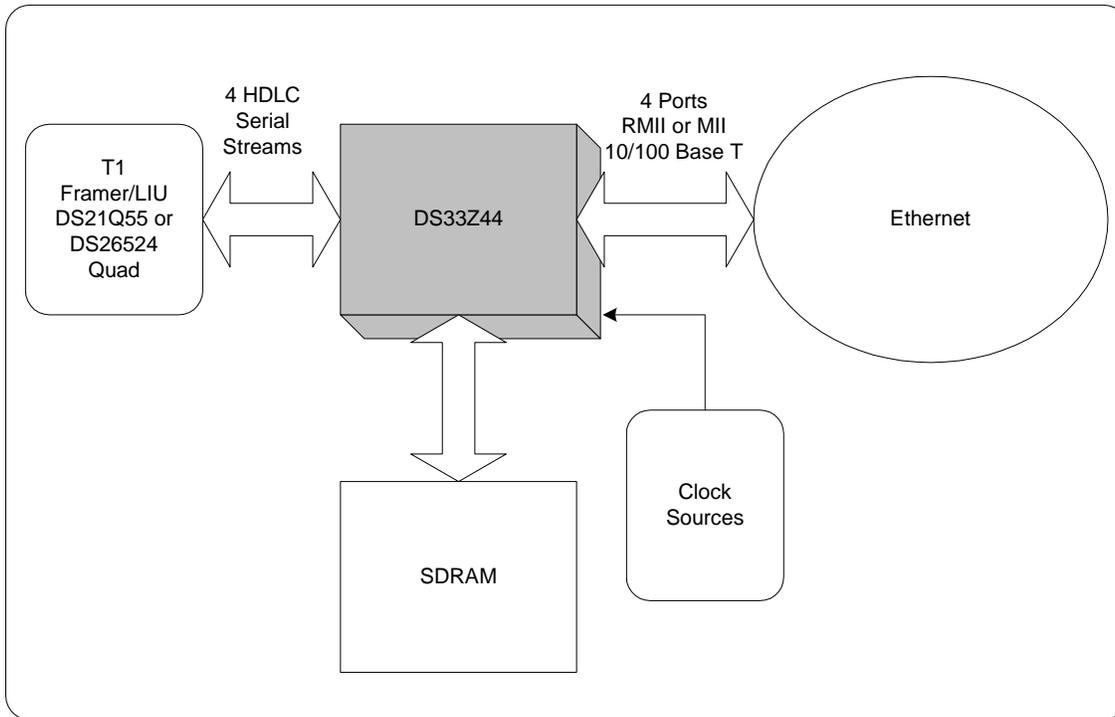


图3-3. 带有 T3/E3 成帧的以太网到广域网扩展

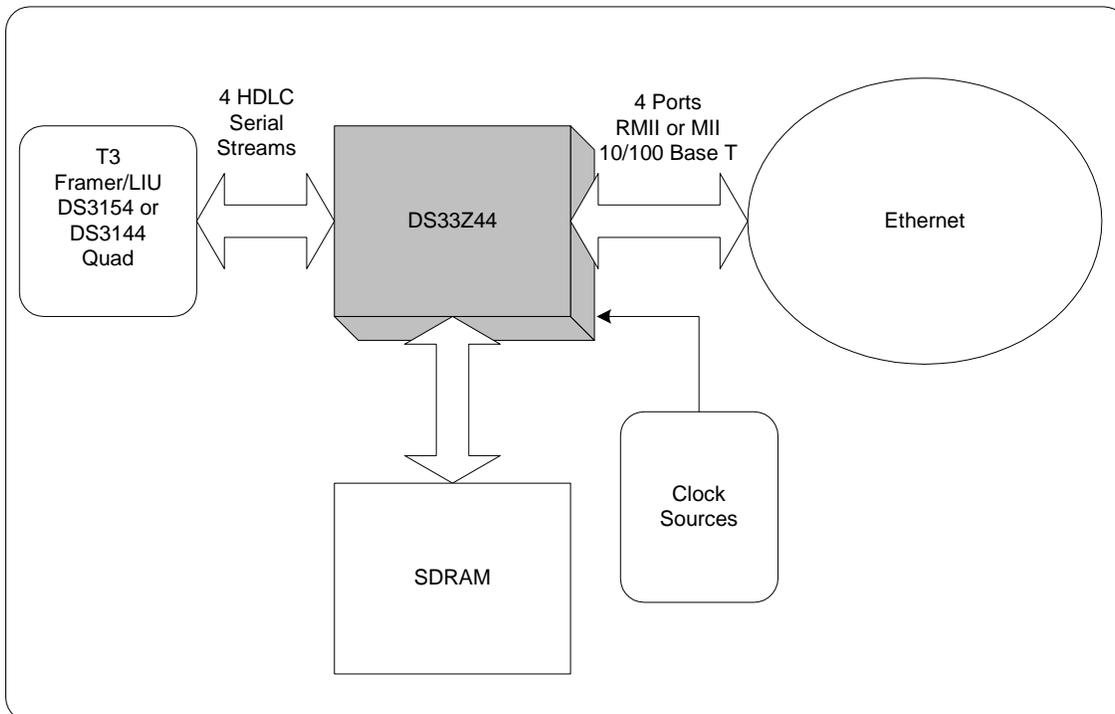


图3-4. DSL 实现以太网传输

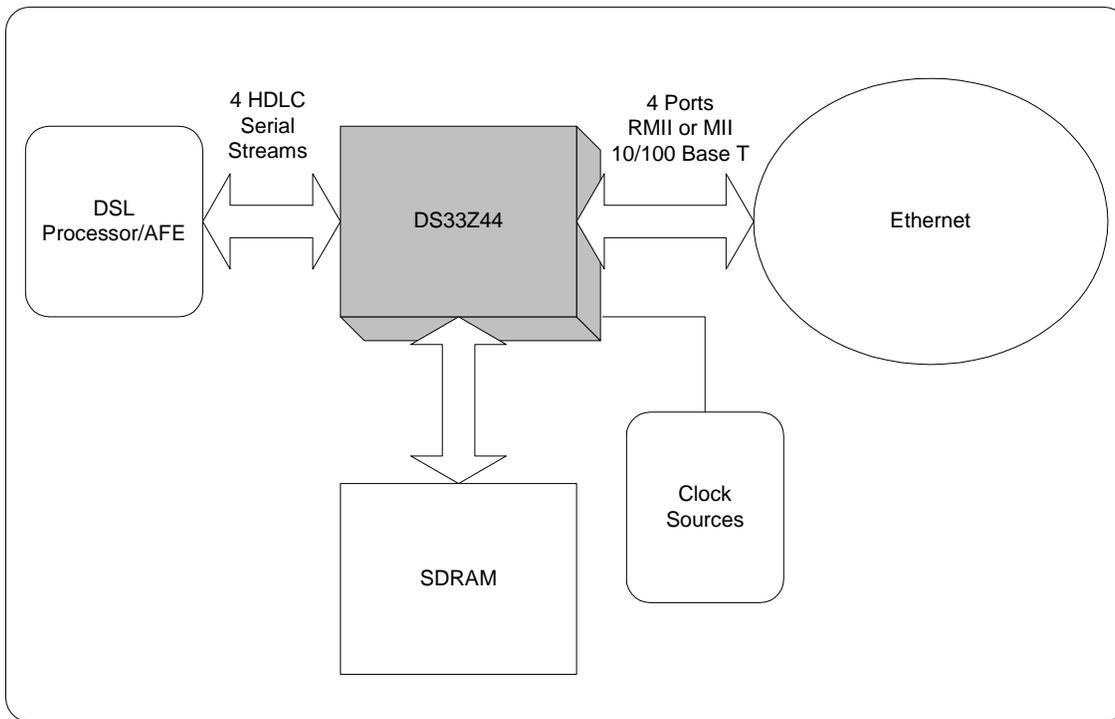
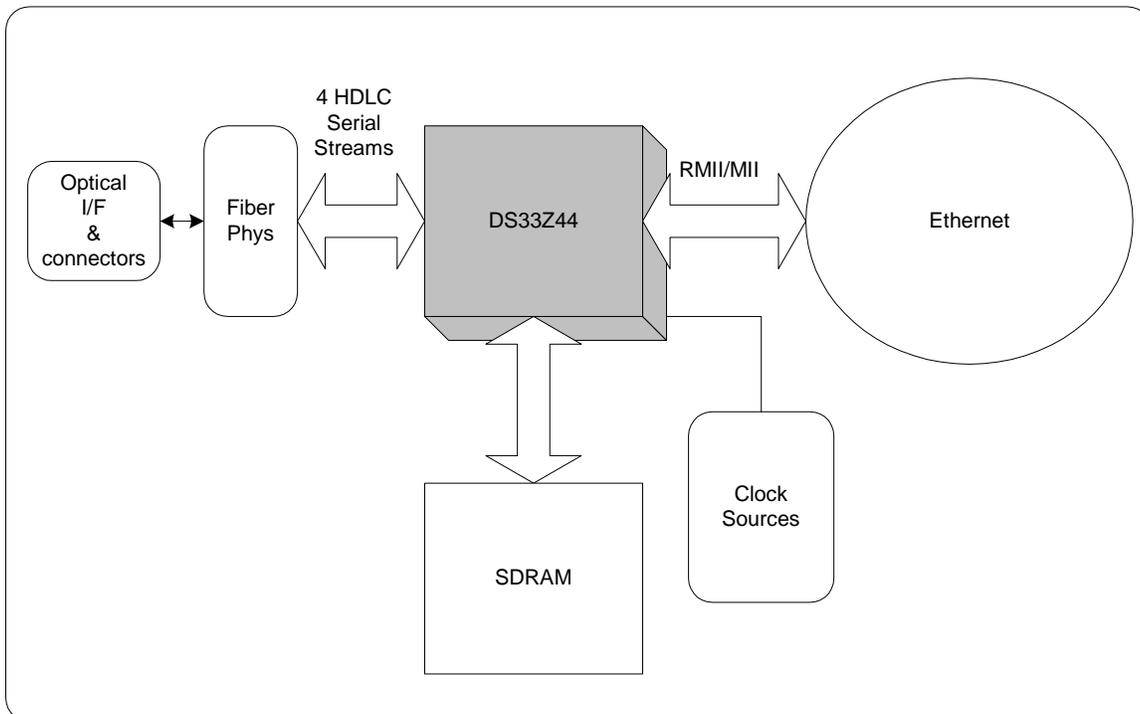


图3-5. 铜缆至光纤连接



4 缩略词和术语表

- BERT: Bit Error-Rate Tester 误码率测试仪
- DCE: Data Communication Interface 数据通信接口
- DTE: Data Terminating Interface 数据终端接口
- FCS: Frame Check Sequence 帧校验序列
- HDLC: High-Level Data Link Control 高级数据链路控制
- MAC: Media Access Control 介质访问控制
- MII: Media Independent Interface 介质无关接口
- RMII: Reduced Media Independent Interface 简化介质无关接口
- WAN: Wide Area Network 广域网

注 1: 本文档以前版本中采用术语“Subscriber”来表示以太网接口功能。寄存器命名继续以前缀“SU.”的形式保留，不再重新命名。

注 2: 本文档以前版本中采用术语“Line”来表示串行接口。寄存器命名继续以前缀“LI.”的形式保留，不再重新命名。

注 3: 术语“发送队列”和“接收队列”与以太网接口有关。接收队列是 MII/RMII 接口接收的数据，由 MAC 进行处理，存储在 SDRAM 中。发送队列是串行端口接收的数据，由 HDLC 进行处理，存储在 SDRAM 中，送入 MAC 发送器。

5 主要工作模式

DS33Z44 有三种主要工作模式：微处理器控制、EEPROM 初始化和硬件模式。

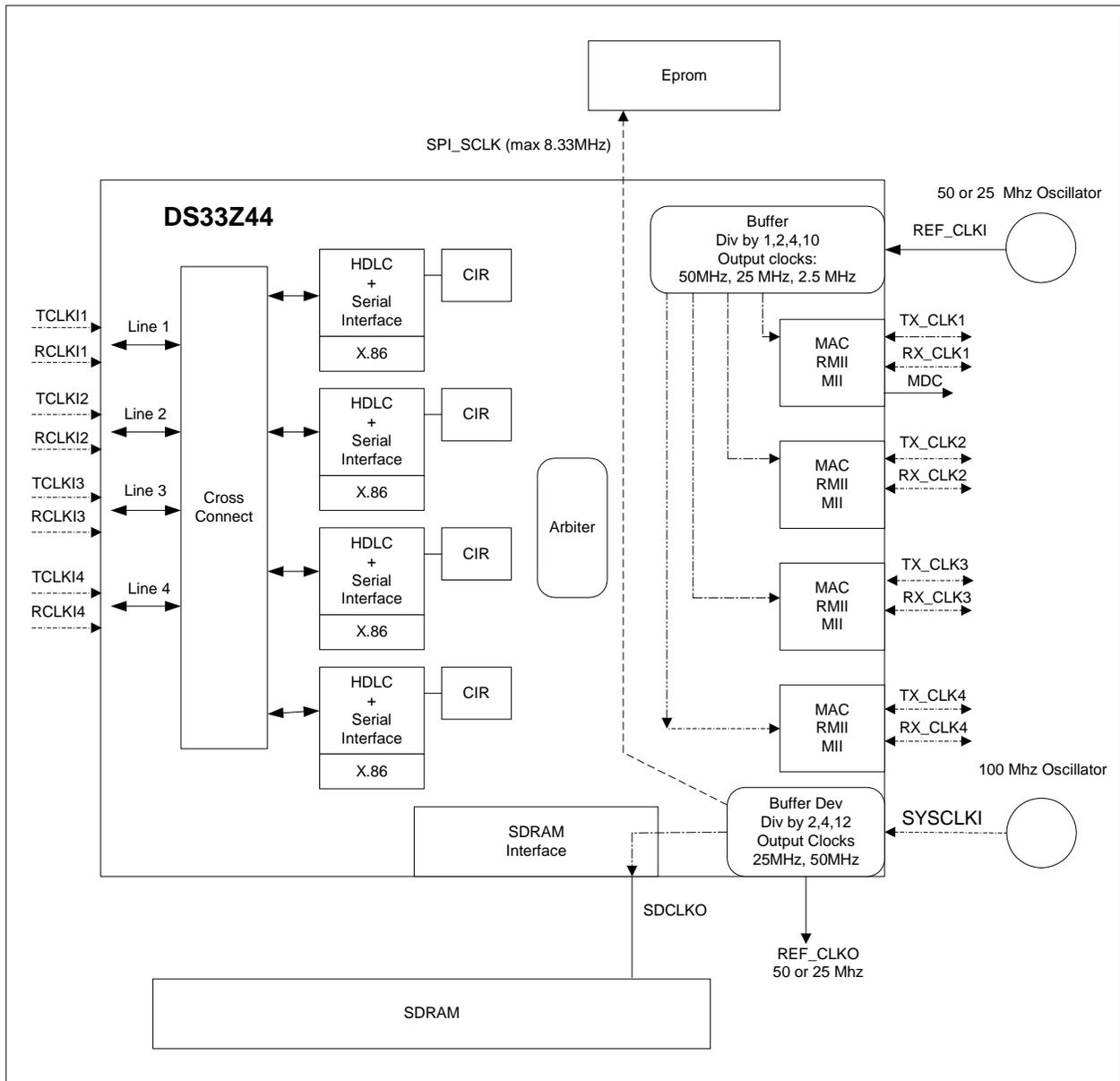
微处理器控制模式可通过 8 位并行控制端口实现。[8.1](#)节是微处理器控制模式的详细信息。

器件复位和初始化后，内置的 SPI 主机读取连接在 SPI 端口的串行 EEPROM，实现 EEPROM 初始化。[8.2](#)节是 EEPROM 工作模式的详细信息。

硬件模式实现没有微处理器或 EEPROM 时的器件设置。[8.21](#)节是硬件模式的详细信息。

6 模块框图

图6-1. 详细的模块框图



7 引脚说明

7.1 引脚功能说明

注意，在 JTAG 模式下所有数字引脚都是输入/输出引脚。此特性增强了板级 ATPG 效率。

I = 输入; O = 输出; Ipu = 输入，带上拉; Oz = 输出，带三态; IO = 双向引脚; IOz = 双向引脚，带三态

表7-1. 详细的引脚说明

名称	引脚	类型	功能
串行接口 IO 引脚			
TCLKI1	F1	I	串行接口发送时钟端口 n 输入: TSER1–TSER4 时钟基准，在时钟上升沿输出。TCLKIn 支持间隙时钟，最大频率 52MHz。
TCLKI2	J1		
TCLKI3	M1		
TCLKI4	R1		
TSER1	F2	O	发送串行数据端口 n 输出: 在 TCLKIn 上升沿输出。TSERn 输出根据 TDENn 设置或间隙时钟输入 (TCLKIn) 可跳过部分时钟周期。最大数据速率 52Mbps。
TSER2	J2		
TSER3	M2		
TSER4	R2		
TDEN1/TBSYNC1	F5	IO	发送数据使能端口 n (输入): 发送数据使能用于设置选择阻断/使能数据发送。TDENn 信号必须早于被操作数据位一个时钟沿出现。TDENn 的有效极性在寄存器 LI.TSLCR 中设置。建议 T1/E1 和 T3/E3 都采用间隙时钟。TDENn 信号用于与不具备间隙时钟功能的成帧器接口。 发送字节同步端口 n (输出): 该输出可用于外部串行至并行转换，将 TSERn 流转换为字节宽度数据。该输出指示 TSERn 串行发送字节数据的最后一位。此信号只在 X.86 模式下有效。注意，在硬件模式以及非 X.86 工作时，此引脚必须置为高电平。
TDEN2/TBSYNC2	K2		
TDEN3/TBSYNC3	P3		
TDEN4/TBSYNC4	R3		
RCLKI1	G2	I	端口 n 串行接口接收时钟输入: RSERn 接收串行数据基准时钟。支持间隙时钟，最大 RCLKIn 频率 52MHz。
RCLKI2	L2		
RCLKI3	N2		
RCLKI4	T3		
RSER1	H1	I	端口 n 接收串行数据输入: 接收串行数据在时钟上升沿到达。
RSER2	K1		
RSER3	P1		
RSER4	T2		

名称	引脚	类型	功能
RDEN1/RBSYNC 1	H2	I	<p>接收数据使能端口 n: 接收数据使能用来阻断接收数据。RDENn 必须与要被阻断或者使能的 RSERn 数据位一致。RDENn 有效极性在寄存器 LI.RSLCR 中进行设置。建议 T1/E1 和 T3/E3 采用间隙时钟。RDENn 信号用于对不具备间隙时钟功能的成帧器进行接口。</p> <p>接收字节同步输入端口 n: 为 X.86 解码器提供字节同步输入。字节最后一位到达时, 该信号变为高电平。此信号出现的最高频率是每 8 位一次。注意, DS33Z44 接收到一个 RBSYNCn 标志后, X.86 接收器将判断字节边界。因此, DS33Z44 不需要连续 8 位的同步标志。如果字节边界改变, 则需要新的同步脉冲。注意, 在硬件模式和非 X.86 工作时, 该引脚必须置为高电平。</p>
RDEN2/RBSYNC 2	L1		
RDEN3/RBSYNC 3	N1		
RDEN4/RBSYNC 4	T1		
MII/RMII 端口			
REF_CLK	C15	I	<p>基准时钟 (RMII 和 MII): 所有 RMII 信号都同步在该时钟上。占空比为 35%至 65%。该时钟最大频率为 50MHz, 应具有±100ppm 精度。DS33Z44 可产生以太网 PHY 接口所需的 2.5MHz 和 25MHz 时钟。对于 DCE 模式的 MII 接口, 此时钟输入应为 25MHz。RMIIMIIS 引脚用于选择 RMII 或者 MII 工作模式。当 DTE 模式选用 MII 接口时, 则不需要该时钟, 应置为低电平。</p> <p>在 RMII 模式下, 该时钟是发送和接收 RMII 接口的基准时钟。</p>
REF_CLKO	B15	O	<p>基准时钟输出 (RMII 和 MII): 最大 50MHz 的衍生时钟输出, 由 SYSCLKI 信号内部分频产生。REF_CLKO 信号的频率精度取决于用户提供的 SYSCLKI 信号精度。该输出可外部连接至 REF_CLK, 做为 RMII/MII 接口时钟。可不必再附加 50MHz (RMII) 或 25MHz (MII) PHY 基准振荡器。参见8.3.2节, 了解详细信息。</p>
TX_CLK1	A9	IO	<p>发送时钟端口 n (MII): TX_ENn 和 TXDn[3:0]的时序基准。100Mbps 工作时, TX_CLKn 频率为 25MHz, 10Mbps 时为 2.5MHz。</p> <p>在 DTE 模式下, 这是由 PHY 提供的时钟输入。在 DCE 模式下, 这是由 REF_CLK 衍生的时钟输出, 频率为 2.5MHz (10Mbps 工作) 或者 25MHz (100Mbps 工作)。</p>
TX_CLK2	M16		
TX_CLK3	G16		
TX_CLK4	A16		
TX_EN1	E10	O	<p>发送使能端口 n (MII): 当数据 TXDn[3:0]由 DS33Z44 提供时, 此引脚置为高电平。该信号在下一帧第一个半字节之前解除置位。该信号同步于 TX_CLKn 上升沿, 在同步头的第一位到达时置位。</p> <p>发送使能端口 n (RMII): 该信号置位后, TXDn[1:0]上的数据有效。该信号同步于 REF_CLK。</p>
TX_EN2	L14		
TX_EN3	E15		
TX_EN4	G13		

名称	引脚	类型	功能
TXD1[0]	B9	O	<p>发送数据端口 n 0 至 3(MII) : TXDn[3:0]在 TX_CLKn 上升沿同步出现。TXDn[0]为数据最低有效位。TX_ENn 低电平时, 忽略 TXDn[3:0]上的数据。</p> <p>发送数据端口 n 0 至 1(RMII) : 两位数据 TXDn[1:0]在 REF_CLK 上升沿同步出现。</p>
TXD1[1]	C9		
TXD1[2]	D9		
TXD1[3]	E9		
TXD2[0]	R15		
TXD2[1]	R16		
TXD2[2]	L15		
TXD2[3]	N14		
TXD3[0]	F15		
TXD3[1]	G14		
TXD3[2]	H13		
TXD3[3]	H14		
TXD4[0]	B16		
TXD4[1]	C16		
TXD4[2]	D16		
TXD4[3]	E16		
RX_CLK1	A11	IO	<p>接收时钟 n (MII) : RX_DVn、RX_ERRn 和 RXDn[3:0]的定时基准, 上升沿同步。100Mbps 工作时, RX_CLKn 频率为 25MHz, 10Mbps 时为 2.5MHz。在 DTE 模式下, 这是由 PHY 提供的时钟输入。在 DCE 模式下, 这是由 REF_CLK 衍生的时钟输出, 频率为 2.5MHz (10Mbps 工作) 或者 25MHz (100Mbps 工作)。</p>
RX_CLK2	L16		
RX_CLK3	H16		
RX_CLK4	A13		
RXD1[0]	B11	I	<p>接收数据端口 n 0 至 3(MII) : 四位接收数据, 在 RX_CLKn 上升沿同步采样。在每一个时钟周期, PHY 向 DS33Z44 发送 4 个位。RXDn[0]为数据最低有效位。RX_DVn 低电平时, 数据被认为无效。</p> <p>接收数据端口 n 0 至 1(RMII) : 接收数据的两个位, 100Mbps 模式时, REF_CLK 同步采样。CRS_DVn 置位后, 接收数据。设置为 10Mbps 模式时, 数据每 10 个时钟周期采样一次。</p>
RXD1[1]	C11		
RXD1[2]	D11		
RXD1[3]	A11		
RXD2[0]	K13		
RXD2[1]	K14		
RXD2[2]	H15		
RXD2[3]	K16		
RXD3[0]	G15		
RXD3[1]	J14		
RXD3[2]	J13		
RXD3[3]	J12		
RXD4[0]	B13		
RXD4[1]	C13		
RXD4[2]	B14		
RXD4[3]	C14		
RX_DV1	D10	I	<p>接收数据有效端口 n (MII) : 该高电平有效信号指示 PHY 发送有效数据。如果 RX_DVn 没有变为高电平, 数据 RXDn[3:0]被忽略。</p>
RX_DV2	K15		
RX_DV3	K11		
RX_DV4	D15		

名称	引脚	类型	功能
RX_CRS1/ CRS_DV1	D12	I	<p>接收载波监听端口 n (MII) : 当 PHY 发送的数据 (RXDn[3:0]) 有效时, 应置位 (高电平)。每个时钟脉冲内, PHY 发送 4 位。位 0 是最低有效位。在 DCE 模式下, 连接至 V_{DD}。</p> <p>载波监听/接收数据有效端口 n (RMII) : PHY 发送数据有效时, 该信号置位 (高电平)。每个时钟脉冲内, PHY 发送 2 位。在 DCE 模式下, 该信号必须接地。</p>
RX_CRS2/ CRS_DV2	N16		
RX_CRS3/ CRS_DV3	M15		
RX_CRS4/ CRS_DV4	F14		
RX_ERR1	E12	I	<p>接收误码端口 n (MII) : 由 MAC PHY 置位一个或多个 RX_CLKn 周期则表明出现误码。高电平表示接收码组无效。如果 CRS_DVn 为低电平, RX_ERRn 将不起作用。同步于 RX_CLKn。在 DCE 模式下, 该信号必须接地。</p> <p>接收误码端口 n (RMII) : 信号同步于 REF_CLK。</p>
RX_ERR2	T16		
RX_ERR3	G11		
RX_ERR4	D14		
COLDET1	D13	I	<p>冲突检测端口 n (MII) : 由 MAC PHY 置位后, 表明有冲突发生。在 DCE 模式下, 该信号应接地。该信号仅在半双工模式下有效, 在全双工模式下, 被忽略。</p>
COLDET2	P16		
COLDET3	H11		
COLDET4	F16		
MDC	F11	O	<p>管理数据 Clock (MII) : PHY 和 DS33Z44 之间的时钟管理数据。时钟由 REF_CLK 衍生, 最大频率为 1.67MHz。在 DCE 模式下, 用户不得连接此引脚。</p>
MDIO	F10	IO	<p>MII 管理数据 IO (MII) : PHY 和 DS33Z44 之间控制信息的数据通路。不使用时, 通过一个 10K 电阻, 外部上拉至逻辑高电平。MDC 和 MDIO 引脚用于读/写 32 个 PHY 控制器中的每个最多 32 个控制和状态寄存器。该端口还可用于启动 PHY 的自动协商功能。在 DCE 模式下, 用户不得连接此引脚。</p>

名称	引脚	类型	功能
MICRO PORT/SPI			
A0/BREO	A1	I	<p>地址第 0 位：微处理器接口的地址第 0 位。最低有效位。</p> <p>BREO (硬件模式)：在硬件模式下，反转 HDLC 发送和接收功能。高电平有效输入。置 0 时，接收的第一个位为 MSB。置为 1 时，接收的第一位为 LSB。软件寄存器 LI.RPPCL 和 LI.TPPCL 用于控制该功能。</p>
A1/SCD	B1		<p>地址第 1 位：微处理器接口的地址第 1 位。</p> <p>SCD (硬件模式)：在硬件模式下，用于禁止发送和接收通路的 $X^{43}+1$ 位扰码。应用于 HDLC 和 X.86 发送。置为 1 时，禁止 $X^{43}+1$ 扰码。置 0 时，使能 $X^{43}+1$ 扰码。软件寄存器 LI.RPPCL 和 LI.TPPCL 用于控制该功能。</p>
A2/X86ED	A2		<p>地址第 2 位：微处理器接口的地址第 2 位。</p> <p>X86ED (硬件模式)：在硬件模式下，设置该引脚为高电平，将使能发送和接收数据的 X.86 封装。置 0 时，采用 HDLC 封装。软件模式下，寄存器 LI.TX86EDE 用于控制该功能。</p>
A3	B2		地址第 3 位： 微处理器接口的地址第 3 位。
A4	C2		地址第 4 位： 微处理器接口的地址第 4 位。
A5	A3		地址第 5 位： 微处理器接口的地址第 5 位。
A6	B3		地址第 6 位： 微处理器接口的地址第 6 位。
A7	C3		地址第 7 位： 微处理器接口的地址第 7 位。
A8	A4		地址第 8 位： 微处理器接口的地址第 8 位。
A9	B4		地址第 9 位： 微处理器接口的地址第 9 位。最高有效位。
D0/MOSI	A5	IOZ	<p>数据第 0 位：微处理器双向数据接口第 0 位。最低有效位。$\overline{CS} = 1$ 或 $\overline{RST} = 0$ 时，不被驱动。</p> <p>主机出从机入 (SPI 模式)：在 SPI 主机模式下，该数据流为外部 EEPROM 提供指令和地址信息。\overline{CKPHA} 设置为高电平时，MOSI 在上升沿刷新，\overline{CKPHA} 设置为低电平时，MOSI 在下降沿刷新。</p>
D1/MISO	A6	IOZ	<p>数据第 1 位：微处理器双向数据接口的第 1 位。$\overline{CS} = 1$ 或 $\overline{RST} = 0$ 时，不被驱动。</p> <p>主机入从机出 (SPI 模式)：SPI EEPROM 至 DS33Z44 的数据通路。必须同步于 SPICK。串行 EEPROM SPI 接口将为 DS33Z44 提供数据，MSB 在前。\overline{CKPHA} 设置为高电平时，MISO 在下降沿采样，\overline{CKPHA} 设置为低电平时，MISO 在上升沿采样。</p>

名称	引脚	类型	功能
D2/SPICK	A7	IOZ	数据第 2 位: 微处理器双向数据接口的第 2 位。 $\overline{CS} = 1$ 或 $\overline{RST} = 0$ 时, 不被驱动。 SPICK: 为 SPI 工作提供时钟。
D3	B5	IOZ	数据第 3 位: 微处理器双向数据接口的第 3 位。 $\overline{CS} = 1$ 或 $\overline{RST} = 0$ 时, 不被驱动。
D4	B6	IOZ	数据第 4 位: 微处理器双向数据接口的第 4 位。 $\overline{CS} = 1$ 或 $\overline{RST} = 0$ 时, 不被驱动。
D5	B7	IOZ	数据第 5 位: 微处理器双向数据接口的第 5 位。 $\overline{CS} = 1$ 或 $\overline{RST} = 0$ 时, 不被驱动。
D6	C5	IOZ	数据第 6 位: 微处理器双向数据接口的第 6 位。 $\overline{CS} = 1$ 或 $\overline{RST} = 0$ 时, 不被驱动。
D7	C6	IOZ	数据第 7 位: 微处理器双向数据接口的第 7 位。最高有效位。 $\overline{CS} = 1$ 或 $\overline{RST} = 0$ 时, 不被驱动。
$\overline{SPI_CS}$	E13	O	低电平有效 SPI 片选信号: SPI 端口在主机模式下, 该引脚为外部 EEPROM 提供片选信号。
CKPHA	F6	I	SPI 时钟相位: CKPHA 高电平时, MISO 在下降沿采样, CKPHA 低电平时, MISO 在上升沿采样。CKPHA 高电平时, MOSI 在上升沿刷新, CKPHA 低电平时, MOSI 在下降沿刷新。
\overline{CS}	D1	I	低电平有效片选信号: 读/写操作时, 该引脚必须置为低电平。 \overline{CS} 高电平时, $\overline{RD/DS}$ 和 \overline{WR} 信号被忽略。
$\overline{RD/DS}$	E1	I	低电平有效读数据选通 (Intel 模式): \overline{RD} 和 \overline{CS} 同时低电平时, DS33Z44 用被寻址寄存器的内容驱动数据总线 (D0–D7)。 低电平有效数据选通 (Motorola 模式): 用于通过微处理器接口进行数据锁存。读、写操作时, \overline{DS} 必须保持低电平。
$\overline{WR/ RW}$	E2	I	低电平有效写信号 (Intel 模式): DS33Z44 在 \overline{WR} 上升沿读取数据总线 (D0–D7), 将其写入所寻址的寄存器。写操作过程中, \overline{CS} 必须保持低电平。 低电平有效读写信号 (Motorola 模式): 用于指示读或者写操作。在一个寄存器读周期中, \overline{RW} 必须置为高电平, 在一个寄存器写周期中, \overline{RW} 必须置为低电平。
\overline{INT}	D3	OZ	低电平有效中断输出: 探测到非屏蔽中断事件发生后, 输出一个逻辑零信号。所有中断确认并处理后, \overline{INT} 解除置位。低电平有效。其无效状态由寄存器 GL.CR1 设置。
\overline{RST}	D8	I	低电平有效复位: 该引脚上出现低电平有效信号将内部寄存器和逻辑异步复位。该引脚在电源稳定之前应保持低电平, 正常工作时, 置为高电平。

名称	引脚	类型	功能
HWMODE	D5	I	硬件模式: 连接至 V_{DD} , 使器件进入硬件模式。MODEC[1:0]决定将要采用的默认硬件设置。对于由微处理器或者外部 EEPROM 控制的情况, 该引脚必须保持低电平。
MODEC[0], MODEC[1]	D6, D7	I	模式控制 <u>软件模式选项 (HWMODE = 0)</u> 00 = 读/写选通 (Intel 模式) 01 = 数据选通 (Motorola 模式) 10 = SPI 主机模式 (外部 EEPROM) 11 = 保留。不使用。 <u>硬件模式选项 (HWMODE = 1)</u> 00 = 默认硬件模式。参见表 8-10。 01 = 保留。不使用。 10 = 保留。不使用。 11 = 保留。不使用。
DCEDTES	A15	I	DCE 或 DTE 选择: 如果选择 DCE 模式, 用户必须设置此引脚为高电平, 选择 DTE 模式, 必须设置此引脚为低电平。该输入对软件和硬件模式操作均有影响。在 DCE 模式下, DS33Z44 MAC 端口可直接连接至另一 MAC。在 DCE 模式下, 发送时钟 (TX_CLKn) 和接收时钟 (RX_CLKn) 由 DS33Z44 输出。注意, DCEDTES 没有对应软件选择位, DCE 模式仅在 MAC 接口处于 MII 模式时有效。
RMIIMIIS	C4	I	RMII 或 MII 选择: 高电平时, MAC 为 RMII 接口。低电平时, MAC 为 MII 接口。应用于所有四个端口。
FULLDS1	A10	I	全双工选择端口 n (硬件模式): 在硬件模式下, 该引脚置为高电平时, MAC 为全双工模式。为低电平, MAC 工作在半双工模式。在软件模式下, 该引脚无效, 双工选择由 SU.GCR 寄存器进行控制。
FULLDS2	J15		
FULLDS3	H12		
FULLDS4	A12		
H10S1	B10	I	100Mb/10Mb 端口 n (硬件模式): 在硬件模式下, 该引脚选择数据包 PHY 速率。高电平为 100Mbps。低电平时, MII/RMII 接口工作在 10Mbps。在软件模式下, 该引脚无效, 速率选择由 SU.GCR 寄存器进行控制。
H10S2	L11		
H10S3	F12		
H10S4	B12		
AFCS1	C10	I	自动流控 (硬件模式): 在硬件模式下, 高电平时, 使能自动流控暂停和反压。在软件模式下, 该引脚无效, 速率选择由 SU.GCR 寄存器控制。
AFCS2	J16		
AFCS3	J11		
AFCS4	C12		

名称	引脚	类型	功能
SDRAM 控制器			
SDATA[0]	R4	IOZ	<p>SDRAM 数据总线，第 0 至 31 位：SDRAM 数据总线的这 32 个引脚是读操作的输入，写操作的输出。在其它时刻，这些引脚为高阻。注意：所有 SDRAM 完全由 DS33Z44 控制。用户不需要对 SDRAM 缓冲进行设置。</p>
SDATA[1]	P5		
SDATA[2]	T4		
SDATA[3]	R5		
SDATA[4]	T5		
SDATA[5]	T6		
SDATA[6]	R6		
SDATA[7]	P7		
SDATA[8]	N6		
SDATA[9]	P6		
SDATA[10]	M6		
SDATA[11]	M3		
SDATA[12]	M5		
SDATA[13]	N4		
SDATA[14]	N5		
SDATA[15]	P4		
SDATA[16]	R12		
SDATA[17]	N12		
SDATA[18]	P12		
SDATA[19]	T13		
SDATA[20]	T12		
SDATA[21]	T14		
SDATA[22]	R13		
SDATA[23]	R14		
SDATA[24]	P14		
SDATA[25]	P13		
SDATA[26]	N15		
SDATA[27]	N13		
SDATA[28]	M13		
SDATA[29]	L12		
SDATA[30]	M12		
SDATA[31]	M11		
SDA[0]	R10	O	<p>SDRAM 地址总线 0 至 11 位：SDRAM 地址总线的这 12 个引脚先输出行地址，然后是列地址。行地址由 SDA0 至 SDA11 在时钟上升沿决定。列地址由 SDA0-SDA9 和 SDA11 在时钟上升沿决定。SDA10 用作自动预充电信号。注意：所有 SDRAM 完全由 DS33Z44 控制。用户不需要对 SDRAM 缓冲进行设置。</p>
SDA[1]	T10		
SDA[2]	R11		
SDA[3]	P11		
SDA[4]	M9		
SDA[5]	N9		
SDA[6]	N10		
SDA[7]	M8		
SDA[8]	N8		
SDA[9]	P9		
SDA[10]	P10		
SDA[11]	T9		

名称	引脚	类型	功能
SBA[0]	R8	I	SDRAM 块 (Bank) 选择: 这两位选择 4 块之一进行读/写/预充电操作。 注意: 所有 SDRAM 完全由 DS33Z44 控制。用户不需要对 SDRAM 缓冲进行设置。
SBA[1]	R9		
$\overline{\text{SRAS}}$	P15	O	低电平有效 SDRAM 行地址选通: 该输出在 SDCLKO 上升沿锁存行地址。与块有效、预充电和模式寄存器写命令一同工作。
$\overline{\text{SCAS}}$	N7	O	低电平有效 SDRAM 列地址选通: 该输出在 SDCLKO 上升沿锁存列地址。与块有效、预充电和模式寄存器写命令一起工作。
$\overline{\text{SWE}}$	R7	O	低电平有效 SDRAM 写使能: 该输出使能写操作和自动预充电功能。
SDMASK[0]	T8	O	SDRAM 屏蔽位 0 至 3: 高电平时, 字节写完成。最低有效字节为 SDATA7 至 SDATA0。最高有效字节为 SDATA31 至 SDATA24。
SDMASK[1]	M7		
SDMASK[2]	T11		
SDMASK[3]	N11		
SDCLKO	T7	O (4mA)	SDRAM CLK 输出: 至 SDRAM 的系统时钟输出。该时钟是带缓冲的 SYSCLKI 信号。
SYSCLKI	T15	I	系统时钟输入: 至 DS33Z44 的 100MHz 系统时钟输入, 用于内部工作。该时钟经缓冲, 提供给 SDCLKO, 用于 SDRAM 接口。DS33Z44 还在 REF_CLKO 引脚提供一个分频输出。建议时钟频率精度为 $\pm 100\text{ppm}$ 。
$\overline{\text{SDCS}}$	P8	O	低电平有效 SDRAM 片选信号: 该输出使能 SDRAM 访问。
队列状态			
QOVF1	C7	O	队列溢出端口 n: 该引脚在发送或接收队列溢出时, 变为高电平。再次溢出时, 该引脚变为低电平。该引脚可工作在软件和硬件模式下。
QOVF2	C8		
QOVF3	B8		
QOVF4	A8		
JTAG 接口			
$\overline{\text{JTRST}}$	E6	Ipu	低电平有效 JTAG 复位
JTCLK	D4	Ipu	JTAG 时钟
JTDO	E5	Oz	JTAG 数据输入
JTDI	E4	Ipu	JTAG 数据输出
JTMS	F7	Ipu	JTAG 模式选择

名称	引脚	类型	功能
电源			
V _{DD3.3}	G3-G10, H3-H10	I	连接至 3.3V 电源
V _{DD1.8}	C1,D2, E3,E14, F4,F13, G12, K12,L13, M4,M14, N3,P2	I	连接至 1.8V 电源
V _{SS}	E7,E8, J3-J10, K3-K10, L3-L10, M10	I	连接至公共电源地
N.C.	F3,F8, F9,G1	—	无连接

图7-1. 256 焊球 CSBGA 引脚图

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
A	A[0]	A[2]	A[5]	A[8]	D[0]	D[1]	D[2]	QOVF4	TX_CLK1	FULLDS1	RX_CLK1	FULLDS4	RX_CLK4	VDD1.8	DCEDTES	TX_CLK4
B	A[1]	A[3]	A[6]	A[9]	D[3]	D[4]	D[5]	QOVF3	TXD1[0]	H10S1	RXD1[0]	H10S4	RXD4[0]	RXD4[2]	RFCLKO	TXD4[0]
C	V _{DD1.8}	A[4]	A[7]	RMIIMIS	D[6]	D[7]	QOVF1	QOVF2	TXD1[1]	AFCS1	RXD1[1]	AFCS4	RXD4[1]	RXD4[3]	REF_CLK	TXD4[1]
D	$\overline{\text{CS}}$	V _{DD1.8}	$\overline{\text{INT}}$	JTCLK	HWMODE	MODEC0	MODEC1	$\overline{\text{RST}}$	TXD1[2]	RX_DV1	RXD1[2]	RX_CRS1	COLDET1	RX_ERR4	RX_DV4	TXD4[2]
E	$\overline{\text{RD}}$	$\overline{\text{WR}}$	V _{DD1.8}	JTDI	JTDO	$\overline{\text{JTRST}}$	V _{SS}	V _{SS}	TXD1[3]	TX_EN1	RXD1[3]	RX_ERR1	SPI_CS	V _{DD1.8}	TX_EN3	TXD4[3]
F	TCLK1	TSER1	N.C.	V _{DD1.8}	TDEN1	CKPHA	JTMS	N.C.	N.C.	MDIO	MDC	H10S3	V _{DD1.8}	RX_CRS4	TXD3[0]	COLDET4
G	N.C.	RCLK1	V _{DD3.3}	V _{DD3.3}	V _{DD3.3}	V _{DD3.3}	V _{DD3.3}	V _{DD3.3}	V _{DD3.3}	V _{DD3.3}	RX_ERR3	V _{DD1.8}	TX_EN4	TXD3[1]	RXD3[0]	TX_CLK3
H	RSER1	RDEN1	V _{DD3.3}	V _{DD3.3}	V _{DD3.3}	V _{DD3.3}	V _{DD3.3}	V _{DD3.3}	V _{DD3.3}	V _{DD3.3}	COLDET3	FULLDS3	TXD3[2]	TXD3[3]	RXD2[2]	RX_CLK3
J	TCLK2	TSER2	V _{SS}	V _{SS}	V _{SS}	V _{SS}	V _{SS}	V _{SS}	V _{SS}	V _{SS}	AFCS3	RXD3[3]	RXD3[2]	RXD3[1]	FULLDS2	AFCS2
K	RSER2	TDEN2	V _{SS}	V _{SS}	V _{SS}	V _{SS}	V _{SS}	V _{SS}	V _{SS}	V _{SS}	RX_DV3	V _{DD1.8}	RXD2[0]	RXD2[1]	RX_DV2	RXD2[3]
L	RDEN2	RCLK2	V _{SS}	V _{SS}	V _{SS}	V _{SS}	V _{SS}	V _{SS}	V _{SS}	V _{SS}	H10S2	SDATA[29]	V _{DD1.8}	TX_EN2	TXD2[2]	RX_CLK2
M	TCLK3	TSER3	SDATA[11]	V _{DD1.8}	SDATA[12]	SDATA[10]	SDMASK[1]	SDA[7]	SDA[4]	V _{SS}	SDATA[31]	SDATA[30]	SDATA[28]	V _{DD1.8}	RX_CRS3	TX_CLK2
N	RDEN3	RCLK3	V _{DD1.8}	SDATA[13]	SDATA[14]	SDATA[8]	$\overline{\text{SCAS}}$	SDA[8]	SDA[5]	SDA[6]	SDMASK[3]	SDATA[17]	SDATA[27]	TXD2[3]	SDATA[26]	RX_CRS2
P	RSER3	V _{DD1.8}	TDEN3	SDATA[15]	SDATA[1]	SDATA[9]	SDATA[7]	$\overline{\text{SDCS}}$	SDA[9]	SDA[10]	SDA[3]	SDATA[18]	SDATA[25]	SDATA[24]	$\overline{\text{SRAS}}$	COLDET2
R	TCLK4	TSER4	TDEN4	SDATA[0]	SDATA[3]	SDATA[6]	$\overline{\text{SWE}}$	SBA[0]	SBA[1]	SDA[0]	SDA[2]	SDATA[16]	SDATA[22]	SDATA[23]	TXD2[0]	TXD2[1]
T	RDEN4	RSER4	RCLK4	SDATA[2]	SDATA[4]	SDATA[5]	SDCLKO	SDMASK[0]	SDA[11]	SDA[1]	SDMASK[2]	SDATA[20]	SDATA[19]	SDATA[21]	SYSCCLKI	RX_ERR2

8 功能说明

DS33Z44 为以太网数据包系统和 T1/E1/J1、HDSL、T3/E3 等 WAN 时分复用 (TDM) 系统提供互连和映射功能。该器件组成包括四个 10/100 以太网 MAC、一个数据包仲裁器、四个约定信息速率控制器 (CIR)、HDLC/X.86 (LAPS) 映射器、一个 SDRAM 接口、控制端口和一个误码率测试仪 (BERT)。

以太网数据包接口支持 MII 和 RMII 接口，使 DS33Z44 能够连至商用以太网 PHY 和 MAC 器件。在 DTE 和 DCE 配置下，以太网接口可单独设为 10Mbps 或 100Mbps。DS33Z44 MAC 接口可通过设置，拒收 FCS 出错帧和短帧 (小于 64 字节)。

以太网帧排队存储在外部 32 位 SDRAM 中。在最大 100MHz 时钟频率下，DS33Z44 SDRAM 控制器无需外部胶和逻辑，即可直接与 128Mb SDRAM 连接。发送和接收数据排队均在 SDRAM 中进行。接收队列存储由数据包接口发送至 WAN 接口的数据。发送队列存储由 WAN 接口发送至数据包接口的数据。外部 SDRAM 可最多存储 8192 个帧，最大帧长度 2016 字节。队列长度可通过软件调整。用户还可为应用自动或人工流控的每个队列设置溢出上下限。存储在 SDRAM 中的数据包封装在 HDLC 或 X.86 (LAPS) 中，通过 WAN 接口发送。该器件还提供位和数据包扰码。

WAN 接口接收封装的以太网数据包，将解封后的数据包通过以太网端口发送。WAN 物理接口支持最大 52Mbps 的串行数据流。WAN 串行端口可采用间隙时钟工作，连接至成帧器、电 LIU、光收发器或 T/E 载波收发器，实现到 WAN 的传输。WAN 接口可无缝连接至 Dallas Semiconductor/Maxim 的 T1/E1/J1 成帧器、线路接口单元 (LIU) 以及单片收发器 (SCT)，还可以无缝连接至 Dallas Semiconductor/Maxim 的 T3/E3/STS-1 成帧器、LIU 和 SCT，实现与 T3、E3、STS-1 的连接。

DS33Z44 可通过一个 8 位微处理器接口进行设置。器件还包括一个串行 EEPROM (SPI) 接口，并具有硬件模式，适用于没有微处理器主机的应用。无外部主机的工作模式简化了 T1/T3 和 E1/E3 前端连接等典型应用，并降低了成本。DS33Z44 还为 802.3 接口的系统时钟输入和基准时钟输入提供两个板上时钟分频器，进一步降低了对辅助器件的需要。

8.1 处理器接口

DS33Z44 微处理器控制通过微处理器接口的 20 个引脚实现。由两个 MODEC[1:0] 引脚将 8 位并行数据总线设置为 Intel 或 Motorola 模式。MODEC[1:0] = 00 和 HWMODE = 0 时，总线时序为 Intel 模式，如 [图 11-9](#) 和 [图 11-10](#) 所示。MODEC[1:0] = 01 和 HWMODE = 0 时，总线时序为 Motorola 模式，如 [图 11-11](#) 和 [图 11-12](#) 所示。通过 8 位地址线 A0-A7 进行地址空间映射。处理器接口不支持多路复用模式。

片选 ($\overline{\text{CS}}$) 引脚必须置为逻辑低电平，才能实现对微处理器端口的读、写访问。选择 Intel 时序时，读 ($\overline{\text{RD}}$) 引脚和写 ($\overline{\text{WR}}$) 引脚用于指示读、写操作，并锁存通过接口的数据。选择 Motorola 时序时，读-写 ($\overline{\text{RW}}$) 引脚用于指示读、写操作，而数据选通 ($\overline{\text{DS}}$) 引脚锁存通过接口的数据。

中断输出引脚 ($\overline{\text{INT}}$) 为开漏输出，根据多个软件可屏蔽中断条件，置为逻辑低电平。该引脚通常连至微处理器中断输入。寄存器映射如 [表 9-1](#) 所示。

8.1.1 读-写/数据选通模式

处理器接口可工作于读-写选通模式或数据选通模式。MODEC[1:0] = 00 和 HWMODE 引脚 = 0 时，选择读-写选通模式， \overline{RD} 上出现负脉冲，执行一个读周期， \overline{WR} 上出现负脉冲，执行一个写周期。MODEC[1:0]引脚 = 01 和 HWMODE 引脚 = 0 时，选择数据选通模式， \overline{RW} 高电平时 \overline{DS} 上出现负脉冲，执行一个读周期， \overline{RW} 低电平时 \overline{DS} 上出现负脉冲，执行一个写周期。读-写选通模式通常称为“Intel”模式，数据选通模式通常称为“Motorola”模式。

8.1.2 读操作清零

状态锁存寄存器在读访问时清零。应注意，在多任务软件环境中，用户应同时处理每个寄存器的所有状态条件，以避免无意清除状态条件。锁存状态寄存器位经过了仔细的设计，从而使任何事件不会与用户读访问冲突。

8.1.3 中断和引脚模式

中断 (\overline{INT}) 引脚无效时，设置为高电平或浮空。INTM 位控制该引脚设置，它置位后， \overline{INT} 引脚无效时，被置为高电平。复位后 \overline{INT} 引脚保持高阻模式，直到一个中断源产生中断以驱动中断引脚。

8.2 SPI 串行 EEPROM 接口

SPI 接口是一个 4 线串行接口，可连至串行 EEPROM，用于设定初始状态。采用 MODEC[1:0]进行设置，DS33Z44 作为 SPI 主机从外部串行 EEPROM 读取数据。读序列在初始复位或 \overline{RST} 输入上升沿开始。CKPHA 引脚控制 MISO 和 MOSI 信号的采样和刷新边沿。MISO 数据可在 SPICK 的上升沿或下降沿采样。MOSI (主机出从机入) 可选择在 SPICK 的上升沿或下降沿输出。SPICK 为 DS33Z44 产生的 8.33MHz 频率。该频率自外部 SYSCLKI (100MHz) 衍生。启动读操作的指令为 0000x011，其后是位置 0 的地址。 $\overline{SPI_CS}$ 在所寻址的数据 (表 10-1) 读出和锁存之前一直保持低电平。DS33Z44 将提供起始地址 (0000000)，数据被顺序锁存，直到最后一个数据被读出并被锁存为止。间接寻址的 MAC 专用寄存器在标准控制寄存器最后被写入。10.3 节详细阐述了功能时序设置顺序。MAC 相关间接寻址寄存器采用表 10-2 所示的专用命令格式设置。

8.3 时钟结构

DS33Z44 时钟和功能如下所述：

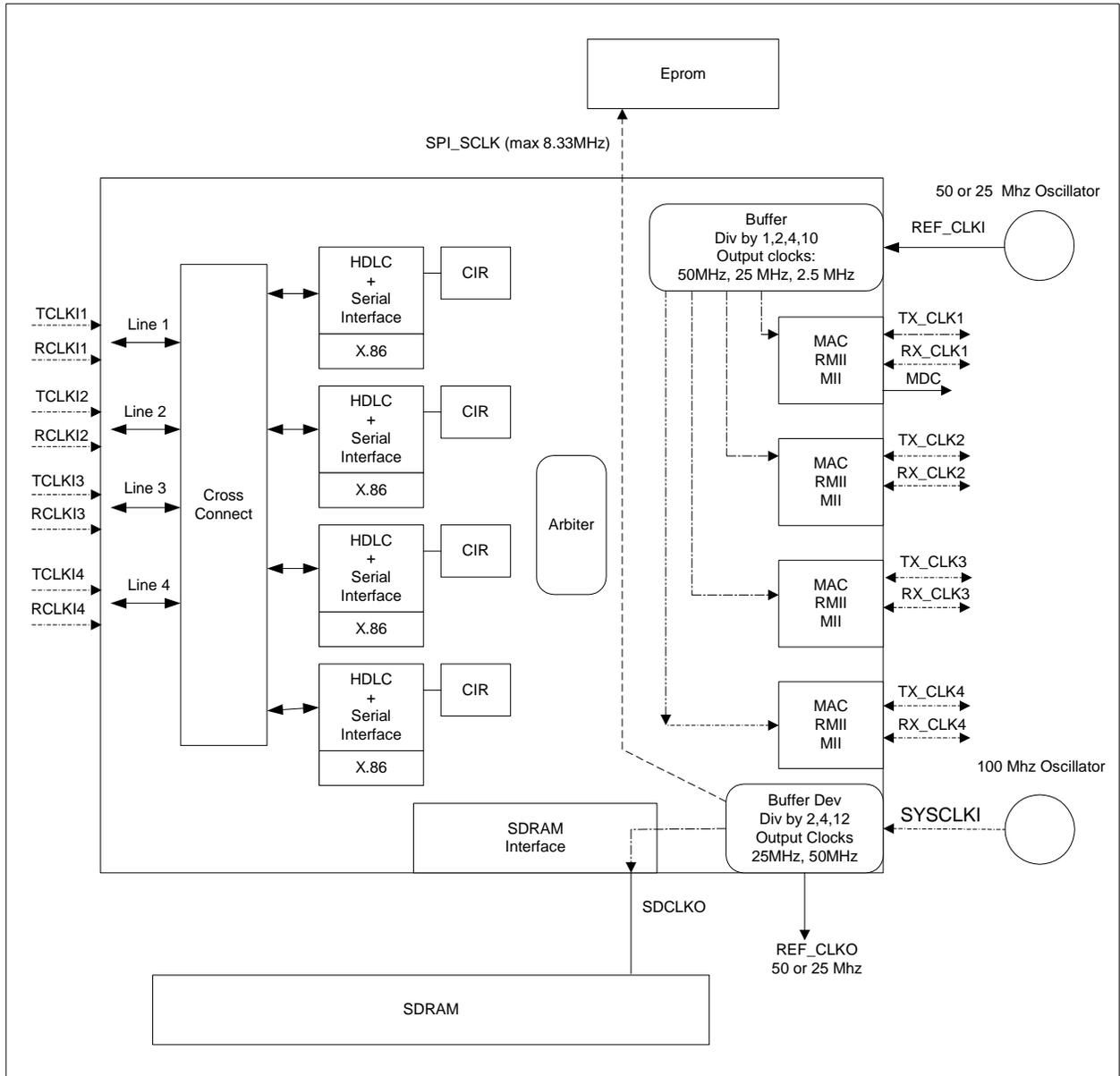
- 串行发送数据 (TCLKI1-4) 和串行接收数据 (RCLKI1-4) 时钟输入用于串行接口发送数据。这些时钟可以为连续或间隙方式。
- 系统时钟 (SYSCLKI) 输入。用于内部工作。该时钟输入不能采用间隙时钟方式。建议频率精度为 $\pm 100\text{ppm}$ 。由 SDCLKO 引脚提供该时钟的缓冲输出，用于 SDRAM 工作。由 SPICK 引脚提供该时钟的分频、缓冲输出，用于串行 EEPROM 工作。REFCLKO 引脚提供该时钟的分频、缓冲输出，用于 RMII/MII 接口。
- 数据包接口基准时钟 (REF_CLK) 输入可以是 25 或 50MHz。该时钟用作 RMII/MII 接口的时序基准。用户可利用内部 REFCLKO 时钟输出来驱动该输入。
- MII 接口发送和接收时钟 (TX_CLKn 和 RX_CLKn)。在 DTE 模式下，这些是输入引脚，接收由以太网 PHY 提供的时钟。在 DCE 模式下，这些是输出引脚，向以太网 PHY 输出内部产生的时钟。输出时钟由 REF_CLK 在内部分频得到。
- REF_CLKO 是由 100MHz 系统时钟 (SYSCLKI) 2 分频或 4 分频得到的时钟输出。该时钟输出可用作 REF_CLKI 的输入，使用户在系统中少用一个振荡器。
- 管理数据时钟 (MDC) 输出由 SYSCLKI 产生，用于内部以太网 MAC 和外部 PHY 之间的信息传送。MDC 时钟频率为 1.67MHz。

下表是以太网接口的不同时钟选项。

表8-1. 以太网接口时钟选项

RMII/MII Mode Selection	MII	MII	RMII	RMII	
10/100Mbps Mode Selection	100Mbps	10Mbps	100Mbps	10Mbps	
RMII/MII Input Pin	0	0	1	1	Input
REF_CLKI Frequency	25 MHz	25 MHz	50 MHz	50 MHz	Input
TX_CLKn and RX_CLKn Divider Ratio (derived from REF_CLKI)	1	10	NA	NA	Divider Ratio
TX_CLKn, RX_CLKn Frequency	25 MHz	2.5 MHz	NA	NA	I/O
MDC Output Clock Frequency	1.67 MHz	1.67 MHz	1.67 MHz	1.67 MHz	Output
REFCLKO Divider Ratio (derived from SYSCLKI)	4	4	2	2	Divider Ratio
REF_CLKO Output Frequency	25 MHz	25 MHz	50 MHz	50 MHz	Output

图8-1. DS33Z44 时钟



8.3.1 串行接口时钟模式

串行接口时序由线路时钟决定。发送和接收时钟 (TCLKI1-4 和 RCLKI1-4) 均由外部输入，可采用间隙方式。

8.3.2 以太网接口时钟模式

通过设置引脚 RMIIMIIS，以太网接口可配置为 MII 或 RMII 工作模式。在 MII 模式下，每时钟周期发送和接收 4 位。MII 时钟 (TX_CLK1-4 和 RX_CLK1-4) 由 REF_CLK 产生，必须是 25MHz。DS33Z44 可利用外部 25MHz 基准，产生 25MHz 和 2.5MHz 时钟。这些衍生时钟在 DCE 模式下输出。用户在 DCE 模式下，可选择使用 REF_CLKO 输出，以避免另增一个系统时钟。DCE 模式仅在 MII 模式下有效。

在 RMII 模式下，接收和发送时序同步于 REF_CLK 引脚上的 50MHz 时钟输入。RMIIMIIS 引脚控制基准频率的选择。该选择应与 REF_CLK 输入一致。

REF_CLKO 输出由 SYSCLKI 的 100MHz 系统时钟分频得到。RMIIMIIS 引脚选择分频比。得到的时钟经缓冲后，在 REF_CLKO 引脚上输出。将 REF_CLKO 连接至 REF_CLK，可用作 MII/RMII 接口的 REF_CLK。可利用 [GL.CR1.RFOO](#) 位关断 REF_CLKO 功能。

表8-2. LAN 接口时钟选择

RMIIMIIS HARDWARE PIN STATE	REQUIRED REF_CLK FREQUENCY	ETHERNET INTERFACE MODE
0	25 MHz \pm 100 ppm	The interface is MII up to 100 Mbps.
1	50 MHz \pm 100 ppm	The interface is RMII.

8.4 复位和低功耗模式

外部 $\overline{\text{RST}}$ 引脚和 [GL.CR1](#) 的全局复位位产生一个内部全局复位信号。全局复位信号将片内状态和控制寄存器 ([GL.CR1.RST](#) 位除外) 复位为默认值, 将所有其它触发器恢复为复位值。 $\overline{\text{RST}}$ 引脚有效 (低电平) 时, 处理器总线输出信号置为高阻模式。全局复位位 ([GL.CR1.RST](#)) 写入 1 后, 该位保持置位状态, 当外部 $\overline{\text{RST}}$ 引脚有效或向其写入 0 之后, 该位复位至 0。产生复位条件后, 等待 5ms 完成复位操作。

[LI.RSTPD](#) 的串行接口复位位将串行接口的所有状态和控制寄存器复位为默认值, [LI.RSTPD.RST](#) 位除外。串行接口包括 HDLC 编码器/解码器、X86 编码器和解码器以及相应的串行端口。串行接口复位位 ([LI.RSTPD.RST](#)) 写入 1 后, 该位保持置位状态, 当全局复位信号有效或向它写入 0 之后, 该位复位至 0。

复位信号 [SU.RSTPD](#) 将以太网接口 (MII/RMII 接口和 MAC) 所有状态和控制寄存器恢复为默认值, [SU.RSTPD.RST](#) 位除外。[SU.RSTPD.RST](#) 位写入 1 后, 该位保持置位状态, 当全局复位信号有效或向它写入 0 之后, 该位复位至 0。没有复位位能够“自清零”, 必须由用户在写入 1 之后写入 0 来清零。

如果 DS33Z44 设为采用外部 EEPROM, 它将在外部复位引脚上升沿启动读取器件设置。采用外部 EEPROM 时, 器件在 5ms 内配置完毕, 此时间取决于 8.33MHz 的 EEPROM 时钟。[图 10-10](#) 为功能时序。

表8-3. 复位功能

RESET FUNCTION	LOCATION	COMMENTS
Hardware Device Reset	$\overline{\text{RST}}$ pin	Transition to a logic 0 to a logic 1 resets the device.
Hardware JTAG Reset	$\overline{\text{JTRST}}$ pin	Resets the JTAG test port.
Global Software Reset	GL.CR1	Writing to this bit resets the device.
Serial interface Reset	LI.RSTPD	Writing to this bit resets a Serial Interface.
Ethernet Interface Reset	SU.RSTPD	Writing to this bit resets a Packet Interface.
Queue Pointer Reset	GL.C1QPR	Writing to this bit resets the Queue Pointers

DS33Z44 具有多种方式降低功耗。[LI.RSTPD](#) 和 [SU.RSTPD](#) 寄存器的复位位有效时, 可将串行和以太网接口置于低功耗模式。此外, $\overline{\text{RST}}$ 引脚可随时置为低电平, 以将整个器件保持在低功耗模式。注意, 退出低功耗模式, 需要重新初始化和重新配置。

8.5 初始化和设置

器件初始化顺序示例：

步骤 1: $\overline{\text{RST}}$ 引脚拉低，或者采用 8.4 节所述的软件复位位，将器件复位。所有复位位清零。等待 5 毫秒的复位恢复。

步骤 2: 在 [GL.IDRL](#) 和 [GL.IDRH](#) 寄存器中检查器件 ID。

步骤 3: 设置系统时钟。允许时钟系统适当调整。

步骤 4: 将包括保留位和保留寄存器在内的所有剩余寄存器用 00h (如果在寄存器定义中有特殊说明，则按说明要求操作) 进行初始化。

步骤 5: 将 FFFFFFFFh 写入 MAC 间接寻址地址 010Ch 至 010Fh。

步骤 6: 在 [GL.CON1-4](#) 寄存器中设置连接。

步骤 7: 根据需要设置串行端口寄存器。

步骤 8: 根据需要设置以太网端口寄存器。

步骤 9: 根据需要设置以太网 MAC 间接寻址寄存器。

步骤 10: 通过 MDIO 接口设置外部以太网 PHY。

步骤 11: 清零所有计数器和锁存状态位。

步骤 12: 设置仲裁器队列长度，复位所有以太网和串行接口队列指针。

步骤 13: 根据需要开中断。

步骤 14: 开始处理中断和锁存状态事件。

8.6 全局资源

一组全局寄存器位于 0F0h-0FFh。全局寄存器包括全局复位、全局中断状态、中断屏蔽、时钟设置和器件 ID 寄存器。参见 [表 9-2](#) 中的全局寄存器定义。

8.7 每端口资源

DS33Z44 包括公共的全局寄存器、BERT 和仲裁器。四个串行 (线路) 接口每个都有一组寄存器用于设置和控制，本文档中以前缀“LI.”表示。四个以太网 (用户) 接口每个都有一组寄存器用于设置和控制，本文档中以前缀“SU.”表示。

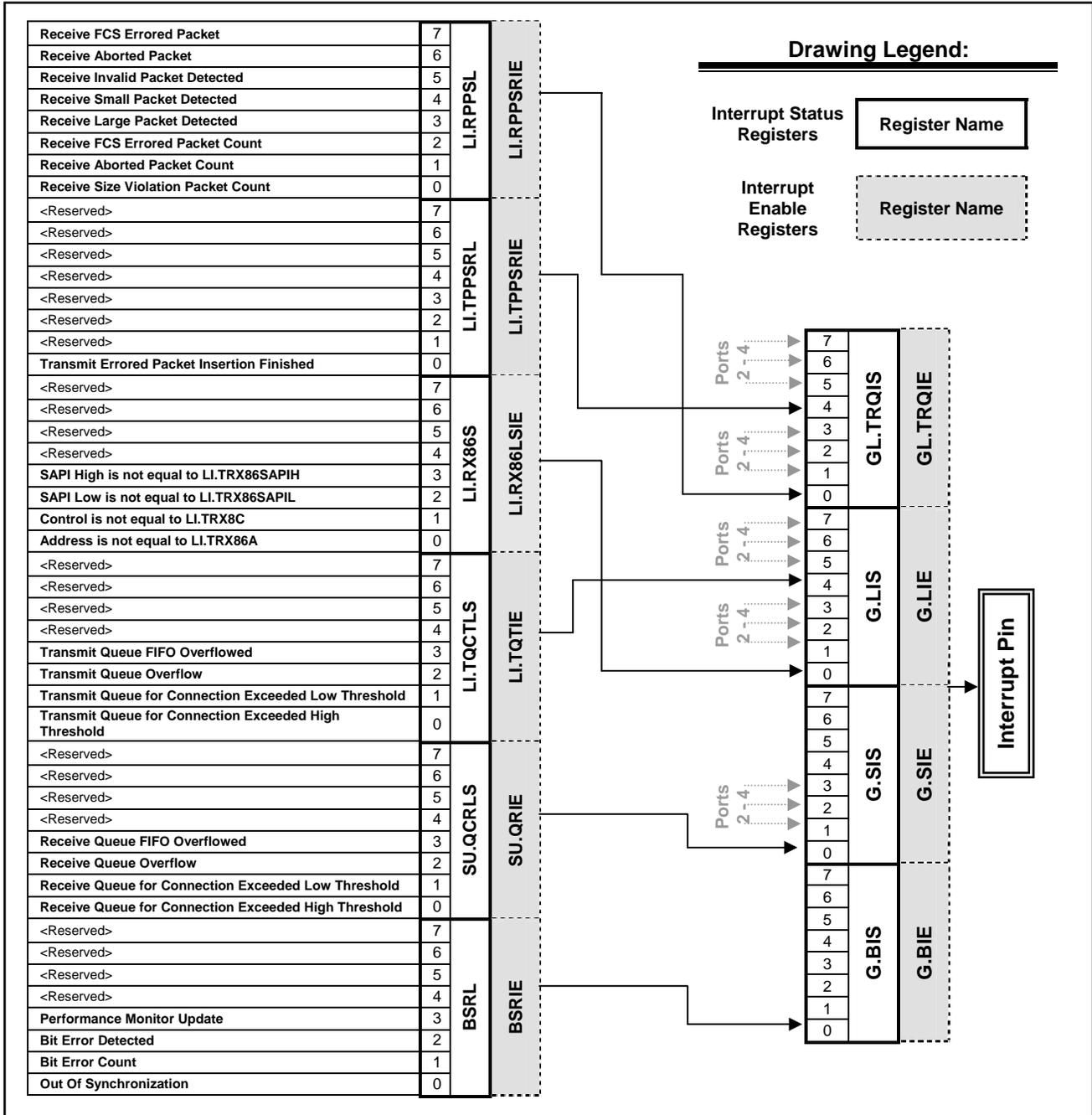
8.8 器件中断

图 8-2 是从中断源状态位开始，经多级信息寄存器和屏蔽位至中断引脚的中断处理流程。中断发生时，主机读取全局锁存状态寄存器 **GL.LIS**、**GL.SIS**、**GL.BIS** 和 **GL.TRQIS**，初步判断中断源，然后，主机读取 **LI.TQCTLS**、**LI.TPPSRL**、**LI.RPPSRL**、**LI.RX86S**、**SU.QCRLS** 以及 **BSRL** 寄存器，进一步判断中断源。为保持产品系列中多端口器件的软件兼容性，保留了全局中断状态和中断使能寄存器，但可以不使用。如果 **GL.TRQIS** 被确定为中断源，主机将读取 **LI.TPPSRL** 和 **LI.RPPSRL** 寄存器，判断中断原因。如果 **GL.LIS** 被确定为中断源，主机将读取 **LI.TQCTLS**、**LI.TPPSRL**、**LI.RPPSRL** 和 **LI.RX86S** 寄存器，判断中断原因。如果 **GL.SIS** 是中断源，主机将读取 **SU.QCRLS** 寄存器，判断中断原因。如果 **GL.BIS** 是中断源，主机将读取 **BSRL** 寄存器，判断中断原因。所有全局中断状态寄存器位均为实时位，一旦相应中断被响应、清除后，只要没有其它与状态寄存器有关的使能中断条件发生，将被清零。所有锁存状态位必须由主机向被响应的中断条件对应位写入“1”清零。为使中断条件向下一级中断逻辑传递，必须在中断使能寄存器相应位写入“1”。中断使能寄存器为 **LI.TPPSRIE**、**LI.RPPSRIE**、**LI.RX86LSIE**、**BSRIE**、**SU.QRIE**、**GL.LIE**、**GL.SIE**、**GL.BIE** 和 **GL.TRQIE**。由中断使能寄存器所使能的锁存状态位被允许将其中断条件传递给全局中断状态寄存器。中断使能寄存器允许单独的锁存状态产生一个中断，但置零并不影响锁存状态位置位。因此，响应中断时，用户可将锁存状态和相关的中断使能寄存器进行逻辑“与”，以屏蔽用户不希望响应的中断。这种架构使主机能够仅使用一组寄存器实现锁存状态位周期轮询，查询非中断条件。注意 **SU.QRIE** 和 **SU.QCRLS** 的位顺序不同。

注意，中断输出引脚无效状态是可设置的。**GL.CR1** 的 **INTM** 位控制中断引脚的无效状态，可选择上拉电阻或有源驱动器。

中断结构设计用于有效的引导用户发现已使能的中断源。中断的锁存状态位必须被读入，以清除中断。读取一位锁存状态位将复位该寄存器中的所有位。复位时，不能产生中断。通过向全局中断使能寄存器 (**GL.LIE**、**GL.SIE**、**GL.BIE** 和 **GL.TRQIE**) 中写入“0”，任何中断源产生的中断均能够在全局层次上被屏蔽。读取所有中断产生事件的锁存状态位将会清零中断状态位，中断信号将被解除。

图8-2. 器件中断信息流程图



8.9 串行接口

四个串行接口支持时分复用，串行数据 I/O 最大速率 52Mbps。串行接口接收和发送经过封装的以太网数据包。每个物理接口在发送和接收方向上均有一个数据引脚、一个时钟引脚和一个使能/同步引脚。串行接口可采用间隙时钟，可连接至成帧器、电 LIU、光收发器以及 T/E 载波收发器，实现与 WAN 之间的传输。串行接口可无缝连接至 Dallas Semiconductor/Maxim 的 T1/E1/J1 成帧器、线路接口单元 (LIU) 和单片收发器 (SCT)。或无缝连接至 Dallas Semiconductor/Maxim 的 T3/E3/STS-1 成帧器、LIU 和 SCT，以提供 T3、E3 和 STS-1 连接。

8.10 连接和队列

工作在软件模式时，器件可在多个以太网端口和串行端口之间进行双向交叉连接。每个连接均有相关的发送和接收队列。注意，术语“发送队列”和“接收队列”是相对于以太网接口而言的。接收队列是指来自以太网、将向 WAN 接口发送的数据。发送队列是指来自 WAN 串行接口、向以太网发送的数据。因此，发送和接收方向与以太网 MAC 接口中所用术语含义相同。

用户可以定义发送和接收队列的连接和长度。队列长度以 32 个数据包 (2048 字节) 为单位进行调整。外部 SDRAM 可最大保持 8192 个数据包。用户必须确保所有连接队列长度不会超过该限制，同时要保证发送和接收队列不会相互覆盖。不支持单向连接。

当用户需要修改队列长度时，所有连接必须断开，重新建立。一个连接断开后，所有相关发送和接收队列清空，向串行发送和 HDLC 接收器输出‘1’。而 HDLC 时钟输出‘0’。如果已建立多个连接，而只有一个连接断开，则不能调整其它队列长度来占用断开队列所释放的空间。只要已建立连接的相关队列长度不变，该连接将继续工作。

用户还可以设置每个队列的溢出上下限。如果队列长度超过上限，并且该中断已使能，将产生一个中断。表 8-4. 连接和队列相关的寄存器描述了相关的寄存器。AR.TQSC1-4 设置连接发送队列的长度。高于上限将使一个锁存状态位置位。锁存状态位在读取寄存器后被清零。状态位由 LI.TQCTLS.TQHTS 标识。锁存位事件中断可由 LI.TQTIE 使能。当队列越过下限时，锁存状态位 (LI.TQCTLS.TQLTS) 也将置位。

接收队列工作方式类似。注意，用户必须确保队列长度和溢出上下限设置与以太网和串行接口速率匹配。如果用户建立的连接和队列覆盖了另一个连接队列的数据，DS33Z44 不会提供错误标志。用户必须小心设置队列长度和溢出上下限。相关寄存器为 AR.RQSC1-4 和 SU.QCRLS。队列长度不得设置为 0。

建议用户在断开连接后，复位连接的队列指针。在建立连接前，指针必须复位。如果不遵循这种断开/连接的工作方式，将有可能发送不正确的数据。建立连接的正确方式如下：

- 为发送和接收队列设置队列长度 (AR.TQSC1-4 和AR.RQSC1-4)
- 如果需要，设置高/低阈值和中断使能 (GL.TRQIE、LI.TQTIE、SU.QRIE)
- 复位所有连接所需要的指针 (GL.C1QPR)
- 建立连接 (GL.CON1-4)
- 如果连接断开，在断开后复位队列指针。

图8-3. 发送连接图

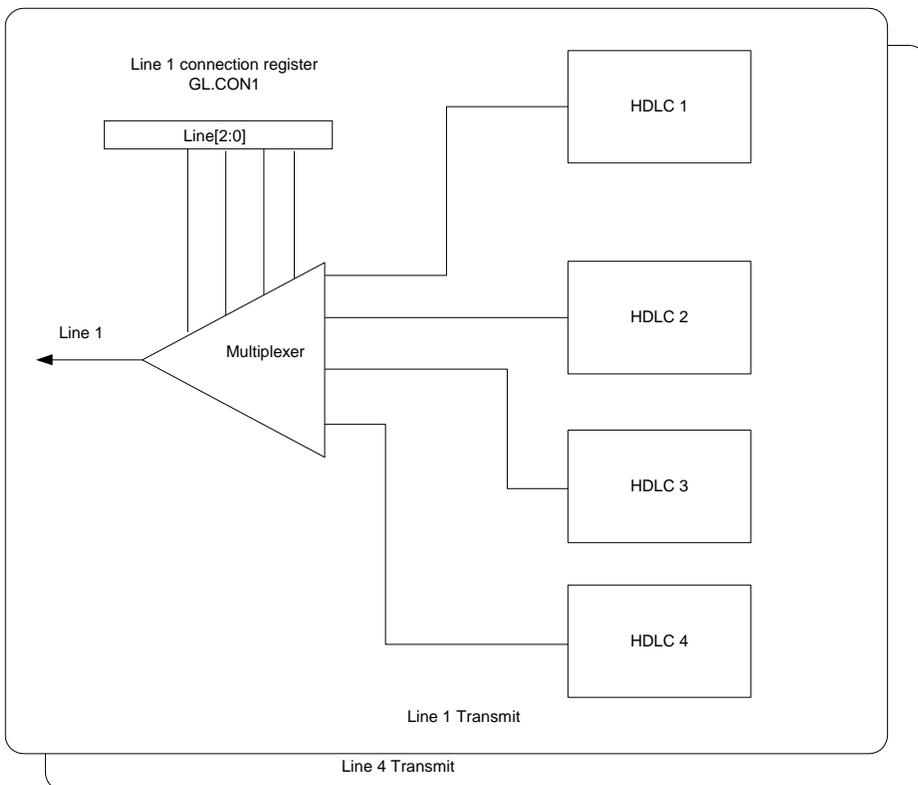


图8-4. 接收连接图

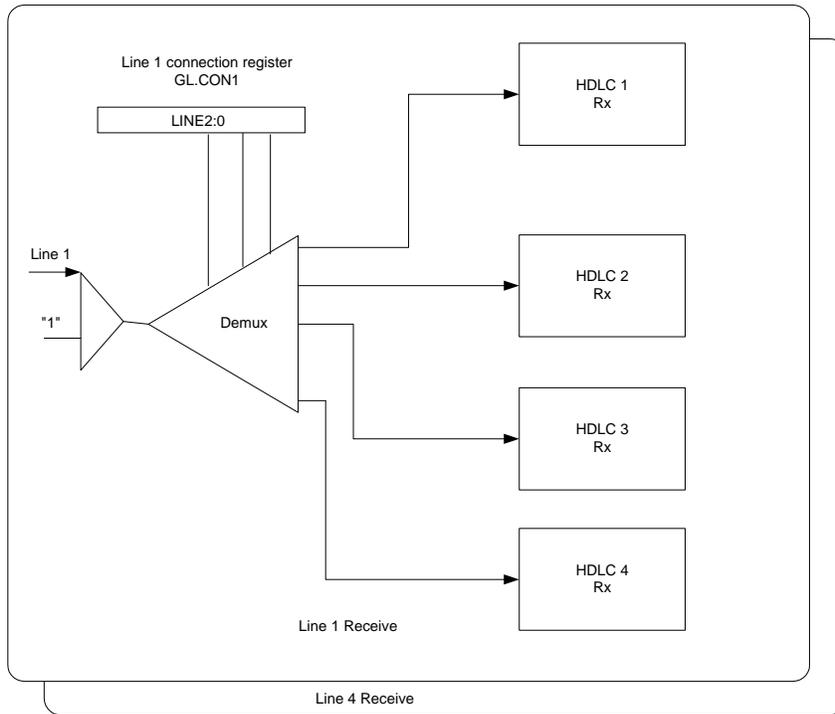


表8-4. 连接和队列相关的寄存器

REGISTER	FUNCTION
GL.CON1-4	Enable connection between the Ethernet Interfaces and the Serial Interfaces. Note that once connection is set up, then the queues and thresholds can be setup for that connection.
AR.TQSC1-4	Size for the Transmit Queue in Number of 32-2K packets.
AR.RQSC1-4	Size for the Receive Queue in Number of 32-2K packets.
GL.TRQIE	Interrupt enable for items related to the connections at the global level
GL.TRQIS	Interrupt enable status for items related to the connections at the global level
LI.TQTIE	Enables for the Transmit queue crossing high and low thresholds
LI.TQCTLS	Latched status bits for connection high and low thresholds for the transmit queue.
SU.QRIE	Enables for the receive queue crossing high and low thresholds
SU.QCRLS	Latched status bits for receive queue high and low thresholds.
GL.C1QPR-GL.C4QPR	Reset the connection pointers.

8.11 仲裁器

仲裁器管理以太网端口和串行端口之间的传输，管理在一个外部 SDRAM 中的数据包排队与退出排队。仲裁器处理 HDLC 和 MAC 与 SDRAM 之间的数据传送请求。

8.12 流控

流控用于保证数据队列不会溢出，数据包不会丢失。DS33Z44 采用基于队列溢出上限或主机处理器干预的流控。用于流控的基本机制有两种：

- 在半双工模式下，发送一个引起远端冲突的拥塞序列。冲突导致发送节点降低传输速率。
- 在全双工模式下，流控由接收节点发送一个暂停帧实现。暂停帧的定时参数决定发送节点暂停时间。

注意，术语“发送队列”和“接收队列”是相对于以太网接口而言的。接收队列是指来自 MII/RMII 接口，由 MAC 处理、存储在 SDRAM 中的数据。发送队列是指来自串行端口，由 HDLC 处理、存储在 SDRAM 中，将向 MAC 发送器发送的数据。

可采用以下的流控选项：

- 硬件模式下，通过 AFCSn 和 FULLDSn 引脚使能自动流控
- 软件模式下，通过 SU.GCR.ATFLOW 位使能自动流控。注意，如果 ATFLOW 置位，用户则不能对 SU.MACFCR.FCE 和 FCB 位进行控制。发送暂停或者拥塞机制仅依赖于接收队列阈值上限。
- 当 SU.GCR.ATFLOW=0 时，可通过软件设置为人工流控。主机处理器必须监控接收队列，通过 SU.MACFCR.FCB、SU.GCR.JAME 和 SU.MACFCR.FCE 位产生暂停帧 (全双工) 以及拥塞字节。

注意，为采用流控，接收队列长度必须至少设为 2 (AR.RQSC1-4)，接收队列阈值上限 (SU.RQHT) 必须至少设为 1。如果阈值上限设置的与队列长度相同，自动流控将不会生效。阈值上限设置必须总小于相应的队列长度。

下表是 DS33Z44 流控机制的所有选项。

表8-5. 流控选项

Configuration	HARDWARE MODE			SOFTWARE MODE			
	No flow control	Half duplex, Flow control With respect to SU.RQHT	Full duplex, Flow control With respect to SU.RQHT	Half Duplex; Manual Flow Control	Half Duplex; Automatic Flow Control	Full Duplex; Manual Flow Control	Full Duplex; Automatic Flow Control
HWMODE Pin	1	1	1	0	0	0	0
AFCSn Pin	0	1	1	N/A	N/A	N/A	N/A
FULLDSn Pin	0	0	1	0	0	1	1
ATFLOW Bit	N/A	N/A	N/A	0	1	0	1
JAME Bit	N/A	N/A	N/A	Controlled By User	Controlled automatically	N/A	N/A
FCB Bit (Pause)	N/A	N/A	Controlled automatically	NA	NA	Controlled by user	Controlled automatically
FCE Bit	N/A	Set to AFCSn pin= Low	Set to AFCSn pin= High	Controlled By User	Controlled automatically	Controlled By User	Controlled Automatically
Pause Timer	N/A	N/A	Set to 140	N/A	N/A	Programmed by user	Programmed by user

8.12.1 全双工流控

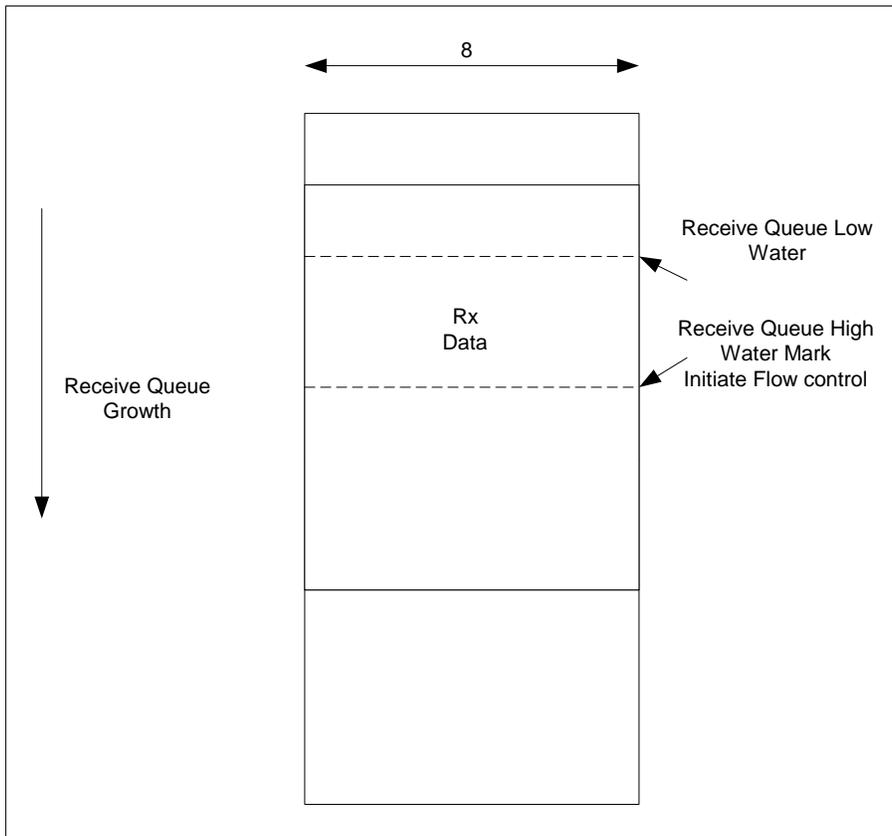
软件模式下，默认使能自动流控。主机处理器可设置SU.GCR.ATFLOW 来禁止此功能。硬件模式下，用户必须在AFCSn 引脚上加逻辑高电平来使能自动流控功能。流控机制由溢出上限 (SU.RQHT) 管理。SU.RQLT 阈值下限可用于标志网络拥塞已经清除。SU.RQLT 的数值不会影响流控。当超过连接队列阈值上限时，DS33Z44 将发送带有用户设置定时器值的暂停帧。参见表 8-7. MAC 控制寄存器，了解更详细的信息。建议采用 140 个时隙 (64 个字节或者 5120 个字节) 做为标准定时器值。

暂停帧使远端发送器在重新开始传输之前，“暂停一段时间”。用户设置接收队列的阈值上下限，但是建议阈值上限设置为低于队列最大长度 96 个数据包，阈值下限低于阈值上限 96 个数据包。队列越过阈值上限时，接收一帧后，DS33Z44 将发送一个暂停帧。在“阈值上限状态”每接收一帧发送一个暂停帧。如果往返时延超过 2800 个字节，接收队列将会持续增长。暂停控制只处理暂时拥塞，而不处理相对队列长度而言吞吐量过大的系统。如果流控不能奏效，接收队列最终会溢出，由SU.QCRLS.RQOVFL 锁存位进行标识。如果接收队列已经溢出，将无法接收到新帧。

用户可以选择不采用自动流控。在这种情况下，利用阈值和相应的中断机制发送暂停帧则通过向 MAC 流控寄存器 SU.MACFCR.FCB、SU.GCR.JAME 和SU.MACFCR 写入流控忙位实现，使用户不仅能够设置溢出上下限，还可以决定何时发送暂停帧，而不依赖于溢出。

在接收侧，用户控制是否响应远端发送的暂停帧 (PCF 位)。注意，如果采用自动流控，用户不能修改 MAC 流控寄存器的 FCE 位。在发送队列上，用户可设置阈值上下限以及相应的中断。以太网拥塞严重时，对于来自串行接口一侧、等待通过以太网接口发送的数据则没有自动流控机制。

图8-5. 采用暂停控制帧的流控



8.12.2 半双工流控

半双工流控采用一个阻塞序列对发送节点施加反压。接收节点阻塞来自 MAC 数据包的前 4 个字节，以便引起远端冲突。在 100Mbps 和 10Mbps MII/RMII 模式下，对新帧的前 4 个字节在接收时进行阻塞。注意，阻塞机制并不阻塞当前接收到的溢出帧，而是等到 [SU.RQHT](#) 位置位后，阻塞下一帧。如果队列仍高于溢出上限，接收帧将被继续阻塞。该阻塞序列在队列小于阈值上限后停止。

8.12.3 主机管理的流控

尽管建议使用自动流控，但也可以用主机处理器管理流控。利用溢出上限中断，主机处理器可以人工处理暂停帧，或阻塞数据包，对发送节点施加反压。暂停帧可采用 `SU.MACFCR.FCB` 位启动。阻塞序列可通过设置 `SU.GCR.JAME` 启动。主机可通过监视 `SU.RFSB3.UF` 和 `SU.RFSB3.CF` 来探测暂停帧。数据包冲突时无法区别阻塞帧。

8.13 以太网接口

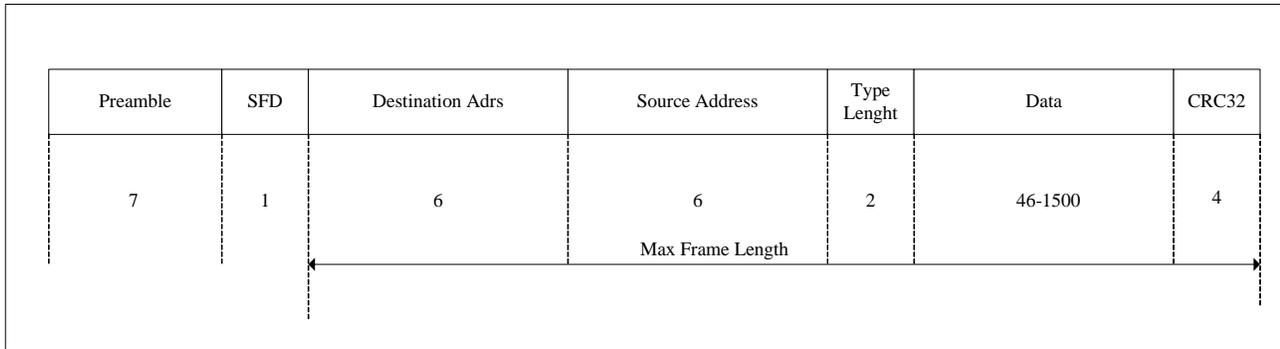
四个以太网接口可实现与以太网 PHY 的直接连接。每个接口由一个 10/100Mbps MII/RMII 接口和一个以太网 MAC 组成。在 RMII 模式下，接口含 8 路信号和一路 50MHz 基准时钟。在 MII 模式下，接口含 12 路信号和一路 25MHz 基准时钟。DS33Z44 可通过硬件引脚 RMIIMIS 选择为 RMII 或 MII 接口。REF_CLKO 输出可用于同步 REF_CLK 输入。在 DCE 模式下，如果端口设置为 MII，REF_CLK 必须为 25MHz。DS33Z44 用 REF_CLK 输入在内部产生 DCE 模式所需的 TX_CLKn 和 RX_CLKn 输出 (100Mbps 的 25MHz，10Mbps 的 2.5MHz)。DTE 模式工作下，TX_CLKn 和 RX_CLKn 信号由 PHY 产生，作为 DS33Z44 的输入。

来自 MII 或 RMII 接口的数据由内部 IEEE 802.3 以太网 MAC 处理。用户可用 SU.RMFSRH 和 SU.RMFSRL 寄存器选择接收最大帧长度 (最大 2016 字节)。最大帧长度 (以位为单位) 是 SU.RMFSRH 和 SU.RMFSRL 中的数值乘以 8。设置任何大于 2016 字节的数值将会导致不可预测的结果，应避免采用。

长度如图 8-6. IEEE 802.3 以太网所示。长度包括唯一目的地址、源地址、VLAN 标签 (两个字节)、类型长度域、数据和 CRC32。帧长度与图中所示的 802.3 长度域值不同。

来自以太网 PHY 或者数据包处理器的帧如果超过指定的最大帧长度，将被拒绝接收。每个发送或接收的以太网帧影响状态位 (SU.TFSH、SU.TFSL 和 SU.RFSB0 至 SU.RFSB3)。这些实时状态寄存器根据发送或接收的每个帧变化。因此，这种方式只对发送或接收一个帧，状态与发送或接收帧有关的情况有意义。

图8-6. IEEE 802.3 以太网帧



在超时传输、载波丢失、过度延时、滞后冲突、过度冲突、欠载、延时或冲突错误发生时，远端通常会对帧拒收。帧传输发生这些错误时，将会在 SU.TFSL、SU.TFSH 中产生一个状态位。通过对 SU.TFRC 进行设置，DS33Z44 为用户提供发生错误时的帧自动重传选择。延时帧和“心跳失效”具有独立的帧重传控制位 (SU.TFRC.TFBFCB 和 SU.TFRC.TPRHBC)。如果没有载波 (由 MAC 发送数据包状态标识)，发送队列 (由串行接口至 SDRAM，至以太网接口的数据) 可选择清除，由 SU.TFRC.NCFQ 进行控制。

MAC 电路为每个接收到的帧产生一个帧状态。该实时状态可由 SU.RFSB0 至 SU.RFSB3 读取。注意，帧状态为“实时”状态，因此其数值会随着新接收到的帧而改变。因此，实时状态是新接收帧的状态，但可能不是当前正在处理的接收帧状态。这也适用于发送帧。

DS33Z44 通常会拒绝错误帧。用户可在接收帧拒绝控制寄存器 (SU.RFRC) 中进行设置来选择接收帧。用户可以设置接收还是拒绝带有以下错误的帧：

- 帧接收时，MII 错误置位
- 帧中出现非字节对齐 (dribbling bits)
- 出现 CRC 错误
- 出现帧长度错误 — 实际接收字节数与帧长度所示不符
- 接收到控制帧。必须是全双工工作模式
- 接收到不支持的控制帧

注意，如果所接收的帧不完整或者是冲突帧，将会自动拒绝接收。在硬件模式下，将拒绝接收任何有错误的帧，任何错误帧将重传。

表8-6. 以太网端口相关寄存器

REGISTER	FUNCTION
SU.TFRC	This register determines if the current frame is retransmitted due to various transmit errors.
SU.TFSL and SU.TFSH	These two registers provide the real-time status of the transmit frame. Only apply to the last frame transmitted.
SU.RFSB0 to 3	These registers provide the real-time status for the received frame. Only apply to the last frame received.
SU.RFRC	This register provides settings for reception or rejection of frame based on errors detected by the MAC.
SU.RMFSRH and SU.RMFSRL	The settings for this register provide the maximum size of frames to be accepted from the MII/RMII receive interface.
SU.MACCR	This register provides configuration control for the MAC.

8.13.1 DTE 和 DCE 模式

以太网 MII/RMII 接口可设置为 DCE 或 DTE 模式。当端口设置为 DTE 模式时，可连接至以太网 PHY。在 DCE 模式下，端口可连接至 MII/RMII MAC 器件，而不是以太网 PHY。DS33Z44 在 MII 模式下的 DTE/DCE 连接示于下面的两个图中。

在 DCE 模式下，DS33Z44 发送器连接至外部接收器，DS33Z44 接收器连接至外部 MAC 发送器。由硬件引脚 DCEDTES 选择 DTE 或 DCE 模式。

图8-7. MII 模式下，设置为与以太网 PHY 连接的 DTE

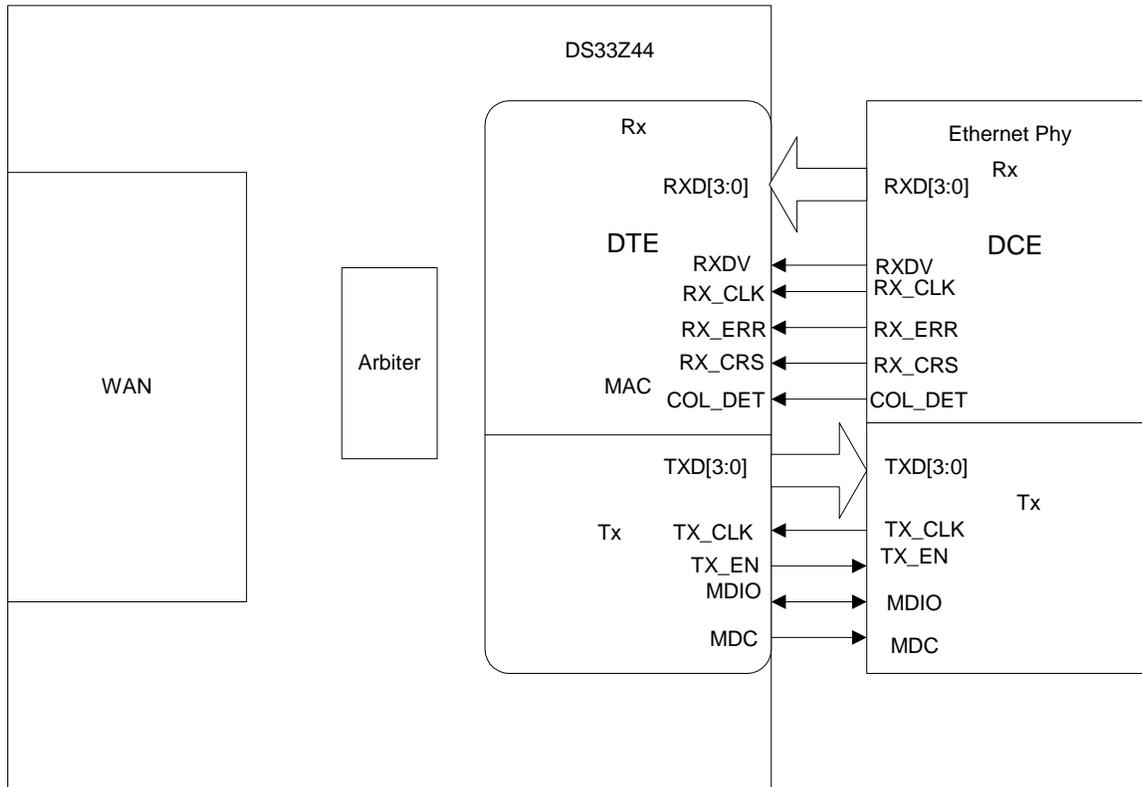
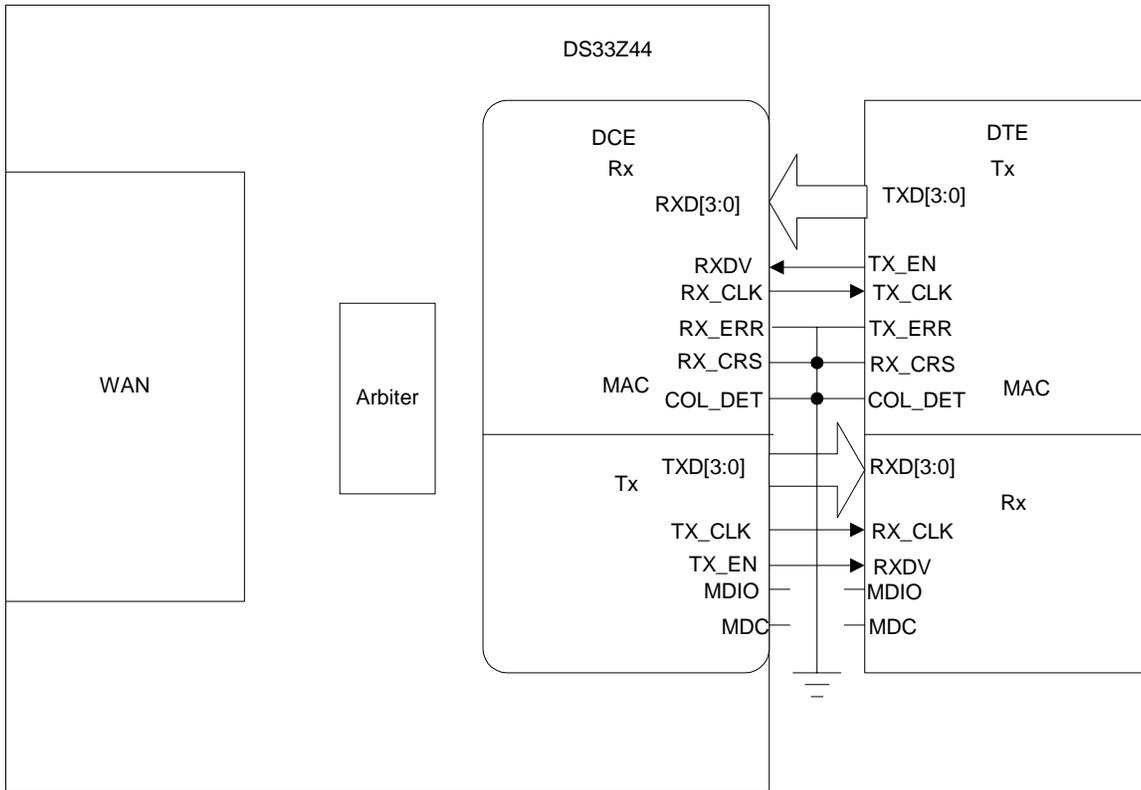


图8-8. MII 模式下，DS33Z44 设置为 DCE



8.14 以太网 MAC

访问 MAC 寄存器设置时，需要进行间接寻址。写入 MAC 寄存器需要向寄存器SU.MACWD0-3 写入 4 个字节数据。地址必须写入SU.MACA WL和SU.MACA WH。通过向SU.MACRWC.MCRW 写入一个 0 以及向 MCS (MAC 控制状态) 写入一个 1 来执行写操作。操作完成后，DS33Z44 清零 MCS。

读取 MAC 寄存器需要向SU.MACRADH和SU.MACRADL寄存器写入读取的地址。向SU.MACRWC.MCRW 写入一个 1 以及向SU.MACRWC.MCS 写入一个 0 来执行写操作。操作完成后，DS33Z44 清零SU.MACRWC.MCS。MCS 清零后，有效数据出现在SU.MACRD0-SU.MACRD3中。注意，一次只能执行一个操作 (读或写)。在器件清零 MCS 位之前，不能对 MAC 寄存器数据进行写或读。下表是 MAC 寄存器的详细情况。

表8-7. MAC 控制寄存器

ADDRESS	REGISTER	DESCRIPTION
0000h–0003h	SU.MACCR	MAC Control Register. This register is used for programming full duplex, half duplex, promiscuous mode, and back-off limit for half duplex. The transmit and receive enable bits must be set for the MAC to operate.
0004h–0007h	SU.MACAH	MAC Address High Register. This provides the physical address for this MAC.
0008h–000Bh	SU.MACAL	MAC Address Low Register. This provides the physical address for this MAC.
000Ch–000Fh	SU.MACMAH	Multicast Hash Table High Register
0010h–0013h	SU.MACMAL	Multicast Hash Table Low Register
0014h–0017h	SU.MACMIIA	MII Address Register (only available for MAC1). The user can specify the address for the access to the PHY through MDIO interface.
0018h–001Bh	SU.MACMIID	MII Data Register (only available for MAC1). The user can specify the data for the access to the PHY through MDIO interface.
001Ch–001Fh	SU.MACFCR	Flow Control Register
0100h–0103h	SU.MMCCTRL	MMC Control Register bit 0 for resetting the status counters

表8-8. MAC 状态寄存器

ADDRESS	REGISTER	DESCRIPTION
0200h–0203h	SU.RxFrmCntr	All Frames Received Counter
0204h–0207h	SU.RxFrmOKCtr	Number of Received Frames that are Good
0300h–0303h	SU.TxFrmCtr	Number of Frames Transmitted
0308h–030Bh	SU.TxBytesCtr	Number of Bytes Transmitted
030Ch–030Fh	SU.TxBytesOkCtr	Number of Bytes Transmitted with good frames
0334h–0337h	SU.TxFrmUndr	Transmit FIFO underflow counter
0338h–033Bh	SU.TxBdFrmsCtr	Transmit Number of Frames Aborted

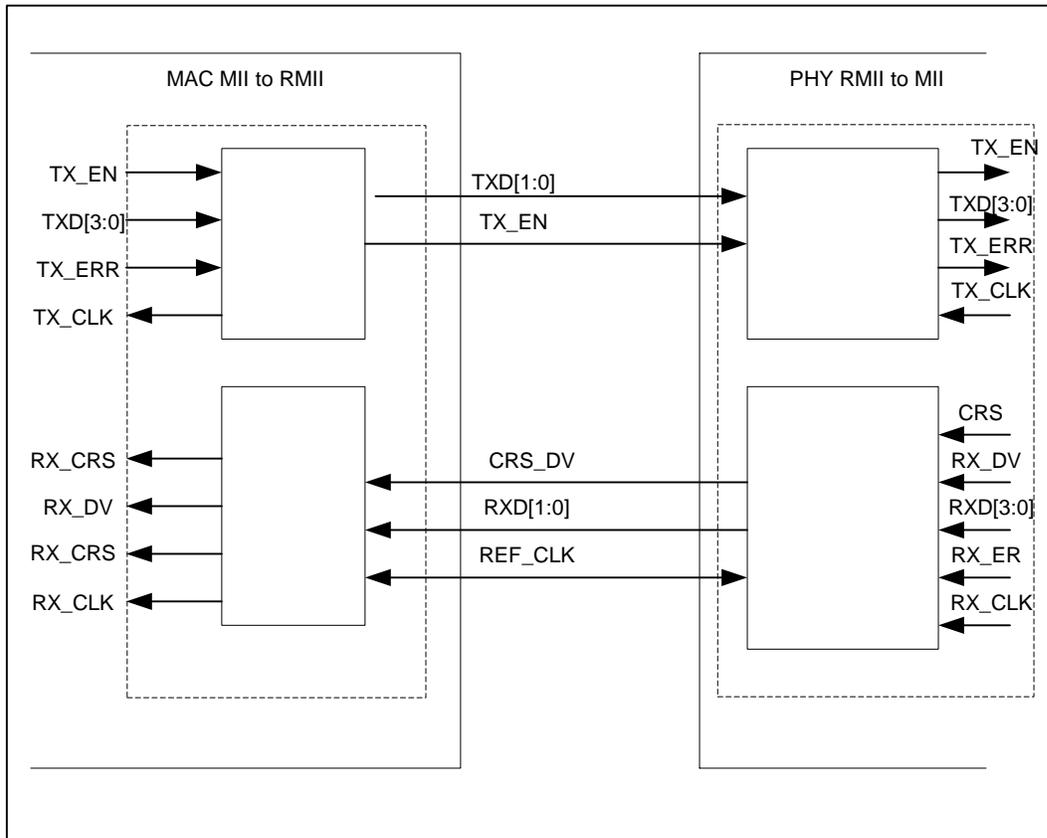
8.14.1 MII 模式选项

MODE/SPEED	FUNCTIONS
10 Mbps half duplex DTE with flow control off	Full duplex/half duplex is set through MAC registers. Hardware pin is used for DTE/DCE setting. In DTE the MII clocks are expected from the PHY interface. In DCE Mode the MII interface provides the clocks.
10 Mbps half duplex DTE with flow control	In half duplex mode the flow control mechanism is backpressure. This is set by FCE bit in the MAC Control Register. The MAC will send JAM bits as required.
10 Mbps full duplex DTE Mode with no flow control	
100 Mbps full duplex, DTE with flow control	In full duplex DTE mode the clocks are expected from the PHY. The flow control for a full duplex operation is using control frames. If the MAC receives a pause command the Transmitter is disabled for the time specified in the pause command. The pause command has a multicast address 01-80-62-00-00-01. The MAC can also initiate a pause control frame by SU.GCR. The duration field in the pause control frame is determined by settings in the MAC Flow Control Register.
100 Mbps half duplex, DTE with no flow control	In half duplex mode collisions are not ignored.
100 Mbps half duplex, DTE with flow control	In half duplex mode collisions are not ignored. The flow control is through backpressure.
100 Mbps full duplex, DTE with no flow control	
100 Mbps full duplex DCE mode	In full duplex DCE mode the clocks are provided by the DS33Z44. This clock is derived from the REF_CLK.
100 Mbps half duplex DCE mode with flow control	In full duplex DCE mode the clocks are provided by the DS33Z44. The flow control for a full duplex operation is using control frames. If the MAC receives a pause command the Transmitter is disabled for the time specified in the pause command. The pause command has a multicast address 01-80-62-00-00-01. The MAC can also initiate a pause control frame by SU.GCR. The duration field in the pause control frame is determined by settings in the MAC Flow Control Register.
100 Mbps full duplex DCE mode with flow control	In full duplex DCE mode the clocks are provided by the DS33Z44. The flow control for a full duplex operation is using control frames. If the MAC receives a pause command the Transmitter is disabled for the time specified in the pause command. The pause command has a multicast address 01-80-62-00-00-01. The MAC can also initiate a pause control frame by SU.GCR. The duration field in the pause control frame is determined by settings in the MAC Flow Control Register.

8.14.2 RMII 模式

RMII 接口同步工作在外部 50MHz 基准时钟 (REF_CLK) 上。仅需 8 路信号。下图是 RMII 体系结构。注意，DCE 模式不支持 RMII 模式，RMII 只在全双工模式下有效。

图8-9. RMII 接口



8.14.3 PHY MII 管理模块和 MDIO 接口

MII 管理模块使主机能够最多控制 32 个 PHY，每个带有 32 个寄存器。MII 模块采用 2 线串行接口与外部 PHY 进行通信，MDC 传送时钟的 MDIO 传送数据。MDIO 上的数据在 MDC 时钟上升沿有效。MII 管理接口的帧格式如图 8-10 所示。MII 管理通过间接寻址 SU.MACMIIA MII 管理地址寄存器实现，数据通过间接寻址 SU.MACMIID 数据寄存器传送。这些间接寄存器通过表 8-7 定义的 MAC 控制寄存器访问。MDC 时钟由内部产生，速率为 1.67MHz。注意，DS33Z44 提供单个 MII 管理端口，该功能的所有控制寄存器均位于 MAC 1。

图8-10. MII 管理帧

	Preamble 32 bits	Start 2 bits	Opco de 2 bits	Phy Adrs 5 bits	Phy Reg 5 bits	Turn Aroun d 2 bits	Data 16 bits	Idle 1 Bit
READ	111...111	01	10	PHYA[4:0]	PHYR[4:0]	ZZ	ZZZZZZZZZZ	Z
WRITE	111...111	01	01	PHYA[4:0]	PHYR[4:0]	10	PHYD[15:0]	Z

8.15 BERT

BERT 用于产生并探测 BERT 码型。BERT 是一个软件可编程测试码型产生器和监视器，可满足数字传输设备的大部分误码性能要求。以下限制与 BERT 相关：

- RDEN1-4 和 TDEN1-4 是能够用于“间隔”位的输入。
- 即使器件设置为 X.86 模式、TDENn 设置为输出时，BERT 仍将发送。
- BERT 工作时，正常的流控将中断。
- 如果串行端口使能 BERT，它将使正常连接无效。
- 如果一个连接被 BERT 置为无效，BERT 完成后，该连接恢复正常工作。

发送方向产生可编程测试码型，并在数据流中插入测试码型。接收方向在接收数据流中提取测试码型，为可编程测试码型提供负载监视功能。

BERT 特性

- **PRBS 和 QRSS 码型** — 支持 2^9-1 、 $2^{15}-1$ 、 $2^{23}-1$ 和 QRSS 码型
- **可编程重复码型** — 可设置重复码型长度和码型 (长度 $n = 1$ 至 32 ，码型 = 0 至 (2^n-1))。
- **24 位误码计数，32 位的位计数寄存器**
- **可编程位误码插入** — 可单独插入误码位。

8.15.1 接收数据接口

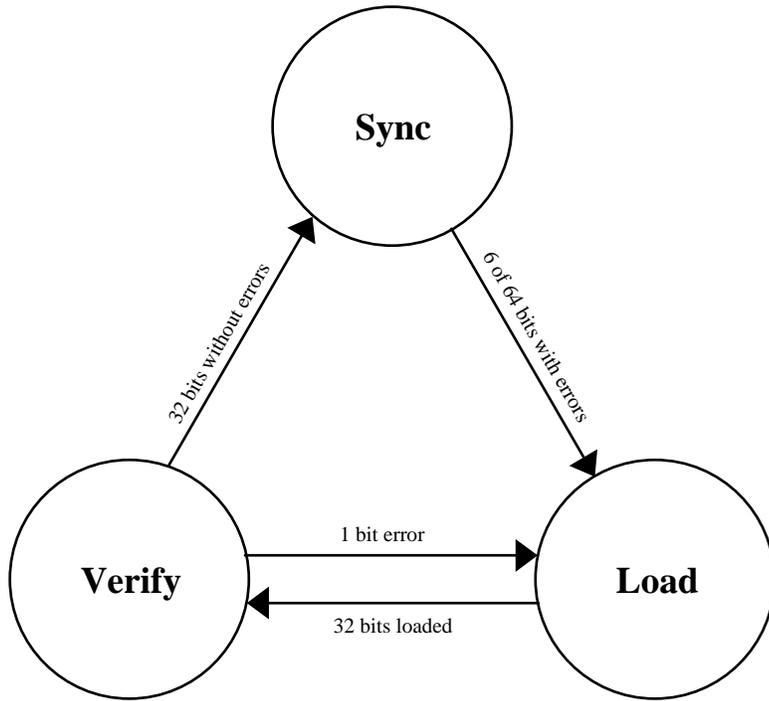
8.15.1.1 接收码型探测

接收 BERT 只接收负载数据，使接收码型产生器与收到的码型同步。接收码型产生器是一个 32 位移位寄存器，可将数据由最低有效位 (LSB) 即第 1 位移位至最高有效位 (MSB) 即第 32 位。第 1 位的输入为反馈。对于 PRBS 码型 (生成多项式为 $x^n + x^y + 1$)，反馈为第 n 位和第 y 位的 XOR。对于重复码型 (长度 n)，反馈为第 n 位。 n 和 y 的值可单独设置 (1 至 32)。接收码型产生器的输出为反馈。如果 QRSS 使能，反馈为第 17 位和第 20 位的 XOR，如果后面的 14 位全零，则输出强制为 1。QRSS 可设置 (开或关)。对于 PRBS 和 QRSS 码型，如果第 1 位至第 31 位全零，则反馈强制为 1。根据所设置的码型类型，码型探测表现为 PRBS 同步或重复码型同步。

8.15.1.2 PRBS 同步

PRBS 同步功能使接收码型产生器和收到的 PRBS 或 QRSS 码型同步。接收码型产生器装入 32 位数据流，然后检查后面的 32 位数据流。如果所有 32 位与收到码型匹配，则认为实现同步。如果当前收到的 64 位中至少有一位与接收码型产生器不匹配，则自动重新执行码型同步。自动重新码型同步功能可禁用。

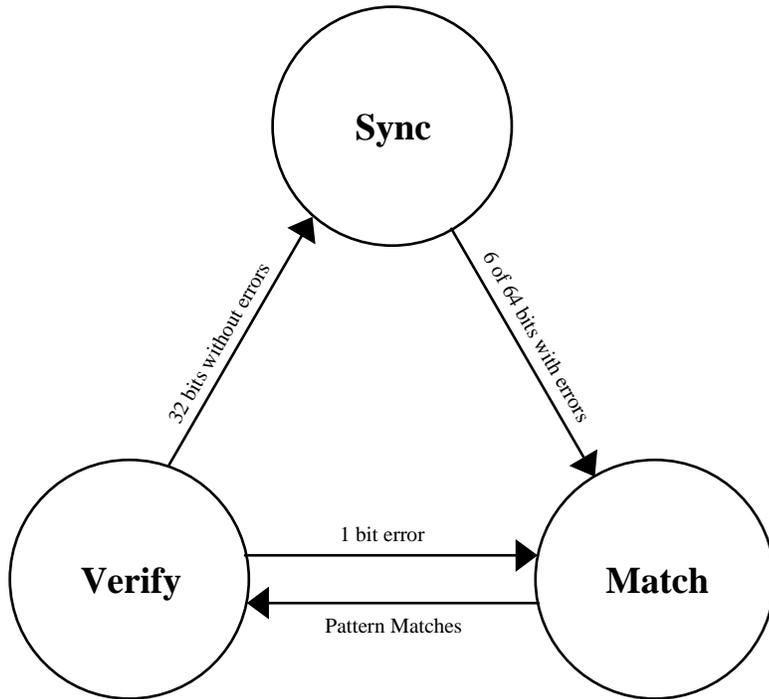
图8-11. PRBS 同步状态图



8.15.2 重复码型同步

重复码型同步功能使接收码型产生器与收到的重复码型同步。接收码型产生器搜寻每个收到数据流中的重复码型，然后检查后面的 32 个数据位。如果所有 32 位与收到的码型匹配，则认为实现同步。如果当前收到的 64 位中至少有一位与接收 PRBS 码型产生器不匹配，则自动重新执行码型同步。可禁用自动重新码型同步功能。

图8-12. 重复码型同步状态图



8.15.3 码型监视

码型监视功能监视收到数据流的同步丢失 (OOS) 状态、误码，并对收到的位计数。当同步状态机没有处于“Sync”状态时，则指示出现 OOS 状态。同步状态机处于“Sync”状态时，OOS 状态结束。

通过比较收到的数据流和接收码型产生器输出来判断误码，如果二者不匹配，则表示出现一个误码，误码和位计数将递增。如果二者匹配，则只有位计数递增。OOS 状态下位计数和误码计数不会递增。

8.15.4 码型产生

码型产生功能产生测试码型，并将其传递给误码插入功能。发送码型产生器是一个 32 位移位寄存器，可将数据由最低有效位 (LSB) 即第 1 位移至最高有效位 (MSB) 即第 32 位。第 1 位输入为反馈。对于 PRBS 码型 (生成多项式为 $x^n + x^y + 1$)，反馈为第 n 位和第 y 位的 XOR。对于重复码型 (长度 n)，反馈为第 n 位。 n 和 y 的值可单独设置。接收码型产生器的输出为反馈。如果 QRSS 使能，反馈为第 17 位和第 20 位的 XOR，如果后面的 14 个位全零，则输出强制为 1。QRSS 可设置 (打开或关断)。对于 PRBS 和 QRSS 码型，如果第 1 位至第 31 位全为零，则反馈强制为 1。装入新码型时，在开始产生码型前，码型产生器先装入一个码型值，码型值可设置 (0 至 $2^n - 1$)。当产生 PRBS 和 QRSS 码型时，其种子值为全 1。

8.15.4.1 误码插入

误码插入功能向输出码型数据流中插入误码。误码为插入一个‘1’，一位误码插入可由微处理器接口启动。如果使能码型反转功能，数据流在插入开销/填充位前反转。码型反转可设置 (打开或关断)。

8.15.4.2 性能监视刷新

所有计数器在达到最大计数值后，停止计数。通过置位 (低至高跳变) 性能监视刷新信号 (PMU)，对计数器寄存器进行刷新。在计数器寄存器刷新过程中，性能监视状态信号 (PMS) 解除置位。计数器寄存器刷新过程包括将当前计数装入计数器寄存器、复位计数器、将零计数状态指示置低一个时钟周期，以及置位 PMS。在刷新过程中，不应跳过任何一个步骤。

8.16 串行接口

串行接口由一个串行端口和 HDLC 引擎组成。串行接口信号由发送数据、发送时钟、发送使能、接收数据、接收时钟和接收使能组成。接口可用于无缝连接至 D21458、DS3154 和 DS3144 等 T1/E1/T3/E3 成帧器和 LIU。下表概述了控制串行端口的寄存器。

表8-9. 串行端口功能

REGISTER	FUNCTIONS
LI.TSLCR LI.RSLCR	These two registers are used for defining the settings of the Transmit and Receive Serial Interfaces. The enable signals for the data can be selected to have active high or low polarity. This is shown in LI.RSLCR and LI.TSLCR.

8.17 发送数据包处理器

发送数据包处理器接收来自发送 FIFO 的数据，完成位重排序、FCS 处理、误码插入、填充、丢弃序列插入、帧间填充和加扰等功能。发送数据包处理器至发送串行接口的数据输出为串行数据流 (位同步模式)。可禁用 HDLC 处理 (使能通道清除)。禁用 HDLC 处理将会禁止 FCS 处理、误码插入、填充、丢弃序列插入和帧间填充功能，只有位重排序和加扰功能继续使用。

位重排序改变每个字节位的顺序。如果禁用位重排序功能，输出的 8 位数据流 DT[1:8]中 DT[1]为 MSB、DT[8]为 LSB，由发送 FIFO 输出的数据 TFD[7:0] (15:8, 23:16 或 31:24) 中，MSB 位于 TFD[7] (或 15、23 或 31)，LSB 位于 TFD[0] (或 8、16 或 24)。如果使能位重排序功能，8 位数据流 DT[1:8]由发送 FIFO 输出时，在 TFD[7:0]中，MSB 位于 TFD[0]，LSB 位于 TFD[7]。在位同步模式下，DT[1]是第一个发送的位。位重排序在硬件模式下，由地址引脚 A0 进行控制。

FCS 处理功能计算 FCS，并将其附在数据包后。FCS 是整个数据包的 CRC-16 或 CRC-32 结果。FCS-16 多项式为 $x^{16} + x^{12} + x^5 + 1$ 。FCS-32 多项式为 $x^{32} + x^{26} + x^{23} + x^{22} + x^{16} + x^{12} + x^{11} + x^{10} + x^8 + x^7 + x^5 + x^4 + x^2 + x + 1$ 。FCS 计算完毕后取反。FCS 类型可设置。如果使能 FCS 附加功能，计算出的 FCS 将被附在数据包后。如果禁用 FCS 附件功能，数据包发送时将不带有 FCS。FCS 附加模式可设置。如果禁用数据包处理功能，将不进行 FCS 处理。

误码插入功能在 FCS 字节中插入误码。在每个错误数据包中，FCS 有一位误码。错误数据包之间的 FCS 误码位各不相同。误码插入可由寄存器控制或人工控制误码插入输入 (LI.TMEI.TMEI)。可设置误码插入初始类型 (寄存器或输入)。如果寄存器控制误码插入，则可以设置插入误码的数量和频率。如果禁用 FCS 附加功能，将不进行误码插入。如果禁用数据包处理功能，也不进行误码插入。

填充插入功能控制数据包中的数据，以防止将数据误判为标志。接收到数据包开始指示后，开始进行填充处理，直到接收到数据包结束指示。位填充插入一个‘0’后接连续的 5 个‘1’。如果禁用数据包处理功能，将不进行位填充处理。

数据包之间至少含有一个标志以及数量可设的附加标志。帧间填充可以全是标志或全‘1’后面带一个开始标志。如果帧间填充为全‘1’，结束和开始标志之间‘1’的数量可以不必是字节的整数倍，但是，结束和开始标志之间应至少有 15 个连续的‘1’。帧间填充类型可设置。如果禁用数据包处理功能，将不进行帧间填充。

丢弃插入功能根据需要插入一个丢弃序列。如果探测到数据包丢弃标识，则插入一个丢弃序列，并进行帧间填充，直到探测到数据包开始标志为止。丢弃序列为 FFh。如果禁用数据包处理功能，将不进行丢弃序列插入。

数据包加扰功能采用 $x^{43} + 1$ 扰码器，对数据包的整个数据流进行扰码。数据包扰码器连续工作，从不复位。在位同步模式下，一次对一位进行扰码。在字节同步模式下，一次对 8 位进行扰码。数据包加扰可设。注意，在硬件模式下，加扰功能由 A1/SD 控制。

一旦完成所有数据包处理功能后，串行数据流被传送至发送串行接口。

8.18 接收数据包处理器

接收数据包处理器接收来自接收串行接口的数据，完成数据包解扰、数据包定界、帧间填充过滤、丢弃数据包探测、去填充、数据包长度检查、FCS 误码监视、FCS 字节提取以及位重排序等功能。接收自串行接口的数据为串行数据流。可禁用数据包处理功能 (使能通道清除)。禁用数据包处理功能将会禁止数据包定界、帧间填充过滤、丢弃数据包探测、去填充、数据包长度检查、FCS 误码监视和 FCS 字节提取功能，只有数据包解扰和位重排序功能继续工作。

数据包解扰采用自同步的 $x^{43} + 1$ 解扰器，对整个数据包数据流进行解扰。数据包解扰功能可设置。解扰器连续工作，从不复位。一次对一个位进行解扰。如果禁用数据包处理功能，串行数据流在进行传送之前，解复用为 8 位数据流。注意，在硬件模式下，解扰功能由 A1/SD 控制。

如果禁用数据包处理功能，数据包边界可任意选取，数据分割为长度可设的“数据包” (根据最大数据包长度设定)。对这些带有数据包开始和数据包结束标志的数据包，进行位重排序。数据不再进行数据包定界、帧间填充过滤、丢弃数据包探测、去填充、数据包大小检查、FCS 误码监视以及 FCS 字节提取等。

数据包定界功能通过识别数据包开始或结束标志来判断数据包边界。每个时隙进行标志序列 (7Eh) 检查。一旦找到标志，将确定为开始/结束标志，设立数据包边界。标志检查一次进行一位。如果禁用数据包处理功能，将不进行数据包定界处理。

帧间填充过滤功能去掉数据包间的帧间填充。当探测到数据包结束标志后，在探测到数据包开始标志之前，将丢弃所有数据。帧间填充可以是标志或是全‘1’。标志间‘1’的数量可以不必是整数个字节，一个标志后，在前 16 位中如果至少探测到 7 个‘1’，则在探测到下一个开始标志前，将丢弃该标志之后的所有数据。数据包之间可能会只有一个标志。帧间填充标志时，标志可以有一个零共用 (011111101111110)。如果两个标志之间少于 16 位，数据将被丢弃。如果禁用数据包处理功能，将不进行帧间填充过滤处理。

丢弃数据包探测搜寻丢弃数据包序列。在数据包开始标志和数据包结束标志之间，如果探测到一个丢弃序列，数据包被标识为丢弃数据包，丢弃数据包计数递增，在探测到数据包开始标志之前，丢弃后面所有数据。丢弃序列是 7 个连续的 1。如果禁用数据包处理功能，将不进行丢弃数据包探测处理。

去填充功能滤除为防止误判标志和丢弃序列而插入的多余数据。探测到开始标志后，设立数据包开始，并丢弃标志，进行去填充，直到探测到结束标志为止，然后设立数据包结束，并丢弃标志。在位同步模式下，进行位去填充。位去填充功能检测到所有‘0’接 5 个连续‘1’后将其丢弃。去填充完成后，串行位流解复用为 8 位并行数据，继续传送时带有数据包开始、数据包结束和丢弃数据包标识。如果在最后字节中少于 8 位，则产生一个无效数据包标志，数据包被打上丢弃标识，数据包长度出错计数递增。如果禁用数据包处理功能，将不进行去填充处理。

数据包长度检查功能检查每个数据包设置的最大和最小长度。收到数据包时，对全部字节计数。如果数据包长度小于最小长度限制，数据包被标以丢弃标识，数据包长度出错计数递增。如果数据包长度大于最大长度限制，数据包被标以丢弃标识，数据包长度出错计数递增，在接收到数据包开始之前，丢弃所有数据。最小和最大长度包括 FCS 字节，在去填充后进行判断。如果禁用数据包处理功能，将不进行数据包长度检查。

FCS 误码监视功能检查 FCS 和丢弃错误数据包。如果探测到一个 FCS 误码，FCS 错误数据包计数递增，数据包被标以丢弃标识。如果没有探测到 FCS 误码，接收数据包计数递增。可设置 FCS 类型 (16 位或 32 位)。如果禁用 FCS 处理或数据包处理功能，将不进行 FCS 误码监视处理。

FCS 字节提取功能将丢弃 FCS 字节。如果使能 FCS 提取功能，将从数据包中提取并丢弃 FCS 字节。如果禁用 FCS 提取功能，FCS 字节与数据包一起存储在接收 FIFO 中。如果禁用 FCS 处理或数据包处理功能，将不进行 FCS 字节提取处理。

位重排序功能改变每个字节的位顺序。如果禁用位重排序功能，收到的 8 位数据流 DT[1:8]中 DT[1]为 MSB、DT[8]为 LSB，输出至接收 FIFO 时，在数据 RFD[7:0] (或 15:8, 23:16 或 31:24) 中，MSB 位于 RFD[7] (或 15、23 或 31)，LSB 位于 RFD[0] (或 8、16 或 24)。如果使能位重排序功能，收到的 8 位数据流 DT[1:8]输出至接收 FIFO 时，在数据 RFD[7:0]中，MSB 位于 RFD[0]中，LSB 位于 RFD[7]。DT[1]是收到的数据流中，第一个接收的位。在硬件模式下，位重排序功能由地址引脚 A0 进行控制。

一旦完成所有数据包处理功能后，8 位并行数据流解复用为 32 位并行数据流。带有数据包开始、数据包结束、丢弃数据包和模数指示的数据被传送至接收 FIFO。在数据包结束时，根据数据包中的字节数，32 位字会含有 1、2、3 或 4 个字节数据。模数指示用于表明数据包最后数据字的字节数。

8.19 X.86 编码和解码

X.86 协议提供将以太网帧封装为 LAPS 的方法。LAPS 为以太网帧封装提供 HDLC 类型的成帧结构，但是不能向 HDLC 那样提供动态带宽扩展。LAPS 封装的帧可用于向 SONET/SDH 网络发送数据。DS33Z44 需要一个字节同步信号来为 X.86 接收器提供字节边界，该信号由 RBSYN 引脚提供。功能时序示于图 10-4 中。X.86 发送器以信号 TBSYN 提供字节边界指示。功能时序示于图 10-3 中。

图8-13. MAC 帧 LAPS 编码

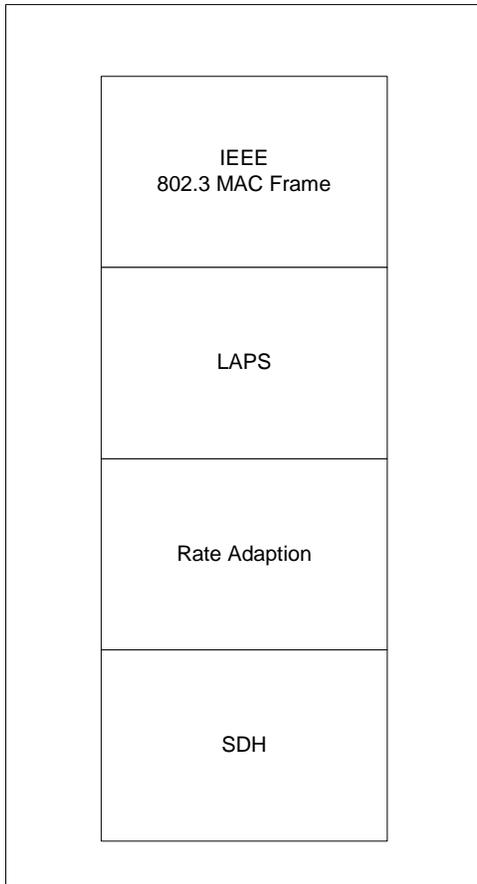
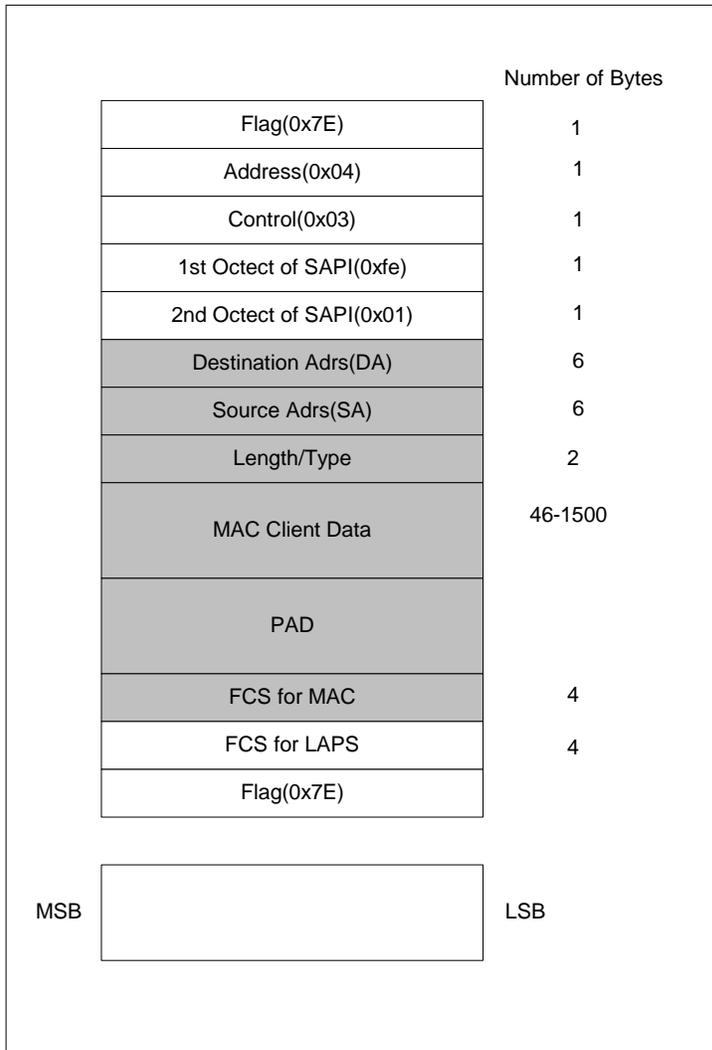


图8-14. MAC 域 X.86 封装



如果 DS33Z44 通过寄存器 [LI.TX86E](#) 中设置成 X.86 模式，MAC 帧将会按 LAPS 封装，编码成完整的串行流。DS33Z44 提供以下功能：

- 地址、SAPI、目的地址、源地址控制寄存器
- 32 位 FCS 使能
- 可编程 $X^{43}+1$ 加扰

接收器功能如下所示：

- 可编程字节 $X^{43}+1$ 解扰
- 探测开始标志 (7E)
- 滤除速率适配字节 7d, dd
- 进行透明处理，7d、5e 转换为 7e，7d、5d 转换为 7d
- 检查有效地址、控制和 SAPI 域 ([LI.TRX86A](#) 至 [LI.TRX86SAPIL](#))
- 进行 FCS 校验
- 探测结束标志

如果发生以下情况，X86 接收帧将被丢弃：

- 探测到 7d、7E。在 X.86 中，这是一个丢弃数据包序列
- 探测到无效 FCS
- 接收到的帧少于 6 个字节
- 控制、SAPI 和地址域与设置值不符
- 探测到字节 7d 后接 5d、5e、7e、dd 以外的字节

对于发送器，如果使能 X.86，作如下处理：

- 构建含有开始标志 SAPI、控制和 MAC 帧的帧
- 计算 FCS
- 进行透明处理—7E 转换为 7D5E，7D 转换为 7D5D
- 附加结束标志 (7E)
- 序列 $X^{43}+1$ 加扰

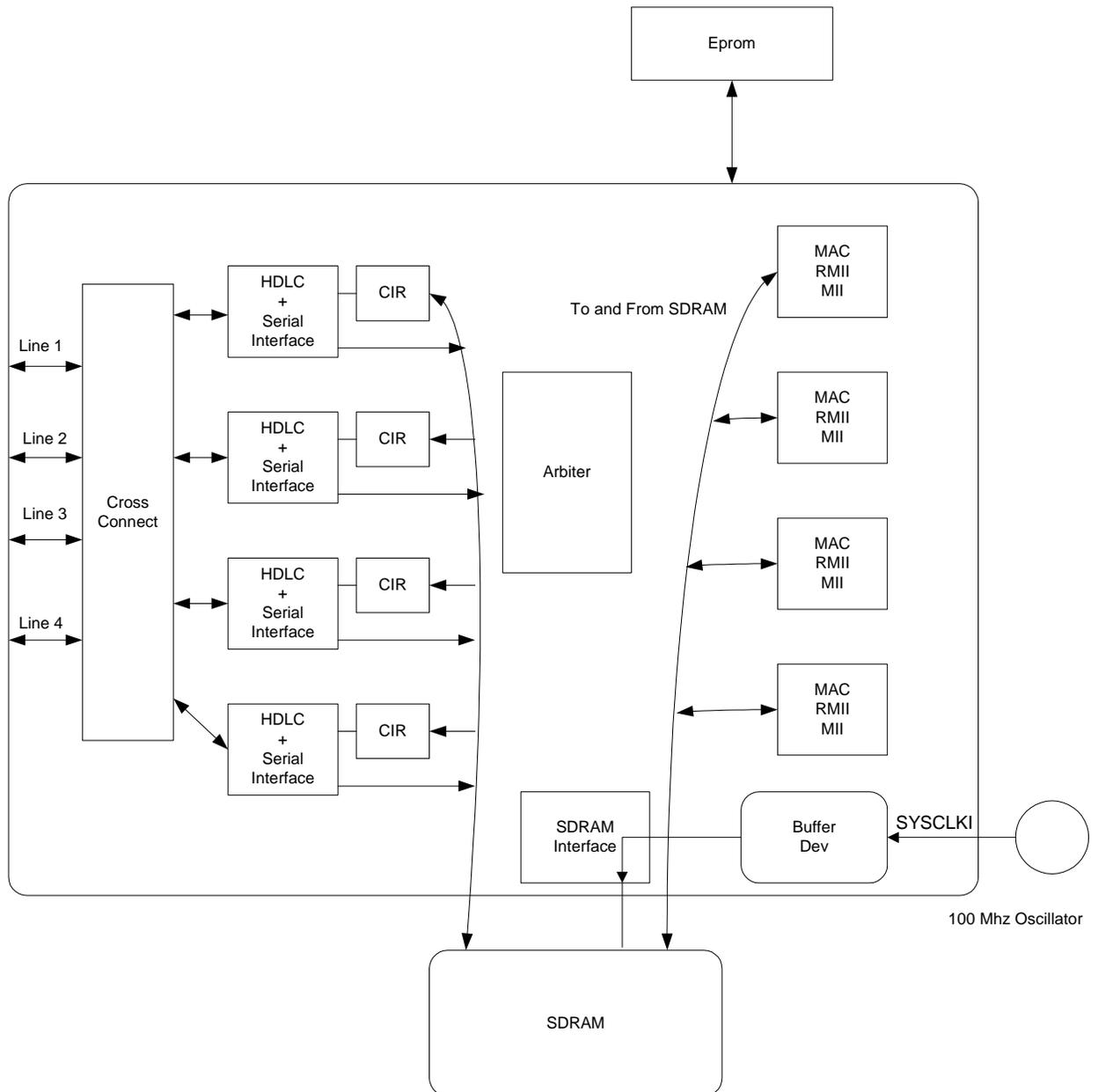
注意，应用于 X.86 的串行发送和接收寄存器有些特殊，在串行接口发送和接收寄存器一节进行说明。

8.20 约定信息速率控制器

DS33Z44 具有 CIR 功能。CIR 用于将接收的 MAC 数据发送限制在设定速率上，如图 8-15 所示。CIR 将限制 MAC 接收的、由 HDLC 发送的数据流，可用于面向 WAN 的带宽分配和计费功能。用户须设置 CIR 寄存器来控制 MAC 至 HDLC 发送的数据吞吐量。CIR 寄存器在 0 至 52Mbps 范围内可设，间隔 500kbps。CIR 工作如下所示：

- CIR 模块对每 125ms 结束时累积的可用吞吐量进行计数。
- 对于接收并存储在 SDRAM 中数据，向串行接口发送时要求可用吞吐量为正。如果可用吞吐量为负，发送接口将不进行数据传送。
- 计算新的可用吞吐量，可用吞吐量 = 原有可用吞吐量 - 最近发送帧长度 (以字节形式表示)。
- 可用吞吐量每 125ms 递增 CIR/8。
- 250ms 内没有使用的可用吞吐量复位至 0。
- CIR 最大值不能超过发送线路速率。
- 如果来自以太网接口的数据速率超过 CIR，接收队列缓冲将被填满，溢出阈值上限将引发流控来降低接收数据速率。
- CIR 功能仅适用于软件模式。
- CIR 功能仅适用于以太网接口接收并将向 WAN 发送的数据。来自 WAN，并将向以太网接口发送的数据则没有 CIR 功能。
- 不允许负的可用吞吐量，如果没有可用吞吐量，在产生新的可用吞吐量之前不会发送任何帧。

图8-15. WAN 发送通路的 CIR



8.21 硬件模式

对于不希望采用微处理器或 EEPROM 的用户，可以采用硬件模式设置。硬件模式不同线路速率下的默认队列长度和溢出阈值可通过 MODEC 引脚设置。用户采用引脚 DCEDTES、RMIIMIIS 和 FULLDS1-4 来选择和设置 DTE/DCE、RMII/MII 和半双工/全双工。流控 (暂停和反压) 可采用 AFCS1-4 引脚设置。用户还可以采用 A0、A1 和 A2 引脚分别控制位顺序、数据加扰和 X.86 封装。

DS33Z44 具有三种不同的默认硬件设置，如下表所示。每个硬件模式的典型应用也在表中列出。注意，仅采用硬件模式时，具有以下限制：

- 复位后端口上电准备发送/接收
- 硬件模式不支持 BERT 功能
- 队列长度和溢出阈值固定
- 接收和发送 HDLC FCS 为 16 位
- 发送数据包出错时重传，接收数据包出错时拒收
- 硬件模式不支持有错数据包的传送
- 硬件引脚选择 MII、RMII、全双工和半双工、自动流控、DTE、DCE、100 或 10Mbps 工作
- 不支持 TDENn 和 RDENn，应接至高电平
- 硬件模式不支持 CIR 功能

表8-10. 硬件模式和应用

MODEC PIN SETTINGS	APPLICATIONS
00	Serial Interfaces 1 to 4 connected to T1/E1 Lines or T3/E3 and Ethernet Interfaces 1 to 4 set to 10 Mbps or 100 Mbps LAN MII or RMII. All transmitters and receivers are enabled for communication.
01	Serial Interfaces 1 to 3 connected to T1/E1 Lines and Serial Interface 4 to T3/E3 and Ethernet Interfaces 1 to 4 set to 10 Mbps or 100 Mbps LAN MII or RMII. All transmitters and receivers are enabled for communication.
10	Serial Interfaces 1 and 2 are connected to T3/E3 lines and Serial Interfaces 3 and 4 are connected to T1/E1 Lines and Ethernet Interfaces 1 to 4 Setup to 10 Mbps or 100 Mbps LAN MII or RMII. All transmitters and receivers are enabled for communication.

每种硬件模式的专用寄存器和详细功能在下表中详细列出。

表8-11. 硬件模式专用功能的默认值

FUNCTIONAL BLOCK	REGISTER REFERENCE	DEFAULT VALUE IN HARDWARE MODE	DESCRIPTION
Global			
Connections Between Serial Ports and Ethernet Interfaces	GL.CON1	0000 0001b	Connection established for Serial 1 to Ethernet 1, Serial 2 to Ethernet 2, Serial 3 to Ethernet 3, and Serial 4 to Ethernet 4.
	GL.CON2	0000 0010b	
	GL.CON3	0000 0011b	
	GL.CON4	0000 0100b	
Serial Data			
Transmit Serial Interface Configuration	LI.TSLCR	0000 0000b	Transmit Data enable is not supported and should be tied high. The user must provide gapped clocks to mask bits if needed. The Transmit Serial data will output on the rising edge of TCLK11-4.
Serial Interface Reset and Power-Down	LI.RSTPD	0000 0000b	In default hardware mode the Serial Interface Transmitter is powered up and ready to go.
Transmit FCS	LI.TPPCL	0001 0000*	FCS is 16 bits for HDLC Transmitter
Transmit Interframe Gap	LI.TIFGC	0000 0001b	Transmit inter frame gap is one byte. The value is 7E.
Receive FCS	LI.RPPCL	0001 0000b*	Receive HDLC FCS is set to 16 bits. Receive scrambling and bit ordering controlled by hardware pins
Receive Maximum Packet Length	LI.RMPSC	2016 bytes	The receive maximum packet length is set to 2016 bytes not including the HDLC FCS. Any packets greater than 2016 bytes are rejected.
Receive Serial Port Configuration	LI.RSLCR	0000 0000b	Receive RDEn enable will not be supported and should be tied high. The Received data is sampled on the falling edge and gapped clock is supported.
Ethernet Interface Reset and Power-Down	SU.RSTPD	0000 0000b*	The MAC is powered up and ready to go
Transmit Packet Resend Criteria	SU.TFRC	0000 0000b	Any error: Jabber timeout, Loss of carrier, Excessive deferral, Late collision, Excessive collisions, Under run, collision, deferred, heartbeat fail will result in resending of packets
Receive Packet Rejection Control	SU.RFRC	0000 0000b	Received packets are rejected if any receive errors occur
Receiver Maximum Size	SU.RMFSR	0111 1110b	The maximum receiver packet size is 2016 bytes including the MAC FCS. Any packet larger than 2016 is rejected
Ethernet			
MAC Control Register	SU.MACCR	1001 0000 0000 0100 0000 0000 0000 0000b*	Duplex mode(bit 20) is determined by the FULLDS pin (MSB to LSB)
MAC Flow Control Register	SU.MACFCR	0000 0001 0100 0000 0000 0000 0000 0000b*	Flow control is determined by the AFCSn pin. Pause Timer = 140 Slots (MSB to LSB)

FUNCTIONAL BLOCK	REGISTER REFERENCE	DEFAULT VALUE IN HARDWARE MODE	DESCRIPTION
Queue Size and Thresholds			
Connection Transmit Queue Size	AR.TQSC1-4	640 packets	Modec[1:0] = 00
	AR.TQSC1-3	512 packets	Modec[1:0] = 01
	AR.TQSC4	640 packets	Modec[1:0] = 01
	AR.TQSC1-2	768 packets	Modec[1:0] = 10
	AR.TQSC3-4	640 packets	Modec[1:0] = 10
Transmit Queue High Threshold	LI.TQHT (ports 1-4)	384 packets	Modec[1:0] = 00
	LI.TQHT (ports 1-4)	384 packets	Modec[1:0] = 01
	LI.TQHT (ports 1-4)	384 packets	Modec[1:0] = 01
Transmit Queue Low Threshold	LI.TQLT (ports 1-4)	192 packets*	Modec[1:0] = 00
	LI.TQLT (ports 1-4)	192 packets*	Modec[1:0] = 01
	LI.TQLT (ports 1-4)	192 packets*	Modec[1:0] = 10
Receive Queue Size	AR.RQSC1-4	1408 packets*	Modec[1:0] = 00
	AR.RQSC1-3	1536 packets*	Modec[1:0] = 01
	AR.RQSC4	1408 packets*	Modec[1:0] = 01
	AR.RQSC1-2	1280 packets*	Modec[1:0] = 10
	AR.RQSC3-4	1408 packets*	Modec[1:0] = 10
Receive Queue Low Threshold	SU.RQLT (ports 1-4)	480 packets*	Modec[1:0] = 00
	SU.RQLT (ports 1-4)	512 packets*	Modec[1:0] = 01
	SU.RQLT (ports 1-2)	384 packets*	Modec[1:0] = 10
	SU.RQLT (ports 3-4)	480 packets*	Modec[1:0] = 10
Receive Queue High Threshold	SU.RQHT (ports 1-4)	960 packets*	Modec[1:0] = 00
	SU.RQHT (ports 1-4)	1024 packets*	Modec[1:0] = 01
	SU.RQHT (ports 1-2)	768 packets*	Modec[1:0] = 10
	SU.RQHT (ports 3-4)	960 packets*	Modec[1:0] = 10

*这些寄存器的默认值与软件模式下的不同。

注：上面的每个“数据包”为 2048 个字节。

表8-12. 硬件模式引脚

PIN	HARDWARE MODE FUNCTION
HWMODE	0 = Hardware Mode disabled. 1 = Hardware Mode enabled.
MODEC[1:0]	Select the hardware mode default settings.
RMIIMIIS	0 = MII Operation. Applies to all four ports. 1 = RMI operation. Applies to all four ports.
DCEDES	1 = DCE Operation 0 = DTE Operation
FULLDSn	0 = Half Duplex Mode. 1 = Full Duplex Mode.
A2/X86ED	0 = X.86 mode is disabled. 1 = X.86 mode is enabled for transmit and receive.
A1/SCD	0 = $X^{43}+1$ scrambling/descrambling is enabled. 1 = $X^{43}+1$ scrambling/descrambling is disabled.
A0/BREO	0 = HDLC transmit and receive bits are normal. The MSB is transmitted and received first. 1 = HDLC transmit and receive bits are reversed. The LSB is transmitted and received first.

9 器件寄存器

10 条地址线被用来寻址寄存器空间。[表 9-1](#)是 DS33Z44 的寄存器地址映射。器件可寻址范围为 0000h 至 08FFh。每个寄存器段为 64 字节。保留了全局寄存器以实现与多端口器件的软件兼容。串行接口 (线路) 寄存器用于设置串行端口以及相关传送协议。以太网接口 (用户) 寄存器用于控制、监测每个以太网端口。受器件架构限制, MAC 相关寄存器必须通过读/写间接寄存器进行设置。

未使用的位和寄存器 (标有“-”) 保留, 除非特别说明, 向其写入的值应为零。读取寄存器时, 应忽略未使用位和寄存器。事件发生时, 锁存状态位置位, 读取后清零。

下表是寄存器的详细信息。

表9-1. 寄存器地址映射

	GLOBAL REGISTERS	ARBITER	BERT	SERIAL INTERFACE	ETHERNET INTERFACE
	0000h – 003Fh	0040h – 007Fh	0080h – 00BFh	-	-
Port 1	-	-	-	00C0h – 013Fh	0140h – 017Fh
Port 2	-	-	-	0180h – 01FFh	0200h – 023Fh
Port 3	-	-	-	0240h – 02BFh	02C0h – 02FFh
Port 4	-	-	-	0300h – 037Fh	0380h – 03BFh

保留地址空间: 03C0h-07FFh

9.1 寄存器位映射

9.1.1 全局寄存器位映射

表9-2. 全局寄存器位映射

ADDR	Name	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
000h	GL.IDRL	ID07	ID06	ID05	ID04	ID03	ID02	ID01	ID00
001h	GL.IDRH	ID15	ID14	ID13	ID12	ID11	ID10	ID09	ID08
002h	GL.CR1	-	-	-	-	-	REF_CLKO	INTM	RST
003h	GL.BLR	-	-	-	-	GL.BLC4	GL.BLC3	GL.BLC2	GL.BLC1
004h	GL.RTCAL	RLCALS4	RLCALS3	RLCALS2	RLCALS1	TLCALS4	TLCALS3	TLCALS2	TLCALS1
005h	GL.SRCALS	-	-	-	-	-	-	REFCLKS	SYSCLS
006h	GL.LIE	LIN4TIE	LIN3TIE	LIN2TIE	LIN1TIE	LIN4RIE	LIN3RIE	LIN2RIE	LIN1RIE
007h	GL.LIS	LIN4TIS	LIN3TIS	LIN2TIS	LIN1TIS	LIN4RIS	LIN3RIS	LIN2RIS	LIN1RIS
008h	GL.SIE	-	-	-	-	SUB4IE	SUB3IE	SUB2IE	SUB1IE
009h	GL.SIS	-	-	-	-	SUB4IS	SUB3IS	SUB2IS	SUB1IS
00Ah	GL.TRQIE	TQ4IE	TQ3IE	TQ2IE	TQ1IE	RQ4IE	RQ3IE	RQ2IE	RQ1IE
00Bh	GL.TRQIS	TQ4IS	TQ3IS	TQ2IS	TQ1IS	RQ4IS	RQ3IS	RQ2IS	RQ1IS
00Ch	GL.BIE	-	-	-	-	-	-	-	BIE
00Dh	GL.BIS	-	-	-	-	-	-	-	BIS
00Eh	GL.CON1	-	-	-	-	-	LINE1[2]	LINE1[1]	LINE1[0]
00Fh	GL.CON2	-	-	-	-	-	LINE2[2]	LINE2[1]	LINE2[0]
010h	GL.CON3	-	-	-	-	-	LINE3[2]	LINE3[1]	LINE3[0]
011h	GL.CON4	-	-	-	-	-	LINE4[2]	LINE4[1]	LINE4[0]
012h	GL.C1QPR	-	-	-	-	C1MRPRR	C1HWPRR	C1MHPR	C1HRPR
013h	GL.C2QPR	-	-	-	-	C2MRPRR	C2HWPRR	C2MHPR	C2HRPR
014h	GL.C3QPR	-	-	-	-	C3MRPRR	C3HWPRR	C3MHPR	C3HRPR
015h	GL.C4QPR	-	-	-	-	C4MRPRR	C4HWPRR	C4MHPR	C4HRPR
020h	GL.BISTEN	-	-	-	-	-	-	-	BISTE
021h	GL.BISTPF	-	-	-	-	-	-	BISTDN	BISTPF

1Fh-3Fh 保留。

9.1.2 仲裁器寄存器位映射

表 9-3 是 DS33Z44 的仲裁器寄存器说明。保留位以单破折号“-”标出。所有未列出的寄存器保留，为保证正常工作，应以 00h 进行初始化。

表9-3. 仲裁器寄存器位映射

ADDR	NAME	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
040h	AR.RQSC1	RQSC1[7]	RQSC1[6]	RQSC1[5]	RQSC1[4]	RQSC1[3]	RQSC1[2]	RQSC1[1]	RQSC1[0]
041h	AR.TQSC1	TQSC1[7]	TQSC1[6]	TQSC1[5]	TQSC1[4]	TQSC1[3]	TQSC1[2]	TQSC1[1]	TQSC1[0]
042h	AR.RQSC2	RQSC2[7]	RQSC2[6]	RQSC2[5]	RQSC2[4]	RQSC2[3]	RQSC2[2]	RQSC2[1]	RQSC2[0]
043h	AR.TQSC2	TQSC2[7]	TQSC2[6]	TQSC2[5]	TQSC2[4]	TQSC2[3]	TQSC2[2]	TQSC2[1]	TQSC2[0]
044h	AR.RQSC3	RQSC3[7]	RQSC3[6]	RQSC3[5]	RQSC3[4]	RQSC3[3]	RQSC3[2]	RQSC3[1]	RQSC3[0]
045h	AR.TQSC3	TQSC3[7]	TQSC3[6]	TQSC3[5]	TQSC3[4]	TQSC3[3]	TQSC3[2]	TQSC3[1]	TQSC3[0]
046h	AR.RQSC4	RQSC4[7]	RQSC4[6]	RQSC4[5]	RQSC4[4]	RQSC4[3]	RQSC4[2]	RQSC4[1]	RQSC4[0]
047h	AR.TQSC4	TQSC4[7]	TQSC4[6]	TQSC4[5]	TQSC4[4]	TQSC4[3]	TQSC4[2]	TQSC4[1]	TQSC4[0]

9.1.3 BERT 寄存器位映射

表9-4. BERT 寄存器位映射

ADDR	NAME	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
080h	BCR	-	PMU	RNPL	RPIC	MPR	APRD	TNPL	TPIC
081h	Reserved	-	-	-	-	-	-	-	-
082h	BPCLR	-	QRSS	PTS	PLF4	PLF3	PLF2	PLF1	PLF0
083h	BPCHR	-	-	-	PTF4	PTF3	PTF2	PTF1	PTF0
084h	BSPB0R	BSP7	BSP6	BSP5	BSP4	BSP3	BSP2	BSP1	BSP0
085h	BSPB1R	BSP15	BSP14	BSP13	BSP12	BSP11	BSP10	BSP9	BSP8
086h	BSPB2R	BSP23	BSP22	BSP21	BSP20	BSP19	BSP18	BSP17	BSP16
087h	BSPB3R	BSP31	BSP30	BSP29	BSP28	BSP27	BSP26	BSP25	BSP24
088h	TEICR	-	-	TIER2	TIER1	TIER0	BEI	TSEI	-
08Ah	Reserved	-	-	-	-	-	-	-	-
08Bh	Reserved	-	-	-	-	-	-	-	-
08Ch	BSR	-	-	-	-	PMS	-	<u>BEC</u>	<u>OOS</u>
08Dh	Reserved	-	-	-	-	-	-	-	-
08Eh	BSRL	-	-	-	-	PMSL	<u>BEL</u>	<u>BEC</u> <u>L</u>	<u>OOS</u> <u>L</u>
08Fh	Reserved	-	-	-	-	-	-	-	-
090h	BSRIE	-	-	-	-	PMSIE	BEIE	BECIE	OOSIE
091h	Reserved	-	-	-	-	-	-	-	-
092h	Reserved	-	-	-	-	-	-	-	-
093h	Reserved	-	-	-	-	-	-	-	-
094h	RBECB0R	<u>BEC7</u>	<u>BEC6</u>	<u>BEC5</u>	<u>BEC4</u>	<u>BEC3</u>	<u>BEC2</u>	<u>BEC1</u>	<u>BEC0</u>
095h	RBECB1R	<u>BEC15</u>	<u>BEC14</u>	<u>BEC13</u>	<u>BEC12</u>	<u>BEC11</u>	<u>BEC10</u>	<u>BEC9</u>	<u>BEC8</u>
096h	RBECB2R	<u>BEC23</u>	<u>BEC22</u>	<u>BEC21</u>	<u>BEC20</u>	<u>BEC19</u>	<u>BEC18</u>	<u>BEC17</u>	<u>BEC16</u>
097h	Reserved	-	-	-	-	-	-	-	-
098h	RBCB0	<u>BC7</u>	<u>BC6</u>	<u>BC5</u>	<u>BC4</u>	<u>BC3</u>	<u>BC2</u>	<u>BC1</u>	<u>BC0</u>
099h	RBCB1	<u>BC15</u>	<u>BC14</u>	<u>BC13</u>	<u>BC12</u>	<u>BC11</u>	<u>BC10</u>	<u>BC9</u>	<u>BC8</u>
09Ah	RBCB2	<u>BC23</u>	<u>BC22</u>	<u>BC21</u>	<u>BC20</u>	<u>BC19</u>	<u>BC18</u>	<u>BC17</u>	<u>BC16</u>
09Bh	RBCB3	<u>BC31</u>	<u>BC30</u>	<u>BC29</u>	<u>BC28</u>	<u>BC27</u>	<u>BC26</u>	<u>BC25</u>	<u>BC24</u>
09Ch	Reserved	-	-	-	-	-	-	-	-
09Dh	Reserved	-	-	-	-	-	-	-	-
09Eh	Reserved	-	-	-	-	-	-	-	-
09Fh	Reserved	-	-	-	-	-	-	-	-

9.1.4 串行接口寄存器位映射

表9-5. 串行接口寄存器位映射

ADDR	NAME	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
0C0h	LI.TSLCR	-	-	-	-	-	-	-	TDENPLT
0C1h	LI.RSTPD	-	-	-	-	-	-	RESET	-
0C2h	LI.LPBK	-	-	-	-	-	-	-	QLP
0C3h	Reserved								
0C4h	LI.TPPCL	-	-	TFAD	TF16	TIFV	TSD	TBRE	-
0C5h	LI.TIFGC	TIFG7	TIFG6	TIFG5	TIFG4	TIFG3	TIFG2	TIFG1	TIFG0
0C6h	LI.TEPLC	TPEN7	TPEN6	TPEN5	TPEN4	TPEN3	TPEN2	TPEN1	TPEN0
0C7h	LI.TEPHC	MEIMS	TPER6	TPER5	TPER4	TPER3	TPER2	TPER1	TPER0
0C8h	LI.TPPSR	-	-	-	-	-	-	-	TEPF
0C9h	LI.TPPSRL	-	-	-	-	-	-	-	TEPFL
0CAh	LI.TPPSRIE	-	-	-	-	-	-	-	TEPFIE
0CBh	Reserved	-	-	-	-	-	-	-	-
0CCh	LI.TPCR0	<u>TPC7</u>	<u>TPC6</u>	<u>TPC5</u>	<u>TPC4</u>	<u>TPC3</u>	<u>TPC2</u>	<u>TPC1</u>	<u>TPC0</u>
0CDh	LI.TPCR1	<u>TPC15</u>	<u>TPC14</u>	<u>TPC13</u>	<u>TPC12</u>	<u>TPC11</u>	<u>TPC10</u>	<u>TPC9</u>	<u>TPC8</u>
0CEh	LI.TPCR2	<u>TPC23</u>	<u>TPC22</u>	<u>TPC21</u>	<u>TPC20</u>	<u>TPC19</u>	<u>TPC18</u>	<u>TPC17</u>	<u>TPC16</u>
0CFh	Reserved	-	-	-	-	-	-	-	-
0D0h	LI.TBCR0	<u>TBC7</u>	<u>TBC6</u>	<u>TBC5</u>	<u>TBC4</u>	<u>TBC3</u>	<u>TBC2</u>	<u>TBC1</u>	<u>TBC0</u>
0D1h	LI.TBCR1	<u>TBC15</u>	<u>TBC14</u>	<u>TBC13</u>	<u>TBC12</u>	<u>TBC11</u>	<u>TBC10</u>	<u>TBC9</u>	<u>TBC8</u>
0D2h	LI.TBCR2	<u>TBC23</u>	<u>TBC22</u>	<u>TBC21</u>	<u>TBC20</u>	<u>TBC19</u>	<u>TBC18</u>	<u>TBC17</u>	<u>TBC16</u>
0D3h	LI.TBCR3	<u>TBC31</u>	<u>TBC30</u>	<u>TBC29</u>	<u>TBC28</u>	<u>TBC27</u>	<u>TBC26</u>	<u>TBC25</u>	<u>TBC24</u>
0D4h	LI.TMEI	-	-	-	-	-	-	-	TMEI
0D5h	Reserved	-	-	-	-	-	-	-	-
0D6h	LI.THPMUU	-	-	-	-	-	-	-	TPMUU
0D7h	LI.THPMUS	-	-	-	-	-	-	-	TPMUS
0D8h	LI.TX86EDE	-	-	-	-	-	-	-	X86ED
0D9h	LI.TRX86A	X86TRA7	X86TRA6	X86TRA5	X86TRA4	X86TRA3	X86TRA2	X86TRA1	X86TRA0
0DAh	LI.TRX86C	X86TRC7	X86TRC6	X86TRC5	X86TRC4	X86TRC3	X86TRC2	X86TRC1	X86TRC0
0DBh	LI.TRX86SAPIH	TRSAPIH7	TRSAPIH6	TRSAPIH5	TRSAPIH4	TRSAPIH3	TRSAPIH2	TRSAPIH1	TRSAPIH0
0DCh	LI.TRX86SAPIL	TRSAPIL7	TRSAPIL6	TRSAPIL5	TRSAPIL4	TRSAPIL3	TRSAPIL2	TRSAPIL1	TRSAPIL0
0DDh	LI.CIR	CIRE	CIR6	CIR5	CIR4	CIR3	CIR2	CIR1	CIR0
100h	LI.RSLCR	-	-	-	-	-	-	-	RDENPLT
101h	LI.RPPCL	-	-	RFPD	RF16	RFED	RDD	RBRE	RCCE
102h	LI.RMPSC	RMX7	RMX6	RMX5	RMX4	RMX3	RMX2	RMX1	RMX0
103h	LI.RMPSCH	RMX15	RMX14	RMX13	RMX12	RMX11	RMX10	RMX9	RMX8
104h	LI.RPPSR	-	-	-	-	-	REPC	RAPC	RSPC
105h	LI.RPPSRL	REPL	RAPL	RIPDL	RSPDL	RLPDL	REPCL	RAPCL	RSPCL
106h	LI.RPPSRIE	REPIE	RAPIE	RIPDIE	RSPDIE	RLPDIE	REPCIE	RAPCIE	RSPCIE
107h	Reserved								
108h	LI.RPCB0	RPC7	RPC6	RPC5	RPC4	RPC3	RPC2	RPC1	RPC0
109h	LI.RPCB1	RPC15	RPC14	RPC13	RPC12	RPC11	RPC10	RPC09	RPC08
10Ah	LI.RPCB2	RPC23	RPC22	RPC21	RPC20	RPC19	RPC18	RPC17	RPC16
10Ch	LI.RFPCB0	<u>RFPC7</u>	<u>RFPC6</u>	<u>RFPC5</u>	<u>RFPC4</u>	<u>RFPC3</u>	<u>RFPC2</u>	<u>RFPC1</u>	<u>RFPC0</u>
10Dh	LI.RFPCB1	<u>RFPC15</u>	<u>RFPC14</u>	<u>RFPC13</u>	<u>RFPC12</u>	<u>RFPC11</u>	<u>RFPC10</u>	<u>RFPC9</u>	<u>RFPC8</u>
10Eh	LI.RFPCB2	<u>RFPC23</u>	<u>RFPC22</u>	<u>RFPC21</u>	<u>RFPC20</u>	<u>RFPC19</u>	<u>RFPC18</u>	<u>RFPC17</u>	<u>RFPC16</u>
10Fh	Reserved								
110h	LI.RAPCB0	<u>RAPC7</u>	<u>RAPC6</u>	<u>RAPC5</u>	<u>RAPC4</u>	<u>RAPC3</u>	<u>RAPC2</u>	<u>RAPC1</u>	<u>RAPC0</u>
111h	LI.RAPCB1	<u>RAPC15</u>	<u>RAPC14</u>	<u>RAPC13</u>	<u>RAPC12</u>	<u>RAPC11</u>	<u>RAPC10</u>	<u>RAPC9</u>	<u>RAPC8</u>

ADDR	NAME	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
112h	LI.RAPCB2	RAPC23	RAPC22	RAPC21	RAPC20	RAPC19	RAPC18	RAPC17	RAPC16
113h	Reserved	-	-	-	-	-	-	-	-
114h	LI.RSPCB0	RSPC7	RSPC6	RSPC5	RSPC4	RSPC3	RSPC2	RSPC1	RSPC0
115h	LI.RSPCB1	RSPC15	RSPC14	RSPC13	RSPC12	RSPC11	RSPC10	RSPC9	RSPC8
116h	LI.RSPCB2	RSPC23	RSPC22	RSPC21	RSPC20	RSPC19	RSPC18	RSPC17	RSPC16
118h	LI.RBC0	RBC7	RBC6	RBC5	RBC4	RBC3	RBC2	RBC1	RBC0
119h	LI.RBC1	RBC15	RBC14	RBC13	RBC12	RBC11	RBC10	RBC9	RBC8
11Ah	LI.RBC2	RBC23	RBC22	RBC21	RBC20	RBC19	RBC18	RBC17	RBC16
11Bh	LI.RBC3	RBC31	RBC30	RBC29	RBC28	RBC27	RBC26	RBC25	RBC24
11Ch	LI.RAC0	REBC7	REBC6	REBC5	REBC4	REBC3	REBC2	REBC1	REBC0
11Dh	LI.RAC1	REBC15	REBC14	REBC13	REBC12	REBC11	REBC10	REBC9	REBC8
11Eh	LI.RAC2	REBC23	REBC22	REBC21	REBC20	REBC19	REBC18	REBC17	REBC16
11Fh	LI.RAC3	REBC31	REBC30	REBC29	REBC28	REBC27	REBC26	REBC25	REBC24
120h	LI.RHPMUU	-	-	-	-	-	-	-	RPMUU
121h	LI.RHPMUS	-	-	-	-	-	-	-	RPMUUS
122h	LI.RX86S	-	-	-	-	SAPIHNE	SAPILNE	CNE	ANE
123h	LI.RX86LSIE	-	-	-	-	SAPINE01IM	SAPINEFEIM	CNE3LIM	ANE4IM
124h	LI.TQLT	TQLT7	TQLT6	TQLT5	TQLT4	TQLT3	TQLT2	TQLT1	TQLT0
125h	LI.TQHT	TQHT7	TQHT6	TQHT5	TQHT4	TQHT3	TQHT2	TQHT1	TQHT0
126h	LI.TQTIE	-	-	-	-	TFOVFIE	TQOVFIE	TQHTIE	TQLTIE
127h	LI.TQCTLS	-	-	-	-	TFOVFLS	TQOVFLS	TQHTLS	TQLTLS

0DEh–0FFh 和 128h–13Fh 保留。

注：上表中的地址适用于串行接口 1。串行接口 2 至 4 的地址按下面公式计算：

$$\text{端口 } n \text{ 地址} = \text{串行端口 } 1 \text{ 地址} + [0C0h \times (n-1)]; n = 1 \text{ 至 } 4$$

9.1.5 以太网接口寄存器位映射

表9-6. 以太网接口寄存器位映射

ADDR	NAME	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
140h	SU.MACRADL	MACRA7	MACRA6	MACRA5	MACRA4	MACRA3	MACRA2	MACRA1	MACRA0
141h	SU.MACRADH	MACRA15	MACRA14	MACRA13	MACRA12	MACRA11	MACRA10	MACRA09	MACRA08
142h	SU.MACRD0	MACRD7	MACRD6	MACRD5	MACRD4	MACRD3	MACRD2	MACRD1	MACRD0
143h	SU.MACRD1	MACRD15	MACRD14	MACRD13	MACRD12	MACRD11	MACRD10	MACRD9	MACRD8
144h	SU.MACRD2	MACRD23	MACRD22	MACRD21	MACRD20	MACRD19	MACRD18	MACRD17	MACRD16
145h	SU.MACRD3	MACRD31	MACRD30	MACRD29	MACRD28	MACRD27	MACRD26	MACRD25	MACRD24
146h	SU.MACWD0	MACWD7	MACWD6	MACWD5	MACWD4	MACWD3	MACWD2	MACWD1	MACWD0
147h	SU.MACWD1	MACWD15	MACWD14	MACWD13	MACWD12	MACWD11	MACWD10	MACWD09	MACWD08
148h	SU.MACWD2	MACWD23	MACWD22	MACWD21	MACWD20	MACWD19	MACWD18	MACWD17	MACWD16
149h	SU.MACWD3	MACD31	MACD30	MACD29	MACD28	MACD27	MACD26	MACD25	MACD24
14Ah	SU.MACAWL	MACAW 7	MACAW 6	MACAW 5	MACAW4	MACAW3	MACAW2	MACAW1	MACAW0
14Bh	SU.MACAWH	MACAW 15	MACAW 14	MACAW 13	MACAW12	MACAW11	MACAW10	MACAW9	MACAW8
14Ch	SU.MACRWC	-	-	-	-	-	-	MCRW	MCS
14Eh	SU.RSTPD	-	-	-	-	-	-	RESET	-
14Fh	SU.LPBK	-	-	-	-	-	-	-	QLP
150h	SU.GCR	-	-	-	-	CRCS	H10S	ATFLOW	JAME
151h	SU.TFRC	-	-	-	-	NCFQ	TPDFCB	TPRHBC	TPRCB
152h	SU.TFSL	UR	EC	LC	ED	LOC	NOC	-	FABORT
153h	SU.TFSH	PR	HBF	CC3	CC2	CC1	CC0	LCO	DEF
154h	SU.RFSB0	FL7	FL6	FL5	FL4	FL3	FL2	FL1	FI0
155h	SU.RFSB1	RF	WT	FL13	FL12	FL11	FL10	FL9	FI8
156h	SU.RFSB2	-	-	CRCE	DB	MIIE	FT	CS	FTL
157h	SU.RFSB3	MF	-	-	BF	MCF	UF	CF	LE
158h	SU.RMFSRL	RMPS7	RMPS6	RMPS5	RMPS4	RMPS3	RMPS2	RMPS1	RMPS0
159h	SU.RMFSRH	RMPS15	RMPS14	RMPS13	RMPS12	RMPS11	RMPS10	RMPS09	RMPS08
15Ah	SU.RQLT	RQLT7	RQLT6	RQLT5	RQLT4	RQLT3	RQLT2	RQLT1	RQLT0
15Bh	SU.RQHT	RQHT7	RQHT6	RQHT5	RQHT4	RQHT3	RQHT2	RQHT1	RQHT0
15Ch	SU.QRIE	-	-	-	-	RFOVFIE	RQVFIE	RQLTIE	RQHTIE
15Dh	SU.QCRLS	-	-	-	-	RFOVFLS	RQOVFLS	RQHTLS	RQLTLS
15Eh	SU.RFRC	-	UCFRB	CFRRB	LERRB	CRCERRB	DBRB	MIIEB	BERRB

15Fh–17Fh 保留。

注：上表中地址适用于以太网接口 1。以太网接口 2 至 4 的地址可按下面的公式计算：

$$\text{端口 } n \text{ 地址} = \text{以太网端口 1 地址} + [0C0h \times (n-1)]; n = 1 \text{ 至 } 4$$

9.1.6 MAC 寄存器位映射

表9-7. MAC 间接寻址寄存器位映射

ADDR	NAME	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
0000h	SU.MACCR 31:24	RA	Reserved	Reserved	HDB	PS	Reserved	Reserved	Reserved
0001h	23:16	DRO	OML1	OML0	F	PM	PR	IF	PB
0002h	15:8	HO	Reserved	HP	LCC	DBF	DRTY	Reserved	ASTP
0003h	7:0	BOLMT1	BOLMT0	DC	Reserved	TE	RE	Reserved	Reserved
0004h	SU.MACAH 31:24	Reserved							
0005h	23:16	Reserved							
0006h	15:8	PADR47	PADR46	PADR45	PADR44	PADR43	PADR42	PADR41	PADR40
0007h	7:0	PADR39	PADR38	PADR37	PADR36	PADR35	PADR34	PADR33	PADR32
0008h	SU.MACAL 31:24	PADR31	PADR30	PADR29	PADR28	PADR27	PADR26	PADR25	PADR24
0009h	23:16	PADR23	PADR22	PADR21	PADR20	PADR19	PADR18	PADR17	PADR16
000Ah	15:8	PADR15	PADR14	PADR13	PADR12	PADR11	PADR10	PADR09	PADR08
000Bh	7:0	PADR07	PADR06	PADR05	PADR04	PADR03	PADR02	PADR01	PADR00
000Ch	SU.MACMAH 31:24	MMA63	MMA62	MMA61	MMA60	MMA59	MMA58	MMA57	MMA56
000Dh	23:16	MMA55	MMA54	MMA53	MMA52	MMA51	MMA50	MMA49	MMA48
000Eh	15:8	MMA47	MMA46	MMA45	MMA44	MMA43	MMA42	MMA41	MMA40
000Fh	7:0	MMA39	MMA38	MMA37	MMA36	MMA35	MMA34	MMA33	MMA32
0010h	SU.MACMAL 31:24	MMA31	MMA30	MMA29	MMA28	MMA27	MMA26	MMA25	MMA24
0011h	23:16	MMA23	MMA22	MMA21	MMA20	MMA19	MMA18	MMA17	MMA16
0012h	15:8	MMA15	MMA14	MMA13	MMA12	MMA11	MMA10	MMA09	MMA08
0013h	7:0	MMA07	MMA06	MMA05	MMA04	MMA03	MMA02	MMA01	MMA00
0014h	SU.MACMIA 31:24	Reserved							
0015h	23:16	Reserved							
0016h	15:8	PHYA4	PHYA3	PHYA2	PHYA1	PHYA0	MIIA4	MIIA3	MIIA2
0017h	7:0	MIIA1	MIIA0	Reserved	Reserved	Reserved	Reserved	MIIW	MIIB
0018h	SU.MACMIID 31:24	Reserved							
0019h	23:16	Reserved							
001Ah	15:8	MIID15	MIID14	MIID13	MIID12	MIID11	MIID10	MIID09	MIID08
001Bh	7:0	MIID07	MIID06	MIID05	MIID04	MIID03	MIID02	MIID01	MIID00
001Ch	SU.MACFCR 31:24	PT15	PT14	PT13	PT12	PT11	PT10	PT09	PT08
001Dh	23:16	PT07	PT06	PT05	PT04	PT03	PT02	PT01	PT00
001Eh	15:8	Reserved							
001Fh	7:0	Reserved	Reserved	Reserved	Reserved	Reserved	PCF	FCE	FCB
100h	SU.MMCCTRL 31:24	Reserved							
101h	23:16	Reserved							
102h	15:8	Reserved	Reserved	MXFRM10	MXFRM9	MXFRM8	MXFRM7	MXFRM6	MXFRM5
103h	7:0	MXFRM4	MXFRM3	MXFRM2	MXFRM1	MXFRM0	Reserved	Reserved	Reserved
10Ch	RESERVED – initialize to FF	Reserved							
10Dh	RESERVED – initialize to FF	Reserved							
10Eh	RESERVED – initialize to FF	Reserved							

ADDR	NAME	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
10Fh	RESERVED – initialize to FF	Reserved							
110h	RESERVED – initialize to FF	Reserved							
111h	RESERVED – initialize to FF	Reserved							
112h	RESERVED – initialize to FF	Reserved							
113h	RESERVED – initialize to FF	Reserved							
200h	SU.RxFrmCtr 31:24	RXFRMC31	RXFRMC30	RXFRMC29	RXFRMC28	RXFRMC27	RXFRMC26	RXFRMC25	RXFRMC24
201h	23:16	RXFRMC23	RXFRMC22	RXFRMC21	RXFRMC20	RXFRMC19	RXFRMC18	RXFRMC17	RXFRMC16
202h	15:8	RXFRMC15	RXFRMC14	RXFRMC13	RXFRMC12	RXFRMC11	RXFRMC10	RXFRMC9	RXFRMC8
203h	7:0	RXFRMC7	RXFRMC6	RXFRMC5	RXFRMC4	RXFRMC3	RXFRMC2	RXFRMC1	RXFRMC0
204h	SU.RxFrmOKCtr 31:24	RXFRMOK31	RXFRMOK30	RXFRMOK29	RXFRMOK28	RXFRMOK27	RXFRMOK26	RXFRMOK25	RXFRMOK24
205h	23:16	RXFRMOK23	RXFRMOK22	RXFRMOK21	RXFRMOK20	RXFRMOK19	RXFRMOK18	RXFRMOK17	RXFRMOK16
206h	15:8	RXFRMOK15	RXFRMOK14	RXFRMOK13	RXFRMOK12	RXFRMOK11	RXFRMOK10	RXFRMOK9	RXFRMOK8
207h	7:0	RXFRMOK7	RXFRMOK6	RXFRMOK5	RXFRMOK4	RXFRMOK3	RXFRMOK2	RXFRMOK1	RXFRMOK0
300h	SU.TxFrmCtr	TXFRMC31	TXFRMC30	TXFRMC29	TXFRMC28	TXFRMC27	TXFRMC26	TXFRMC25	TXFRMC24
301h	23:16	TXFRMC23	TXFRMC22	TXFRMC21	TXFRMC20	TXFRMC19	TXFRMC18	TXFRMC17	TXFRMC16
302h	15:8	TXFRMC15	TXFRMC14	TXFRMC13	TXFRMC12	TXFRMC11	TXFRMC10	TXFRMC9	TXFRMC8
303h	7:0	TXFRMC7	TXFRMC6	TXFRMC5	TXFRMC4	TXFRMC3	TXFRMC2	TXFRMC1	TXFRMC0
308h	SU.TxBytesCtr	TXBYTEC31	TXBYTEC30	TXBYTEC29	TXBYTEC28	TXBYTEC27	TXBYTEC26	TXBYTEC25	TXBYTEC24
309h	23:16	TXBYTEC23	TXBYTEC22	TXBYTEC21	TXBYTEC20	TXBYTEC19	TXBYTEC18	TXBYTEC17	TXBYTEC16
30Ah	15:8	TXBYTEC15	TXBYTEC14	TXBYTEC13	TXBYTEC12	TXBYTEC11	TXBYTEC10	TXBYTEC9	TXBYTEC8
30Bh	7:0	TXBYTEC7	TXBYTEC6	TXBYTEC5	TXBYTEC4	TXBYTEC3	TXBYTEC2	TXBYTEC1	TXBYTEC0
30Ch	SU.TxBytesOkCtr	TXBYTEOK31	TXBYTEOK30	TXBYTEOK29	TXBYTEOK28	TXBYTEOK27	TXBYTEOK26	TXBYTEOK25	TXBYTEOK24
30Dh	23:16	TXBYTEOK23	TXBYTEOK22	TXBYTEOK21	TXBYTEOK20	TXBYTEOK19	TXBYTEOK18	TXBYTEOK17	TXBYTEOK16
30Eh	15:8	TXBYTEOK15	TXBYTEOK14	TXBYTEOK13	TXBYTEOK12	TXBYTEOK11	TXBYTEOK10	TXBYTEOK9	TXBYTEOK8
30Fh	7:0	TXBYTEOK7	TXBYTEOK6	TXBYTEOK5	TXBYTEOK4	TXBYTEOK3	TXBYTEOK2	TXBYTEOK1	TXBYTEOK0
334h	SU.TxFrmUndr	TXFRMU31	TXFRMU30	TXFRMU29	TXFRMU28	TXFRMU27	TXFRMU26	TXFRMU25	TXFRMU24
335h	23:16	TXFRMU23	TXFRMU22	TXFRMU21	TXFRMU20	TXFRMU19	TXFRMU18	TXFRMU17	TXFRMU16
336h	15:8	TXFRMU15	TXFRMU14	TXFRMU13	TXFRMU12	TXFRMU11	TXFRMU10	TXFRMU9	TXFRMU8
337h	7:0	TXFRMU7	TXFRMU6	TXFRMU5	TXFRMU4	TXFRMU3	TXFRMU2	TXFRMU1	TXFRMU0
338h	SU.TxBdFrmCtr	TXFRMBD31	TXFRMBD30	TXFRMBD29	TXFRMBD28	TXFRMBD27	TXFRMBD26	TXFRMBD25	TXFRMBD24
339h	23:16	TXFRMBD23	TXFRMBD22	TXFRMBD21	TXFRMBD20	TXFRMBD19	TXFRMBD18	TXFRMBD17	TXFRMBD16
33Ah	15:8	TXFRMBD15	TXFRMBD14	TXFRMBD13	TXFRMBD12	TXFRMBD11	TXFRMBD10	TXFRMBD9	TXFRMBD8
33Bh	7:0	TXFRMBD7	TXFRMBD6	TXFRMBD5	TXFRMBD4	TXFRMBD3	TXFRMBD2	TXFRMBD1	TXFRMBD0

注意，上表中的地址是必须提供给SU.MACAWH和SU.MACAWL的间接地址。除非另有说明，所有未用和保留位必须以零进行初始化，以保证正常工作。

9.2 全局寄存器定义

全局寄存器功能包括：成帧器复位、LIU 复位、器件 ID、BERT 中断状态、成帧器中断状态、IBO 设置、MCLK 设置和 BPCLK 设置。这些寄存器被保留以用于实现与该产品系列中多端口器件的代码兼容性。全局寄存器位说明如下所示。

Register Name: **GL.IDRL**
 Register Description: **Global ID Low Register**
 Register Address: **00h**

Bit #	7	6	5	4	3	2	1	0
Name	<u>ID07</u>	<u>ID06</u>	<u>ID05</u>	<u>ID04</u>	<u>ID03</u>	<u>ID02</u>	<u>ID01</u>	<u>ID00</u>
Default	0	0	1	1	0	0	0	0

位 7：未来使用

位 6：未来使用

位 5：RMII 接口。如果该位置位，则器件具有一个 RMII 接口。

位 4：MII 接口。如果该位置位，则器件具有一个 MII 接口。

位 3：PHY。如果该位置位，则器件具有一个以太网 PHY。

位 0 至 2：器件修订版本。这三位数值等于 000b，则是第一版管芯，每个后续版本计数递增。可能会与器件顶标所示两字母管芯版本不一致。

Register Name: **GL.IDRH**
 Register Description: **Global ID High Register**
 Register Address: **01h**

Bit #	7	6	5	4	3	2	1	0
Name	<u>ID15</u>	<u>ID14</u>	<u>ID13</u>	<u>ID12</u>	<u>ID11</u>	<u>ID10</u>	<u>ID09</u>	<u>ID08</u>
Default	0	1	1	0	0	0	1	1

位 13 至 15：器件端口数量：1。

位 12：LIU。如果该位置位，器件具有 LIU 功能。

位 11：成帧器。如果该位置位，则器件含有一个成帧器。

位 10：未来使用

位 9：HDLC 接口或 X.86。如果该位置位，器件具有 HDLC 或 X.86 封装功能。

位 8：IMUX。如果该位置位，器件具有反向复用功能。

Register Name: **GL.CR1**
 Register Description: **Global Control Register 1**
 Register Address: **02h**

Bit #	7	6	5	4	3	2	1	0
Name	-	-	-	-	-	REF_CLKO	INTM	RST
Default						0	0	0

位 2: REF_CLKO OFF。 该位决定 REF_CLKO 输出模式。

1 = REF_CLKO 禁用, 输出一个低电平。

0 = REF_CLKO 有效, 与 RMII/MII 选择一致

位 1: INT 引脚模式 (INTM)。 该位决定 INT 引脚的无效模式。INT 引脚有效时, 总是低电平。

1 = 无效时, 引脚为高阻抗

0 = 无效时, 引脚为高电平

位 0: 复位 (RST)。 该位置 1 时, 在所有端口上, 所有内部数据通路和状态及控制寄存器 (除该 RST 位外) 复位至默认状态。该位必须保持至少 100ns 高电平。

0 = 正常工作

1 = 复位, 强制所有内部寄存器复位为其默认值

Register Name: **GL.BLR**
 Register Description: **Global BERT Connect Register**
 Register Address: **03h**

Bit #	7	6	5	4	3	2	1	0
Name	-	-	-	-	GL.BLC4	GL.BLC3	GL.BLC2	GL.BLC1
Default	0	0	0	0	0	0	0	0

位 3: BERT 连接 4。 如果该位置 1, BERT 连接至串行接口 4。

位 2: BERT 连接 3。 如果该位置 1, BERT 连接至串行接口 3。

位 1: BERT 连接 2。 如果该位置 1, BERT 连接至串行接口 2。

位 0: BERT 连接 1。 如果该位置 1, BERT 连接至串行接口 1。

BERT 发送器连至发送串行口, BERT 接收连至接收串行口。连接 BERT 时, 正常数据发送中断。注意, 连接 BERT 将使串行接口连接 (如果存在连接) 无效。BERT 断开, 则恢复连接。在硬件模式下, 不采用 BERT。在该寄存器中, 不要同时对一个以上的位置'1'。

Register Name: **GL.RTCAL**
 Register Description: **Global Receive and Transmit Serial Port Clock Activity Latched Status**
 Register Address: **04h**

Bit #	7	6	5	4	3	2	1	0
Name	RLCALS4	RLCALS3	RLCALS2	RLCALS1	TLCALS4	TLCALS3	TLCALS2	TLCALS1
Default	0	0	0	0	0	0	0	0

位 7: 接收串行接口时钟有效锁存状态 4。 串行接口 4 接收时钟有效时, 该位置为 1。读取后, 该位清零。

位 6: 接收串行接口时钟有效锁存状态 3。 串行接口 3 接收时钟有效时, 该位置为 1。读取后, 该位清零。

位 5: 接收串行接口时钟有效锁存状态 2。 串行接口 2 接收时钟有效时, 该位置为 1。读取后, 该位清零。

位 4: 接收串行接口时钟有效锁存状态 1。 串行接口 1 接收时钟有效时, 该位置为 1。读取后, 该位清零。

位 3: 发送串行接口时钟有效锁存状态 4。 串行接口 4 发送时钟有效时, 该位置为 1。读取后, 该位清零。

位 2: 发送串行接口时钟有效锁存状态 3。 串行接口 3 发送时钟有效时, 该位置为 1。读取后, 该位清零。

位 1: 发送串行接口时钟有效锁存状态 2。 串行接口 2 发送时钟有效时, 该位置为 1。读取后, 该位清零。

位 0: 发送串行接口时钟有效锁存状态 1。 串行接口 1 发送时钟有效时, 该位置为 1。读取后, 该位清零。

Register Name: **GL.SRCALS**
 Register Description: **Global SDRAM Reference Clock Activity Latched Status**
 Register Address: **05h**

Bit #	7	6	5	4	3	2	1	0
Name	-	-	-	-	-	-	REFCLKS	SYSCLS
Default	0	0	0	0	0	0	0	0

位 1: 基准时钟有效锁存状态。 REF_CLK 有效时, 该位置为 1。读取后, 该位清零。

位 0: 系统时钟输入锁存状态。 SYSCLKI 有效时, 该位置为 1。读取后, 该位清零。

Register Name: **GL.LIE**
 Register Description: **Global Serial Interface Interrupt Enable**
 Register Address: **06h**

Bit #	7	6	5	4	3	2	1	0
Name	LIN4TIE	LIN3TIE	LIN2TIE	LIN1TIE	LIN4RIE	LIN3RIE	LIN2RIE	LIN1RIE
Default	0	0	0	0	0	0	0	0

位 7: 串行接口 4 TX 中断使能 (LINE4TIE)。 该位置为 1 使能 LIN4TIS 上的中断。

位 6: 串行接口 3 TX 中断使能 (LINE3TIE)。 该位置为 1 使能 LIN3TIS 上的中断。

位 5: 串行接口 2 TX 中断使能 (LINE2TIE)。 该位置为 1 使能 LIN2TIS 上的中断。

位 4: 串行接口 1 TX 中断使能 (LINE1TIE)。 该位置为 1 使能 LIN1TIS 上的中断。

位 3: 串行接口 4 RX 中断使能 (LINE4RIE)。 该位置为 1 使能 LIN4RIS 上的中断。

位 2: 串行接口 3 RX 中断使能 (LINE3RIE)。 该位置为 1 使能 LIN3RIS 上的中断。

位 1: 串行接口 2 RX 中断使能 (LINE2RIE)。 该位置为 1 使能 LIN2RIS 上的中断。

位 0: 串行接口 1 RX 中断使能 (LINE1RIE)。 该位置为 1 使能 LIN1RIS 上的中断。

Register Name: **GL.LIS**
 Register Description: **Global Serial Interface Interrupt Status**
 Register Address: **07h**

Bit #	7	6	5	4	3	2	1	0
Name	LIN4TIS	LIN3TIS	LIN2TIS	LIN1TIS	LIN4RIS	LIN3RIS	LIN2RIS	LIN1RIS
Default	0	0	0	0	0	0	0	0

位 7: 串行接口 4 TX 中断状态 (LIN4TIS)。 串行接口 4 发送产生中断 (需使能) 时, 该位置位。串行接口中断由 HDLC 中断和 X.86 中断组成。

位 6: 串行接口 3 TX 中断状态 (LIN3TIS)。 串行接口 3 发送产生中断 (需使能) 时, 该位置位。串行接口中断由 HDLC 中断和 X.86 中断组成。

位 5: 串行接口 2 TX 中断状态 (LIN2TIS)。 串行接口 2 发送产生中断 (需使能) 时, 该位置位。串行接口中断由 HDLC 中断和 X.86 中断组成。

位 4: 串行接口 1 TX 中断状态 (LIN1TIS)。 串行接口 1 发送产生中断 (需使能) 时, 该位置位。串行接口中断由 HDLC 中断和 X.86 中断组成。

位 3: 串行接口 4 RX 中断状态 (LIN4RIS)。 串行接口 4 接收产生中断 (需使能) 时, 该位置位。串行接口中断由 HDLC 中断和 X.86 中断组成。

位 2: 串行接口 3 RX 中断状态 (LIN3RIS)。 串行接口 3 接收产生中断 (需使能) 时, 该位置位。串行接口中断由 HDLC 中断和 X.86 中断组成。

位 1: 串行接口 2 RX 中断状态 (LIN2RIS)。 串行接口 2 接收产生中断 (需使能) 时, 该位置位。串行接口中断由 HDLC 中断和 X.86 中断组成。

位 0: 串行接口 1 RX 中断状态 (LIN1RIS)。 串行接口 1 接收产生中断 (需使能) 时, 该位置位。串行接口中断由 HDLC 中断和 X.86 中断组成。

Register Name: **GL.SIE**
 Register Description: **Global Ethernet Interface Interrupt Enable**
 Register Address: **08h**

Bit #	7	6	5	4	3	2	1	0
Name	-	-	-	-	SUB4IE	SUB3IE	SUB2IE	SUB1IE
Default	0	0	0	0	0	0	0	0

位 3: 以太网接口 4 中断使能 (SUB4IE)。 该位置 1, 使能 SUB4S 上的中断。

位 2: 以太网接口 3 中断使能 (SUB3IE)。 该位置 1, 使能 SUB3S 上的中断。

位 1: 以太网接口 2 中断使能 (SUB2IE)。 该位置 1, 使能 SUB2S 上的中断。

位 0: 以太网接口 1 中断使能 (SUB1IE)。 该位置 1, 使能 SUB1S 上的中断。

Register Name: **GL.SIS**
 Register Description: **Global Ethernet Interface Interrupt Status**
 Register Address: **09h**

Bit #	7	6	5	4	3	2	1	0
Name	-	-	-	-	SUB4IS	SUB3IS	SUB2IS	SUB1IS
Default	0	0	0	0	0	0	0	0

位 4: 以太网接口 4 中断状态 (SUB4IS)。 以太网接口 4 产生中断 (需使能) 时, 该位置 1。以太网接口由 MAC 和 RMII/MII 端口组成。

位 3: 以太网接口 3 中断状态 (SUB3IS)。 以太网接口 3 产生中断 (需使能) 时, 该位置 1。以太网接口由 MAC 和 RMII/MII 端口组成。

位 2: 以太网接口 2 中断状态 (SUB2IS)。 以太网接口 2 产生中断 (需使能) 时, 该位置 1。以太网接口由 MAC 和 RMII/MII 端口组成。

位 0: 以太网接口 1 中断状态 (SUB1IS)。 以太网接口 1 产生中断 (需使能) 时, 该位置 1。以太网接口由 MAC 和 RMII/MII 端口组成。

Register Name: **GL.TRQIE**
 Register Description: **Global Transmit Receive Queue Interrupt Enable**
 Register Address: **0Ah**

Bit #	7	6	5	4	3	2	1	0
Name	TQ4IE	TQ3IE	TQ2IE	TQ1IE	RQ4IE	RQ3IE	RQ2IE	RQ1IE
Default	0	0	0	0	0	0	0	0

位 7: 发送队列 4 中断使能 (TQ4IE)。 该位置 1, 将使能 TQ4IS 上的中断。

位 6: 发送队列 3 中断使能 (TQ3IE)。 该位置 1, 将使能 TQ3IS 上的中断。

位 5: 发送队列 2 中断使能 (TQ2IE)。 该位置 1, 将使能 TQ2IS 上的中断。

位 4: 发送队列 1 中断使能 (TQ1IE)。 该位置 1, 将使能 TQ1IS 上的中断。

位 3: 接收队列 4 中断使能 (RQ4IE)。 该位置 1, 将使能 RQ4IS 上的中断。

位 2: 接收队列 3 中断使能 (RQ3IE)。 该位置 1, 将使能 RQ3IS 上的中断。

位 1: 接收队列 2 中断使能 (RQ2IE)。 该位置 1, 将使能 RQ2IS 上的中断。

位 0: 接收队列 1 中断使能 (RQ1IE)。 该位置 1, 将使能 RQ1IS 上的中断。

Register Name: **GL.TRQIS**
 Register Description: **Global Transmit Receive Queue Interrupt Status**
 Register Address: **0Bh**

Bit #	7	6	5	4	3	2	1	0
Name	TQ4IS	TQ3IS	TQ2IS	TQ1IS	RQ4IS	RQ3IS	RQ2IS	RQ1IS
Default	0	0	0	0	0	0	0	0

位 7: 发送队列 4 中断使能 (TQ4IS)。该位置 1 时, 使能发送队列 4 中断。发送队列超过阈值和队列溢出触发中断。

位 6: 发送队列 3 中断使能 (TQ3IS)。该位置 1 时, 使能发送队列 3 中断。发送队列超过阈值和队列溢出触发中断。

位 5: 发送队列 2 中断使能 (TQ2IS)。该位置 1 时, 使能发送队列 2 中断。发送队列超过阈值和队列溢出触发中断。

位 4: 发送队列 1 中断使能 (TQ1IS)。该位置 1 时, 使能发送队列 1 中断。发送队列超过阈值和队列溢出触发中断。

位 3: 接收队列 4 中断状态 (RQ4IS)。该位置 1 时, 使能接收队列 4 中断。接收队列超过阈值和队列溢出触发中断。

位 2: 接收队列 3 中断状态 (RQ3IS)。该位置 1 时, 使能接收队列 3 中断。接收队列超过阈值和队列溢出触发中断。

位 1: 接收队列 2 中断状态 (RQ2IS)。该位置 1 时, 使能接收队列 2 中断。接收队列超过阈值和队列溢出触发中断。

位 0: 接收队列 1 中断状态 (RQ1IS)。该位置 1 时, 使能接收队列 1 中断。接收队列超过阈值和队列溢出触发中断。

Register Name: **GL.BIE**
 Register Description: **Global BERT Interrupt Enable**
 Register Address: **0Ch**

Bit #	7	6	5	4	3	2	1	0
Name	-	-	-	-	-	-	-	BIE
Default	0	0	0	0	0	0	0	0

位 0: BERT 中断使能 (BIE)。该位置 1，将使能 BIS 上的中断。

Register Name: **GL.BIS**
 Register Description: **Global BERT Interrupt Status**
 Register Address: **0Dh**

Bit #	7	6	5	4	3	2	1	0
Name	-	-	-	-	-	-	-	BIS
Default	0	0	0	0	0	0	0	0

位 0: BERT 中断状态 (BIS)。BERT 产生中断 (需使能) 时，该位置 1。

Register Name: **GL.CON1**
 Register Description: **Connection Register for Ethernet Interface 1**
 Register Address: **0Eh**

Bit #	7	6	5	4	3	2	1	0
Name	-	-	-	-	-	LINE1[2]	LINE1[1]	LINE1[0]
Default	0	0	0	0	0	0	0	1

位 0 至 2: LINE1[0:2]。LINE1[0:2]选择连接至以太网接口 1 的串行接口。注意，假定串行接口和以太网之间为双向连接。为保证正常工作，必须定义连接寄存器和相应的队列长度。向该寄存器写入 0，将断开连接。连接断开后，向串行发送接口和 HDLC 接收器传送‘1’。发送至 HDLC 发送器和接收器的时钟关断 (0)。LINE1[0:2]值为 1 则以太网接口 1 连接至串行接口 1。LINE1[0:2]值为 2 则以太网接口 1 连接至串行接口 2。LINE1[0:2]值为 3 则以太网接口 1 连接至串行接口 3。LINE1[0:2]值为 4 则以太网接口 1 连接至串行接口 4。在连接建立之前以及连接断开之后，用户必须复位队列指针。

Register Name: **GL.CON2**
 Register Description: **Connection Register for Ethernet Interface 2**
 Register Address: **0Fh**

Bit #	7	6	5	4	3	2	1	0
Name	-	-	-	-	-	LINE2[2]	LINE2[1]	LINE2[0]
Default	0	0	0	0	0	0	1	0

位 0 至 2: LINE2[0:2]。LINE2[0:2]选择连接至以太网接口 2 的串行端口。注意，假定串行接口和以太网之间为双向连接。为保证正常工作，必须定义连接寄存器和相应的队列长度。向该寄存器写入 0，将断开连接。连接断开后，向串行发送接口和 HDLC 接收器传送‘1’。发送至 HDLC 发送器和接收器的时钟关断 (0)。LINE2[0:2]值为 1 则以太网接口 2 连接至串行接口 1。LINE2[0:2] 值为 2 则以太网接口 2 连接至串行接口 2。LINE2[0:2] 值为 3 则以太网接口 2 连接至串行接口 3。LINE2[0:2] 值为 4 则以太网接口 2 连接至串行接口 4。在连接建立之前以及连接断开之后，用户必须复位队列指针。

Register Name: **GL.CON3**
 Register Description: **Connection Register for Ethernet Interface 3**
 Register Address: **10h**

Bit #	7	6	5	4	3	2	1	0
Name	-	-	-	-	-	LINE3[2]	LINE3[1]	LINE3[0]
Default	0	0	0	0	0	0	1	1

位 0 至 2: LINE3[0:2]。LINE3[0:2]选择连接至以太网接口 3 的串行端口。注意，假定串行接口和以太网之间为双向连接。为保证正常工作，必须定义连接寄存器和相应的队列长度。向该寄存器写入 0，将断开连接。连接断开后，向串行发送接口和 HDLC 接收器传送‘1’。发送至 HDLC 发送器和接收器的时钟关断 (0)。LINE3[0:2] 值为 1 则以太网接口 3 连接至串行接口 1。LINE3[0:2] 值为 2 则以太网接口 3 连接至串行接口 2。LINE3[0:2] 值为 3 则以太网接口 3 连接至串行接口 3。LINE3[0:2] 值为 4 则以太网接口 3 连接至串行接口 4。在建立连接之前以及断开连接之后，用户必须复位队列指针。

Register Name: **GL.CON4**
 Register Description: **Connection Register for Ethernet Interface 4**
 Register Address: **11h**

Bit #	7	6	5	4	3	2	1	0
Name	-	-	-	-	-	LINE4[2]	LINE4[1]	LINE4[0]
Default	0	0	0	0	0	1	0	0

位 0 至 2: LINE4[0:2]。LINE4[0:2]选择连接至以太网接口 4 的串行端口。注意，假定串行接口和以太网之间为双向连接。为保证正常工作，必须定义连接寄存器和相应的队列长度。向该寄存器写入 0，将断开连接。连接断开后，向串行发送接口和 HDLC 接收器传送‘1’。发送至 HDLC 发送器和接收器的时钟关断 (0)。LINE4[0:2] 值为 1 则以太网接口 4 连接至串行接口 1。LINE4[0:2] 值为 2 则以太网接口 4 连接至串行接口 2。LINE4[0:2] 值为 3 则以太网接口 4 连接至串行接口 3。LINE4[0:2] 值为 4 则以太网接口 4 连接至串行接口 4。在连接建立之前以及连接断开之后，用户必须复位队列指针。

Register Name: **GL.C1QPR**
 Register Description: **Connection 1 Queue Pointer Reset**
 Register Address: **12h**

Bit #	7	6	5	4	3	2	1	0
Name	-	-	-	-	C1MRPRR	C1HWPRR	C1MHPR	C1HRPR
Default	0	0	0	0	0	0	0	0

位 3: MAC 读指针复位。该位置 1 时，连接 1 接收队列读指针复位。断开连接后以及建立连接前，队列指针必须复位。

位 2: HDLC 写指针复位。该位置 1 时，连接 1 接收队列写指针复位。断开连接后以及建立连接前，队列指针必须复位。

位 1: HDLC 读指针复位。该位置 1 时，连接 1 接收队列读指针复位。断开连接后以及建立连接前，队列指针必须复位。

位 0: MAC 发送写指针复位。该位置 1 时，连接 1 接收队列写指针复位。断开连接后以及建立连接前，队列指针必须复位。

Register Name: **GL.C2QPR**
 Register Description: **Connection 2 Queue Pointer Reset**
 Register Address: **13h**

Bit #	7	6	5	4	3	2	1	0
Name	-	-	-	-	C2MRPRR	C2HWPRR	C2MHPR	C2HRPR
Default	0	0	0	0	0	0	0	0

位 3: MAC 读指针复位。 该位置 1 时，连接 2 接收队列读指针复位。断开连接后以及建立连接前，队列指针必须复位。

位 2: HDLC 写指针复位。 该位置 1 时，连接 2 接收队列写指针复位。断开连接后以及建立连接前，队列指针必须复位。

位 1: HDLC 读指针复位。 该位置 1 时，连接 2 接收队列读指针复位。断开连接后以及建立连接前，队列指针必须复位。

位 0: MAC 发送写指针复位。 该位置 1 时，连接 2 接收队列写指针复位。断开连接后以及建立连接前，队列指针必须复位。

Register Name: **GL.C3QPR**
 Register Description: **Connection 3 Queue Pointer Reset**
 Register Address: **14h**

Bit #	7	6	5	4	3	2	1	0
Name	-	-	-	-	C3MRPRR	C3HWPRR	C3MHPR	C3HRPR
Default	0	0	0	0	0	0	0	0

位 3: MAC 读指针复位。 该位置 1 时，连接 3 接收队列读指针复位。断开连接后以及建立连接前，队列指针必须复位。

位 2: HDLC 写指针复位。 该位置 1 时，连接 3 接收队列写指针复位。断开连接后以及建立连接前，队列指针必须复位。

位 1: HDLC 读指针复位。 该位置 1 时，连接 3 接收队列读指针复位。断开连接后以及建立连接前，队列指针必须复位。

位 0: MAC 发送写指针复位。 该位置 1 时，连接 3 接收队列写指针复位。断开连接后以及建立连接前，队列指针必须复位。

Register Name: **GL.C4QPR**
 Register Description: **Connection 4 Queue Pointer Reset**
 Register Address: **15h**

Bit #	7	6	5	4	3	2	1	0
Name	-	-	-	-	C4MRPRR	C4HWPRR	C4MHPR	C4HRPR
Default	0	0	0	0	0	0	0	0

位 3: MAC 读指针复位。该位置 1 时，连接 4 接收队列读指针复位。断开连接后以及建立连接前，队列指针必须复位。

位 2: HDLC 写指针复位。该位置 1 时，连接 4 接收队列写指针复位。断开连接后以及建立连接前，队列指针必须复位。

位 1: HDLC 读指针复位。该位置 1 时，连接 4 接收队列读指针复位。断开连接后以及建立连接前，队列指针必须复位。

位 0: MAC 发送写指针复位。该位置 1 时，连接 4 接收队列写指针复位。断开连接后以及建立连接前，队列指针必须复位。

Register Name: **GL.BISTEN**
 Register Description: **BIST Enable**
 Register Address: **20h**

Bit #	7	6	5	4	3	2	1	0
Name	-	-	-	-	-	-	-	BISTE
Default	0	0	0	0	0	0	0	0

位 0: BIST 使能。该位如果置位，DS33Z44 进行 SDRAM 上的 BIST 测试。BIST 为高电平使能时正常数据通信中断。BIST 测试完成后，正常数据传输开始前，用户必须复位 DS33Z44。

Register Name: **GL.BISTPF**
 Register Description: **BIST PassFail**
 Register Address: **21h**

Bit #	7	6	5	4	3	2	1	0
Name	-	-	-	-	-	-	BISTDN	BISTPF
Default	0	0	0	0	0	0	0	0

位 1: BIST DONE。如果该位置 1，表明 DS33Z44 已完成由 BISTE 启动的 BIST 测试。未通过测试的结果由 BISTPF 表示。

位 0: BIST PassFail。DS33Z44 在 SDRAM 上的 BIST 测试完成并通过测试后，该位为 0。如果测试失败，则该位置 1。该位仅在 BIST 测试完成以及 BIST DN 位置位后有效。该位置位后，只有重新复位 DS33Z44，才能清零。

9.3 仲裁器寄存器

仲裁器管理以太网端口和串行端口之间的传送，管理通往外部 SDRAM 的数据排队。仲裁器处理 HDLC 和 MAC 与 SDRAM 之间数据传送的请求。仲裁器寄存器基地址为 0040h。

9.3.1 仲裁器寄存器位说明

Register Name: **AR.RQSC1**
 Register Description: **Arbiter Receive Queue Size Connection 1**
 Register Address: **40h**

Bit #	7	6	5	4	3	2	1	0
Name	RQSC1[7]	RQSC1[6]	RQSC1[5]	RQSC1[4]	RQSC1[3]	RQSC1[2]	RQSC1[1]	RQSC1[0]
Default	0	0	1	1	1	1	0	1

位 0 至 7：连接 1 接收队列长度 RQSC1[0:7]。接收队列长度的这些位与连接 1 相关。接收队列是来自 MAC、将向 WAN 发送的数据。队列地址长度以 32 x 2048 字节递增。队列长度是 AR.RQSC1 乘以 32，决定能够存储在队列中 2048 字节数据包的数量。该队列在外部 SDRAM 中建立。**注意：不允许长度为 0 的队列出现，不应进行这种设置。**

Register Name: **AR.TQSC1**
 Register Description: **Arbiter Transmit Queue Size Connection 1**
 Register Address: **41h**

Bit #	7	6	5	4	3	2	1	0
Name	TQSC1[7]	TQSC1[6]	TQSC1[5]	TQSC1[4]	TQSC1[3]	TQSC1[2]	TQSC1[1]	TQSC1[0]
Default	0	0	0	0	0	0	1	1

位 0 至 7：连接 1 发送队列长度 TQSC1[0:7]。发送队列长度的这些位与连接 1 相关。队列地址长度以 32 个数据包递增。队列长度是 AR.TQSC1 乘以 32，决定存储在队列中 2048 字节数据包的数量。字节范围取决于连接在 DS33Z44 上的外部 SDRAM。发送队列是 WAN 接收、将向 MAC 发送的数据队列。**注意：不允许长度为 0 的队列出现，不应进行这种设置。**

Register Name: **AR.RQSC2**
 Register Description: **Arbiter Receive Queue Size Connection 2**
 Register Address: **42h**

Bit #	7	6	5	4	3	2	1	0
Name	RQSC2[7]	RQSC2[6]	RQSC2[5]	RQSC2[4]	RQSC2[3]	RQSC2[2]	RQSC2[1]	RQSC2[0]
Default	0	0	1	1	1	1	0	1

位 0 至 7：连接 2 接收队列长度 RQSC2[0:7]。接收队列长度的这些位与连接 2 相关。接收队列是来自 MAC、将向 WAN 发送的数据。队列地址长度以 32 x 2048 字节递增。队列长度是 AR.RQSC2 乘以 32，决定存储在队列中 2048 字节数据包的数量。该队列在外部 SDRAM 中建立。**注意：不允许长度为 0 的队列出现，不应进行这种设置。**

Register Name: **AR.TQSC2**
 Register Description: **Arbiter Transmit Queue Size Connection 2**
 Register Address: **43h**

Bit #	7	6	5	4	3	2	1	0
Name	TQSC2[7]	TQSC2[6]	TQSC2[5]	TQSC2[4]	TQSC2[3]	TQSC2[2]	TQSC2[1]	TQSC2[0]
Default	0	0	0	0	0	0	1	1

位 0 至 7：连接 2 发送队列长度 TQSC2[0:7]。发送队列长度的这些位与连接 2 相关。队列地址长度以 32 个数据包递增。队列长度是 AR.TQSC2 乘以 32，决定存储在队列中 2048 字节数据包的数量。字节范围取决于连接在 DS33Z44 上的外部 SDRAM。发送队列是 WAN 接收、将向 MAC 发送的数据队列。**注意：不允许长度为 0 的队列出现，不应进行这种设置。**

Register Name: **AR.RQSC3**
 Register Description: **Arbiter Receive Queue Size Connection 3**
 Register Address: **44h**

Bit #	7	6	5	4	3	2	1	0
Name	RQSC3[7]	RQSC3[6]	RQSC3[5]	RQSC3[4]	RQSC3[3]	RQSC3[2]	RQSC3[1]	RQSC3[0]
Default	0	0	1	1	1	1	0	1

位 0 至 7：连接 3 接收队列长度 RQSC3[0:7]。接收队列长度的这些位与连接 3 相关。接收队列是来自 MAC、将向 WAN 发送的数据。队列地址长度以 32 x 2048 字节递增。队列长度是 AR.RQSC3 乘以 32，决定存储在队列中 2048 字节数据包的数量。该队列在外部 SDRAM 中建立。**注意：不允许长度为 0 的队列出现，不应进行这种设置。**

Register Name: **AR.TQSC3**
 Register Description: **Arbiter Transmit Queue Size Connection 3**
 Register Address: **45h**

Bit #	7	6	5	4	3	2	1	0
Name	TQSC3[7]	TQSC3[6]	TQSC3[5]	TQSC3[4]	TQSC3[3]	TQSC3[2]	TQSC3[1]	TQSC3[0]
Default	0	0	0	0	0	0	1	1

位 0 至 7：连接 3 发送队列长度 TQSC3[0:7]。发送队列长度的这些位与连接 3 相关。队列地址长度以 32 个数据包递增。队列长度是 AR.TQSC3 乘以 32，决定存储在队列中 2048 个字节数据包的数量。字节范围取决于连接在 DS33Z44 上的外部 SDRAM。发送队列是 WAN 接收、将向 MAC 发送的数据队列。**注意：不允许长度为 0 的队列出现，不应进行这种设置。**

Register Name: **AR.RQSC4**
 Register Description: **Arbiter Receive Queue Size Connection 4**
 Register Address: **46h**

Bit #	7	6	5	4	3	2	1	0
Name	RQSC4[7]	RQSC4[6]	RQSC4[5]	RQSC4[4]	RQSC4[3]	RQSC4[2]	RQSC4[1]	RQSC4[0]
Default	0	0	1	1	1	1	0	1

位 0 至 7：接收队列长度连接 4 RQSC4[0:7]。接收队列长度的这些位与连接 4 相关。接收队列是来自 MAC、将向 WAN 发送的数据。队列地址长度以 32 x 2048 字节递增。队列长度是 AR.RQSC4 乘以 32，决定存储在队列中 2048 个字节数据包的数量。该队列在外部 SDRAM 中建立。**注意：不允许长度为 0 的队列出现，不应进行这种设置。**

Register Name: **AR.TQSC4**
 Register Description: **Arbiter Transmit Queue Size Connection 4**
 Register Address: **47h**

Bit #	7	6	5	4	3	2	1	0
Name	TQSC4[7]	TQSC4[6]	TQSC4[5]	TQSC4[4]	TQSC4[3]	TQSC4[2]	TQSC4[1]	TQSC4[0]
Default	0	0	0	0	0	0	1	1

位 0 至 7：连接 4 发送队列长度 TQSC4[0:7]。发送队列长度的这些位与连接 4 相关。队列地址长度以 32 个数据包递增。队列长度是 AR.TQSC4 乘以 32，决定存储在队列中 2048 个字节数据包的数量。字节范围取决于连接在 DS33Z44 上的外部 SDRAM。发送队列是 WAN 接收、将向 MAC 发送的数据队列。**注意：不允许长度为 0 的队列出现，不应进行这种设置。**

9.4 BERT 寄存器

Register Name: **BCR**
 Register Description: **BERT Control Register**
 Register Address: **80h**

Bit #	7	6	5	4	3	2	1	0
Name	-	PMU	RNPL	RPIC	MPR	APRD	TNPL	TPIC
Default	0	0	0	0	0	0	0	0

位 7: 为保证正常工作，该位必须保持低。

位 6: 性能监视刷新 (PMU)。该位 0 到 1 的跳变启动性能监视刷新，使性能监视寄存器用最新数据刷新，计数器复位 (0 或 1)。再次启动性能监视刷新时，该位必须先置 0，再置 1。如果 PMU 在 PMS 位变为高电平之前变低，则可能不执行刷新。

位 5: 接收新码型负载 (RNPL)。该位 0 到 1 的跳变，将使所设置的测试码型 (QRSS、PTS、PLF [4:0]、PTF [4:0] 和 BSP [31:0]) 装入接收码型产生器。装入另一个码型时，则该位必须先置零，再置 1。装入一个新码型将使接收码型产生器输出“Sync”状态，启动重新同步。注意：从该位由 0 跳变至 1 后的 4 个 RXCK 时钟周期之内，QRSS、PTS、PLF [4:0]、PTF [4:0] 和 BSP [31:0] 不能变化。

位 4: 接收码型反转控制 (RPIC)。置 0 时，不改变接收到的数据流。置 1 时，反转接收到的数据流。

位 3: 人工码型重新同步 (MPR)。该位 0 到 1 的跳变，将使接收码型产生器重新同步在收到的码型上。再次启动重新同步时，该位必须先置 0，再置 1。注意：人工重新同步使接收码型产生器输出“Sync”状态。

位 2: 自动码型重新同步禁止 (APRD)。置 0 时，如果在当前的 64 位窗口中，收到的数据流位和接收码型产生器输出的位不匹配次数超过 6 次，接收码型产生器将自动与收到的码型重新同步。置 1 时，接收码型产生器将不会与收到的码型自动重新同步。注意：不允许接收码型产生器自动退出“Sync”状态，将阻止自动同步功能。

位 1: 发送新码型负载 (TNPL)。该位 0 到 1 的跳变，将所设置的测试码型 (QRSS、PTS、PLF [4:0]、PTF [4:0] 和 BSP [31:0]) 装入到发送码型产生器中。装入另一个码型，该位必须先置 0，再置 1。装入一个新码型将使接收码型产生器输出“Sync”状态，启动重新同步。注意：在该位由 0 跳变至 1 后的 4 个 TXCK 时钟周期之内，QRSS、PTS、PLF [4:0]、PTF [4:0] 和 BSP [31:0] 不能变化。

位 0: 发送码型反转控制 (TPIC)。置 0 时，不改变发送数据流。置 1 时，反转发送数据流。

Register Name: **BPCLR**
 Register Description: **BERT Pattern Configuration Low Register**
 Register Address: **82h**

Bit #	7	6	5	4	3	2	1	0
Name	-	QRSS	PTS	PLF4	PLF3	PLF2	PLF1	PLF0
Default	0	0	0	0	0	0	0	0

位 6: QRSS 使能 (QRSS)。置 0 时，码型产生器由 PTS、PLF[0:4]、PTF[0:4]和 BSP[0:31]控制。置 1 时，码型产生器强置生成多项式是 $x^{20} + x^{17} + 1$ 的 QRSS 码型。如果后面的 14 个输出位为全零，则码型产生器输出被强置为 1。

位 5: 码型类型选择 (PTS)。置 0 时，为 PRBS 码型。置 1 时，为重复码型。

Register Name: **BPCHR**
 Register Description: **BERT Pattern Configuration High Register**
 Register Address: **83h**

Bit #	7	6	5	4	3	2	1	0
Name	-	-	-	PTF4	PTF3	PTF2	PTF1	PTF0
Default	0	0	0	0	0	0	0	0

位 4 至 0: 码型抽头反馈 (PTF[4:0])。这 5 位控制码型产生器的 PRBS “抽头”反馈。“抽头”反馈来自码型产生器 ($y = \text{PTF}[4:0] + 1$) 的第 y 位。设置为重复码型时，将忽略这些位。对于 PRBS 信号，反馈是第 n 位和第 y 位的 XOR。可用数值在 [8.15](#) 节中列出。

Register Name: **BSPB0R**
 Register Description: **BERT Pattern Byte 0 Register**
 Register Address: **84h**

Bit #	7	6	5	4	3	2	1	0
Name	BSP7	BSP6	BSP5	BSP4	BSP3	BSP2	BSP1	BSP0
Default	0	0	0	0	0	0	0	0

位 0 至 7: **BERT 码型 (BSP[7:0])**。32 位的低 8 位。寄存器说明与下一个寄存器相同。

Register Name: **BSPB1R**
 Register Description: **BERT Pattern Byte 1 Register**
 Register Address: **85h**

Bit #	7	6	5	4	3	2	1	0
Name	BSP15	BSP14	BSP13	BSP12	BSP11	BSP10	BSP9	BSP8
Default	0	0	0	0	0	0	0	0

位 0 至 7: **BERT 码型 (BSP[15:8])**。32 位的 8 个位。寄存器说明如下。

Register Name: **BSPB2R**
 Register Description: **BERT Pattern Byte 2 Register**
 Register Address: **86h**

Bit #	7	6	5	4	3	2	1	0
Name	BSP23	BSP22	BSP21	BSP20	BSP19	BSP18	BSP17	BSP16
Default	0	0	0	0	0	0	0	0

位 0 至 7: **BERT 码型 (BSP[23:16])**。32 位的 8 个位。寄存器说明如下。

Register Name: **BSPB3R**
 Register Description: **BERT Seed/Pattern Byte 3 Register**
 Register Address: **87h**

Bit #	7	6	5	4	3	2	1	0
Name	BSP31	BSP30	BSP29	BSP28	BSP27	BSP26	BSP25	BSP24
Default	0	0	0	0	0	0	0	0

位 0 至 8: **BERT 码型 (BSP[31:24])**。32 位的高 8 位。寄存器说明如下。

BERT 码型 (BSP[31:0])。这 32 位是发送 PRBS 码型的种子，或设置的发送或接收重复码型。BSP(31) 是 32 位重复码型或 32 位 PRBS 的第一位输出。BSP(31) 是 32 位重复码型的第一位输入。

Register Name: **TEICR**
 Register Description: **Transmit Error Insertion Control Register**
 Register Address: **88h**

Bit #	7	6	5	4	3	2	1	0
Name	-	-	TIER2	TIER1	TIER0	BEI	TSEI	-
Default	0	0	0	0	0	0	0	0

位 3 至 5: 发送误码插入速率 (TEIR[2:0])。这 3 个位指示插入到输出数据流中误码的速率。每 10^n 位取反一次。n 为 TEIR[2:0] 的值。TEIR[2:0] 值为 0 将禁用特定速率误码插入。TEIR[2:0] 值为 1 则每第 10 位取反。TEIR[2:0] 值为 2 则每第 100 位取反。当该寄存器以非零值写入 TEIR[2:0] 时, 开始进行误码插入。如果该寄存器在误码插入过程中进行写入, 则下一个误码插入后, 开始执行新的误码速率。

位 2: 位误码插入使能 (BEI)。置 0 时, 禁用单个位误码插入。置 1 时, 使能单个位误码插入。

位 1: 发送单个误码插入 (TSEI)。使能单个位误码插入时, 该位使发送数据流中插入一位误码。一个 0 到 1 的跳变插入一位误码。再次插入误码时, 该位必须先置 0, 再置 1。注意: 如果该位在误码插入期间, 出现一次以上跳变, 则只插入一个误码。

为保证正常工作, 该寄存器中, 除 BEI、TSEI 和 TIER 以外的其它位必须置为 0。

Register Name: **BSR**
 Register Description: **BERT Status Register**
 Register Address: **8Ch**

Bit #	7	6	5	4	3	2	1	0
Name	-	-	-	-	PMS	-	BEC	OOS
Default	0	0	0	0	0	0	0	0

位 3: 性能监视刷新状态 (PMS)。该位指示接收性能监视寄存器 (计数器) 刷新状态。刷新完成后, 该位由低跳变到高。PMU 位变为低电平时, PMS 强制置低。

位 1: 位误码计数 (BEC)。置 0 时, 位误码计数为 0。置 1 时, 位误码计数为 1 或 1 以上。

位 0: 同步丢失 (OOS)。置 0 时, 接收码型产生器与收到的码型同步。置 1 时, 接收码型产生器与收到的码型不同步。

Register Name: **BSRL**
 Register Description: **BERT Status Register Latched**
 Register Address: **8Eh**

Bit #	7	6	5	4	3	2	1	0
Name	-	-	-	-	PMSL	BEL	BECL	OOSL
Default	0	0	0	0	0	0	0	0

位 3: 性能监视刷新状态锁存 (PMSL)。 PMS 位由 0 跳变至 1 时, 该位置位。

位 2: 位误码探测锁存 (BEL)。 探测到位误码时, 该位置位。

位 1: 位误码计数锁存 (BECL)。 BEC 位由 0 跳变至 1 时, 该位置位。

位 0: 同步丢失锁存 (OOSL)。 OOS 位状态改变时, 该位置位。

Register Name: **BSRIE**
 Register Description: **BERT Status Register Interrupt Enable**
 Register Address: **90h**

Bit #	7	6	5	4	3	2	1	0
Name	-	-	-	-	PMSIE	BEIE	BECIE	OOSIE
Default	0	0	0	0	0	0	0	0

位 3: 性能监视刷新状态中断使能 (PMSIE)。 如果 PMSL 位置位, 该位使能中断。

0 = 禁止中断

1 = 使能中断

位 2: 位误码中断使能 (BEIE)。 如果 BEL 位置位, 该位使能中断。

0 = 禁止中断

1 = 使能中断

位 1: 位误码计数中断使能 (BECIE)。 如果 BECL 位置位, 该位使能中断。

0 = 禁止中断

1 = 使能中断

位 0: 同步丢失中断使能 (OOSIE)。 如果 OOSL 位置位, 该位使能中断。

0 = 禁止中断

1 = 使能中断

Register Name: **RBECB0R**
 Register Description: **Receive Bit Error Count Byte 0 Register**
 Register Address: **94h**

Bit #	7	6	5	4	3	2	1	0
Name	<u>BEC7</u>	<u>BEC6</u>	<u>BEC5</u>	<u>BEC4</u>	<u>BEC3</u>	<u>BEC2</u>	<u>BEC1</u>	<u>BEC0</u>
Default	0	0	0	0	0	0	0	0

位 0 至 7: 位误码计数 (**BEC[0:7]**)。24 位的低 8 位。寄存器说明如下。

Register Name: **RBECB1R**
 Register Description: **Receive Bit Error Count Byte 1 Register**
 Register Address: **95h**

Bit #	7	6	5	4	3	2	1	0
Name	<u>BEC15</u>	<u>BEC14</u>	<u>BEC13</u>	<u>BEC12</u>	<u>BEC11</u>	<u>BEC10</u>	<u>BEC9</u>	<u>BEC8</u>
Default	0	0	0	0	0	0	0	0

位 0 至 7: 位误码计数 (**BEC[8:15]**)。24 位数值的 8 位。寄存器说明如下。

Register Name: **RBECR2**
 Register Description: **Receive Bit Error Count Byte 2 Register**
 Register Address: **96h**

Bit #	7	6	5	4	3	2	1	0
Name	<u>BEC23</u>	<u>BEC22</u>	<u>BEC21</u>	<u>BEC20</u>	<u>BEC19</u>	<u>BEC18</u>	<u>BEC17</u>	<u>BEC16</u>
Default	0	0	0	0	0	0	0	0

位 0 至 7: 位误码计数 (**BEC[23:16]**)。寄存器高 8 位。

位误码计数 (**BEC[23:0]**)。这 24 个位指示收到的数据流中所探测到的位误码数量。该计数达到 FF FFFFh 后, 不再增加。出现 OOS 后, 位误码计数不再增加。

Register Name: **RBCB0**
 Register Description: **Receive Bit Count Byte 0 Register**
 Register Address: **98h**

Bit #	7	6	5	4	3	2	1	0
Name	<u>BC7</u>	<u>BC6</u>	<u>BC5</u>	<u>BC4</u>	<u>BC3</u>	<u>BC2</u>	<u>BC1</u>	<u>BC0</u>
Default	0	0	0	0	0	0	0	0

位 0 至 7: 位计数 (**BC[7:0]**)。32 位数值的 8 位。寄存器说明如下。

Register Name: **RBCB1**
 Register Description: **Receive Bit Count Byte 1 Register #1**
 Register Address: **99h**

Bit #	7	6	5	4	3	2	1	0
Name	<u>BC15</u>	<u>BC14</u>	<u>BC13</u>	<u>BC12</u>	<u>BC11</u>	<u>BC10</u>	<u>BC9</u>	<u>BC8</u>
Default	0	0	0	0	0	0	0	0

位 0 至 7: 位计数 (**BC[15:8]**)。32 位数值的 8 位。寄存器说明如下。

Register Name: **RBCB2**
 Register Description: **Receive Bit Count Byte 2 Register**
 Register Address: **9Ah**

Bit #	7	6	5	4	3	2	1	0
Name	<u>BC23</u>	<u>BC22</u>	<u>BC21</u>	<u>BC20</u>	<u>BC19</u>	<u>BC18</u>	<u>BC17</u>	<u>BC16</u>
Default	0	0	0	0	0	0	0	0

位 0 至 7: 位计数 (**BC[23:16]**)。32 位数值的 8 位。寄存器说明如下。

Register Name: **RBCB3**
 Register Description: **Receive Bit Count Byte 3 Register**
 Register Address: **9Bh**

Bit #	7	6	5	4	3	2	1	0
Name	<u>BC31</u>	<u>BC30</u>	<u>BC29</u>	<u>BC28</u>	<u>BC27</u>	<u>BC26</u>	<u>BC25</u>	<u>BC24</u>
Default	0	0	0	0	0	0	0	0

位 0 至 7: 位计数 (**BC[31:24]**)。这 32 位指示收到的数据流中的位数量。该计数达到 FFFF FFFFh 后, 不再增加。出现 OOS 后, 位计数将不再增加。

9.5 串行接口寄存器

串行接口包括串行 HDLC 传输电路和相关串行端口。串行接口寄存器映射由通用、发送和接收寄存器组成。

带下划线的位为只读位；所有其它位都可以进行写操作。除非在寄存器定义中有专门说明，应向所有标有“-“的保留寄存器和位写入 0。读取时，应忽略从标有“-“的保留寄存器和位中读出的信息。

通过置位 (低电平到高电平跳变) 相关性能监视刷新信号 (xxPMU)，刷新计数器寄存器。在接收器寄存器刷新期间，相关性能监视状态信号 (xxPMS) 解除置位。计数器寄存器刷新过程包括将当前计数装入计数器寄存器，复位计数器，强制零计数状态指示保持一个时钟周期的低电平然后置位 xxPMS。在刷新过程中，不得缺少以上步骤。

当相关事件发生时锁存位置位，并保持置位至读取清零。一旦清零，在相关事件发生之前锁存位不会再次置位。保留的设置位和寄存器应写入 0。

9.5.1 串行接口发送和通用寄存器

串行接口发送寄存器用于控制与每个串行接口相关的 HDLC 发送器。注意，本文档中，HDLC 处理器也称作“数据包处理器”。

9.5.2 串行接口发送寄存器位说明

Register Name: **LI.TSLCR**
 Register Description: **Transmit Serial Interface Configuration Register**
 Register Address: **0C0h, 180h, 240h, 300h**

Bit #	7	6	5	4	3	2	1	0
Name	-	-	-	-	-	-	-	TDENPLT
Default	0	0	0	0	0	0	0	0

位 0: 发送数据使能极性。置 1 时，TDENn 为低电平有效使能。在默认模式下 TDEN 逻辑高电平时，数据使能由 DS33Z44 输出。

Register Name: **LI.RSTPD**
 Register Description: **Serial Interface Reset Register**
 Register Address: **0C1h, 181h, 241h, 301h**

Bit #	7	6	5	4	3	2	1	0
Name	-	-	-	-	-	-	RESET	-
Default	0	0	0	0	0	0	0	0

位 1: 复位。如果该位置 1，该接口的数据通路、控制和状态复位。只要该位为高电平，则串行接口保持复位状态。为保证有效复位，该位必须至少保持 200ns 高电平。

Register Name: **LI.LPBK**
 Register Description: **Serial Interface Loopback Control Register**
 Register Address: **0C2h, 182h, 242h, 302h**

Bit #	7	6	5	4	3	2	1	0
Name	-	-	-	-	-	-	-	QLP
Default	0	0	0	0	0	0	0	0

位 0: 队列环回使能。如果该位置 1, 串行接口所接收的数据环回至串行接口发送器。所接收的数据将不会由串行接口发送至以太网接口。解除环回前, 缓冲的数据包数据一直保留在队列中。

9.5.3 发送 HDLC 处理器寄存器

Register Name: **LI.TPPCL**
 Register Description: **Transmit Packet Processor Control Low Register**
 Register Address: **0C4h, 184h, 244h, 304h**

Bit #	7	6	5	4	3	2	1	0
Name	-	-	TFAD	TF16	TIFV	TSD	TBRE	TIAEI
Default	0	0	0	0	0	0	0	0

注意: 在数据包误码插入过程中, 用户应谨慎, 不要修改该寄存器数值。

位 5 和 6: 附加发送 FCS 禁止 (TFAD)。该位控制是否在每个数据包的最后附加一个 FCS。该位置 0 时, 所计算的 FCS 字节附加在数据包上。置 1 时, 数据包不带 FCS 传输。在 X.86 模式下, FCS 总保持 32 位, 并附加在数据包上。

位 4: 发送 FCS-16 使能 (TF16)。置 0 时, FCS 处理采用 32 位 FCS。置 1 时, FCS 处理采用 16 位 FCS。在 X.86 模式使能 32 位 FCS。

位 3: 发送位同步帧间填充值 (TIFV)。置 0 时, 帧间填充标志序列 (7Eh)。置 1 时, 帧间填充全'1'。字节同步模式下忽略该位。在 X.86 模式下, 帧间填充标志序列 7E。

位 2: 发送加扰禁止 (TSD)。置 0 时, 进行 $X^{43}+1$ 加扰。置 1 时, 禁用加扰。注意, 在硬件模式下, 发送加扰由 SCD 引脚控制。

位 1: 发送位重排序使能 (TBRE)。置 0 时, 禁用位重排序 (传输的第一位是发送 FIFO 字节 TFD [7]的 MSB)。置 1 时, 使能位重排序 (传输的第一个位是发送 FIFO 字节 TFD [0]的 LSB)。注意, 该功能在硬件模式由 BREO 引脚控制。

位 0: 发送启动自动误码插入 (TIAEI)。该只写位启动误码插入。参见 LI.TEPHC 寄存器定义, 了解详细的使用方法。

Register Name: **LI.TIFGC**
 Register Description: **Transmit Interframe Gapping Control Register**
 Register Address: **0C5h, 185h, 245h, 305h**

Bit #	7	6	5	4	3	2	1	0
Name	TIFG7	TIFG6	TIFG5	TIFG4	TIFG3	TIFG2	TIFG1	TIFG0
Default	0	0	0	0	0	0	0	1

位 0 至 7: 发送帧间间隔 (TIFG[7:0])。这 8 位指示数据包之间帧间填充的标志和字节的数量。数据包之间帧间填充的标志和字节数最小值为 TIFG[7:0]加 1。注意: 如果帧间填充为全 1, TIFG 取值 2 或 3, 将使数据包间出现一个标志, 两字节全 1, 以及附加标志。

Register Name: **LI.TEPLC**
 Register Description: **Transmit Errored Packet Low Control Register**
 Register Address: **0C6h, 186h, 246h, 306h**

Bit #	7	6	5	4	3	2	1	0
Name	TPEN7	TPEN6	TPEN5	TPEN4	TPEN3	TPEN2	TPEN1	TPEN0
Default	0	0	0	0	0	0	0	0

位 0 至 7: 发送误码数据包插入数量 (TPEN[7:0])。这 8 位限制由 TIAEI 触发的传输误码数据包的总数。发送完该数量的误码数据包后, 结束插入误码。如果取值 FFh, 将在特定速率下, 持续插入误码数据包。

Register Name: **LI.TEPHC**
 Register Description: **Transmit Errored Packet High Control Register**
 Register Address: **0C7h, 187h, 247h, 307h**

Bit #	7	6	5	4	3	2	1	0
Name	MEIMS	TPER6	TPER5	TPER4	TPER3	TPER2	TPER1	TPER0
Default	0	0	0	0	0	0	0	0

位 7: 人工误码插入模式选择 (MEIMS)。为 0 时, 发送人工误码插入信号 (TMEI) 不导致误码插入。置 1 时, TMEI 由 0 跳变至 1 将插入一个误码。注意: 使能 TMEI 不会禁止采用 TCER[6:0] 和 TCEN[7:0] 的误码插入。

位 0 至 6: 发送误码数据包插入速率 (TPER[6:0])。这 7 个位指示输出误码数据包的速率。每 $x * 10^y$ 个数据包中有一个误码数据包。TPER[3:0] 值为 x。TPER[6:4] 值为 y, 其最大值为 6。如果 TPER[3:0] 取值 0h, 将禁用误码数据包插入。如果 TPER[6:4] 取值 6xh 或 7xh, 误码数据包速率为 $x * 10^6$ 。TPER[6:0] 取值 01h 将使每个数据包均有误码。TPER[6:0] 取值 0Fh 将使每 15 数据包出现一个误码。TPER[6:0] 取值 11h 将使每 10 数据包出现一个误码。

可采用以下步骤启动自动误码插入:

- 1) 根据所需的误码插入模式, 设置 LI.TEPLC 和 LI.TEPHC。
- 2) 向 LI.TPPCL.TIAEI 位写入 1。注意, 该位只写。
- 3) 如果不采用连续误码插入 (LI.TPELC 不等于 FFh), 用户应监视 LI.TPPSR.TEPF 位, 确定何时完成误码插入。如果使能误码插入完成中断功能 (LI.TPPSR.TEPFIE = 1), 用户只需等待中断出现即可。
- 4) 进行下面列出的清除步骤。

清除步骤:

- 1) 向 LI.TEPLC 和 LI.TEPHC 写入 00h。
- 2) 向 LI.TPPCL.TIAEI 位写入 0。

Register Name: **LI.TPPSR**
 Register Description: **Transmit Packet Processor Status Register**
 Register Address: **0C8h, 188h, 248h, 308h**

Bit #	7	6	5	4	3	2	1	0
Name	-	-	-	-	-	-	-	<u>TEPF</u>
Default	0	0	0	0	0	0	0	0

位 0: 发送误码数据包插入结束 (TEPF)。 寄存器 TPEN[7:0]所限数量的误码数据包传输完毕后, 该位置位。禁用误码数据包插入或启动新的误码数据包插入处理时, 该位清零。

Register Name: **LI.TPPSRL**
 Register Description: **Transmit Packet Processor Status Register Latched**
 Register Address: **0C9h, 189h, 249h, 309h**

Bit #	7	6	5	4	3	2	1	0
Name	-	-	-	-	-	-	-	<u>TEPFL</u>
Default	0	0	0	0	0	0	0	0

位 0: 发送误码数据包插入完成锁存 (TEPFL)。 TPPSR 寄存器 TEPF 位由 0 跳变至 1 时, 该位置位。

Register Name: **LI.TPPSRIE**
 Register Description: **Transmit Packet Processor Status Register Interrupt Enable**
 Register Address: **0CAh, 18Ah, 24Ah, 30Ah**

Bit #	7	6	5	4	3	2	1	0
Name	-	-	-	-	-	-	-	<u>TEPFIE</u>
Default	0	0	0	0	0	0	0	0

位 0: 发送误码数据包插入完成中断使能 (TEPFIE)。 该位使能 LI.TPPSRL 寄存器 TEPFL 位置位时的中断。

0 = 禁止中断

1 = 使能中断

Register Name: **LI.TPCR0**
 Register Description: **Transmit Packet Count Byte 0**
 Register Address: **0CCh, 18Ch, 24Ch, 30Ch**

Bit #	7	6	5	4	3	2	1	0
Name	<u>TPC7</u>	<u>TPC6</u>	<u>TPC5</u>	<u>TPC4</u>	<u>TPC3</u>	<u>TPC2</u>	<u>TPC1</u>	<u>TPC0</u>
Default	0	0	0	0	0	0	0	0

位 0 至 7: 发送数据包计数 (TPC[7:0])。24 位数值的 8 位。寄存器说明如下。

Register Name: **LI.TPCR1**
 Register Description: **Transmit Packet Count Byte 1**
 Register Address: **0CDh, 18Dh, 24Dh, 30Dh**

Bit #	7	6	5	4	3	2	1	0
Name	<u>TPC15</u>	<u>TPC14</u>	<u>TPC13</u>	<u>TPC12</u>	<u>TPC11</u>	<u>TPC10</u>	<u>TPC9</u>	<u>TPC8</u>
Default	0	0	0	0	0	0	0	0

位 0 至 7: 发送数据包计数 (TPC[15:8])。24 位数值的 8 位。寄存器说明如下。

Register Name: **LI.TPCR2**
 Register Description: **Transmit Packet Count Byte 2**
 Register Address: **0CEh, 18Eh, 24Eh, 30Eh**

Bit #	7	6	5	4	3	2	1	0
Name	<u>TPC23</u>	<u>TPC22</u>	<u>TPC21</u>	<u>TPC20</u>	<u>TPC19</u>	<u>TPC18</u>	<u>TPC17</u>	<u>TPC16</u>
Default	0	0	0	0	0	0	0	0

位 0 至 7: 发送数据包计数 (TPC[23:16])。这 24 位指示从发送 FIFO 和数据流输出中提取的数据包数量。

Register Name: **LI.TBCR0**
 Register Description: **Transmit Byte Count Byte 0**
 Register Address: **0D0h, 190h, 250h, 310h**

Bit #	7	6	5	4	3	2	1	0
Name	<u>TBC7</u>	<u>TBC6</u>	<u>TBC5</u>	<u>TBC4</u>	<u>TBC3</u>	<u>TBC2</u>	<u>TBC1</u>	<u>TBC0</u>
Default	0	0	0	0	0	0	0	0

位 0 至 7: 发送字节计数 (**TBC[0:7]**)。32 位数值的 8 位。寄存器说明如下。

Register Name: **LI.TBCR1**
 Register Description: **Transmit Byte Count Byte 1**
 Register Address: **0D1h, 191h, 251h, 311h**

Bit #	7	6	5	4	3	2	1	0
Name	<u>TBC15</u>	<u>TBC14</u>	<u>TBC13</u>	<u>TBC12</u>	<u>TBC11</u>	<u>TBC10</u>	<u>TBC9</u>	<u>TBC8</u>
Default	0	0	0	0	0	0	0	0

位 0 至 7: 发送字节计数 (**TBC[15:8]**)。32 位数值的 8 位。寄存器说明如下。

Register Name: **LI.TBCR2**
 Register Description: **Transmit Byte Count Byte 2**
 Register Address: **0D2h, 192h, 252h, 312h**

Bit #	7	6	5	4	3	2	1	0
Name	<u>TBC23</u>	<u>TBC22</u>	<u>TBC21</u>	<u>TBC20</u>	<u>TBC19</u>	<u>TBC18</u>	<u>TBC17</u>	<u>TBC16</u>
Default	0	0	0	0	0	0	0	0

位 0 至 7: 发送字节计数 (**TBC[23:16]**)。32 位数值的 8 位。寄存器说明如下。

Register Name: **LI.TBCR3**
 Register Description: **Transmit Byte Count Byte 3**
 Register Address: **0D3h, 193h, 253h, 313h**

Bit #	7	6	5	4	3	2	1	0
Name	<u>TBC31</u>	<u>TBC30</u>	<u>TBC29</u>	<u>TBC28</u>	<u>TBC27</u>	<u>TBC26</u>	<u>TBC25</u>	<u>TBC24</u>
Default	0	0	0	0	0	0	0	0

位 0 至 7: 发送字节计数 (**TBC[31:24]**)。这 32 个位指示插入到输出数据流中的数据包的字节数量。

Register Name: **LI.TMEI**
 Register Description: **Transmit Manual Error Insertion**
 Register Address: **0D4h, 194h, 254h, 314h**

Bit #	7	6	5	4	3	2	1	0
Name	-	-	-	-	-	-	-	TMEI
Default	0	0	0	0	0	0	0	0

位 0: 发送人工误码插入。 0 到 1 的跳变将在发送方向插入一个误码。

Register Name: **LI.THPMUU**
 Register Description: **Serial Interface Transmit HDLC PMU Update Register**
 Register Address: **0D6h, 196h, 256h, 316h**

Bit #	7	6	5	4	3	2	1	0
Name	-	-	-	-	-	-	-	TPMUU
Default	0	0	0	0	0	0	0	0

位 0: 发送 PMU 刷新。 该信号使发送信元/数据包处理器模块性能监视寄存器 (计数器)刷新。0 至 1 的跳变使性能监视寄存器用最新的数据刷新, 计数器复位 (0 或 1)。同时刷新串行接口性能监视计数器。

Register Name: **LI.THPMUS**
 Register Description: **Serial Interface Transmit HDLC PMU Update Status Register**
 Register Address: **0D7h, 197h, 257h, 317h**

Bit #	7	6	5	4	3	2	1	0
Name	-	-	-	-	-	-	-	TPMUS
Default	0	0	0	0	0	0	0	0

位 0: 发送 PMU 刷新状态。 发送 PMU 刷新完成后, 该位置位。TPMUU 复位时, 该位清零。

9.5.4 X.86 寄存器

X.86 发送和通用寄存器用于控制 X.86 编码器和解码器的工作。

Register Name: **LI.TX86EDE**
 Register Description: **X.86 Encoding Decoding Enable**
 Register Address: **0D8h, 198h, 258h, 318h**

Bit #	7	6	5	4	3	2	1	0
Name	-	-	-	-	-	-	-	X86ED
Default	0	0	0	0	0	0	0	0

位 0: X.86 编解码。该位置 1 时，使能发送和接收通路的 X.86 编解码。MAC 帧封装在 X.86 帧中进行发送，接收数据中校验 X.86 帧头。选用 X.86 功能后，X.86 接收器字节边界由 RBSYNCn 信号提供，DS33Z44 提供发送字节同步 TBSYNCn。不进行 HDLC 封装。

Register Name: **LI.TRX86A**
 Register Description: **Transmit Receive X.86 Address**
 Register Address: **0D9h, 199h, 259h, 319h**

Bit #	7	6	5	4	3	2	1	0
Name	X86TRA7	X86TRA6	X86TRA5	X86TRA4	X86TRA3	X86TRA2	X86TRA1	X86TRA0
Default	0	0	0	0	0	1	0	0

位 0 至 7: X86 发送接收地址 (X86TRA0-7)。X.86 发送器和接收器的地址域。寄存器默认值为 0x04。

Register Name: **LI.TRX8C**
 Register Description: **Transmit Receive X.86 Control**
 Register Address: **0DAh, 19Ah, 25Ah, 31Ah**

Bit #	7	6	5	4	3	2	1	0
Name	X86TRC7	X86TRC6	X86TRC5	X86TRC4	X86TRC3	X86TRC2	X86TRC1	X86TRC0
Default	0	0	0	0	0	0	1	1

位 0 至 7: X86 发送接收控制 (X86TRC0-7)。X.86 发送器的控制域，接收器的预期值。该寄存器复位为 0x03。

Register Name: **LI.TRX86SAPIH**
 Register Description: **Transmit Receive X.86 SAPIH**
 Register Address: **0DBh, 19Bh, 25Bh, 31Bh**

Bit #	7	6	5	4	3	2	1	0
Name	TRSAPIH7	TRSAPIH6	TRSAPIH5	TRSAPIH4	TRSAPIH3	TRSAPIH2	TRSAPIH1	TRSAPIH0
Default	1	1	1	1	1	1	1	0

位 0 至 7: X86 发送接收地址 (TRSAPIH0-7)。X.86 发送器的地址域，接收器的预期值。寄存器复位为 0xfe。

Register Name: **LI.TRX86SAPIL**
 Register Description: **Transmit Receive X.86 SAPIL**
 Register Address: **0DCh, 19Ch, 25Ch, 31Ch**

Bit #	7	6	5	4	3	2	1	0
Name	TRSAPIL7	TRSAPIL6	TRSAPIL5	TRSAPIL4	TRSAPIL3	TRSAPIL2	TRSAPIL1	TRSAPIL0
Default	0	0	0	0	0	0	0	1

位 0 至 7: X86 发送接收控制 (TRSAPIL0-7)。 X.86 发送器的地址域, 接收器的预期值。寄存器复位为 0x01。

Register Name: **LI.CIR**
 Register Description: **Committed Information Rate**
 Register Address: **0DDh, 19Dh, 25Dh, 31Dh**

Bit #	7	6	5	4	3	2	1	0
Name	CIRE	CIR6	CIR5	CIR4	CIR3	CIR2	CIR1	CIR0
Default	0	0	0	0	0	0	0	1

位 7: 约定信息速率使能 (CIRE)。 该位置 1 将使能约定信息速率控制器功能。

位 0 至 6: 约定信息速率 (CIR0-6)。 这些位提供约定信息速率数值。该数值乘以 500kbps 得到 CIR 值。用户必须确保 CIR 值小于或等于最大串行接口发送速率。有效范围是 1 至 104。超出此范围的数值会导致不可预测的事件发生。注意, 取值 104 为 52Mbps 线路速率。因此, 如果 CIR 高于线路速率, 速率将不受 CIR 的限制。例如, 如果采用 T1 线路, CIR 设置为 104, 则对速率限制不起作用。

9.5.5 接收串行接口

串行接收寄存器用于控制与每个串行接口相关的 HDLC 接收器。注意，本文档中，HDLC 处理器也称作“数据包处理器”。接收数据包处理器模块有 17 个寄存器。

9.5.5.1 寄存器位说明

Register Name: **LI.RSLCR**
 Register Description: **Receive Serial Interface Configuration Register**
 Register Address: **100h, 1C0h, 280h, 340h**

Bit #	7	6	5	4	3	2	1	0
Name	-	-	-	-	-	-	-	RDENPLT
Default	0	0	0	0	0	0	0	0

位 0: 接收数据使能极性。接收数据使能极性。如果置 1，RDENn 低电平使能接收。

Register Name: **LI.RPPCL**
 Register Description: **Receive Packet Processor Control Low Register**
 Register Address: **101h, 1C1h, 281h, 341h**

Bit #	7	6	5	4	3	2	1	0
Name	-	-	RFPD	RF16	RFED	RDD	RBRE	RCCE
Default	0	0	0	0	0	0	0	0

位 5: 接收 FCS 处理禁止 (RFPD)。置 0 时，进行 FCS 处理，FCS 附加在数据包上。置 1 时，禁止 FCS 处理 (数据包不带有附加 FCS)。在 X.86 模式下，保持使能 FCS 处理。

位 4: 接收 FCS-16 使能 (RF16)。置 0 时，误码检验电路采用 32 位 FCS。置 1 时，误码检验电路采用 16 位 FCS。禁用 FCS 处理时，忽略该位。在 X.86 模式下，FCS 总为 32 位。

位 3: 接收 FCS 提取禁止 (RFED)。置 0 时，丢弃 FCS 字节。置 1 时，传递 FCS 字节。禁用 FCS 处理时，忽略该位。在 X.86 模式下，丢弃 FCS 字节。

位 2: 接收解扰禁止 (RDD)。置 0 时，进行 $X^{43}+1$ 解扰。置 1 时，禁用解扰。

位 1: 接收位重排序使能 (RBRE)。置 0 时，禁用重新排序，接收的第一位是字节的 MSB DT [7]。置 1 时，使能位重排序，接收的第一位是字节的 LSB DT [0]。注意，硬件模式该功能由 BREO 控制。

位 0: 接收通道清除使能 (RCCE)。置 0 时，使能数据包处理。置 1 时，器件处于通道清除模式，禁用除解扰和位重排序以外的所有数据包处理。

Register Name: **LI.RMPSC_L**
 Register Description: **Receive Maximum Packet Size Control Low Register**
 Register Address: **102h, 1C2h, 282h, 342h**

Bit #	7	6	5	4	3	2	1	0
Name	RMX7	RMX6	RMX5	RMX4	RMX3	RMX2	RMX1	RMX0
Default	1	1	1	0	0	0	0	0

位 0 至 7: 接收最大数据包长度 (RMX [7:0])。16 位数值的 8 位。寄存器说明如下。

Register Name: **LI.RMPSC_H**
 Register Description: **Receive Maximum Packet Size Control High Register**
 Register Address: **103h, 1C3h, 283h, 343h**

Bit #	7	6	5	4	3	2	1	0
Name	RMX15	RMX14	RMX13	RMX12	RMX11	RMX10	RMX9	RMX8
Default	0	0	0	0	0	1	1	1

位 15 至 0: 接收最大数据包长度 (RMX [15:8])。这 16 个位指示允许的最大数据包长度 (字节数)，该值包括 FCS 字节，但是不包括位/字节填充。注意：如果最大数据包长度小于最小数据包长度，所有数据包将被丢弃。禁用数据包处理时，这 16 个位指示收到的数据包将被重新分割成的“数据包”长度。

允许最大数据包长度为 2016 个字节加上 FCS 字节。设置任何大于 2016 + FCS 的值与 2016 + FCS 值作用相同。

在 X.86 模式下，X.86 封装字节受最大长度控制。

Register Name: **LI.RPPSR**
 Register Description: **Receive Packet Processor Status Register**
 Register Address: **104h, 1C4h, 284h, 344h**

Bit #	7	6	5	4	3	2	1	0
Name	-	-	-	-	-	REPC	RAPC	RSPC
Default	0	0	0	0	0	0	0	0

位 2: 接收 FCS 误码数据包计数 (REPC)。该只读位指示接收 FCS 误码数据包计数非零。

位 1: 接收丢弃数据包计数 (RAPC)。该只读位指示接收丢弃数据包计数非零。

位 0: 接收长度出错数据包计数 (RSPC)。该只读位指示接收长度出错数据包计数非零。

Register Name: **LI.RPPSRL**
 Register Description: **Receive Packet Processor Status Register Latched**
 Register Address: **105h, 1C5h, 285h, 345h**

Bit #	7	6	5	4	3	2	1	0
Name	<u>REPL</u>	<u>RAPL</u>	<u>RIPDL</u>	<u>RSPDL</u>	<u>RLPDL</u>	<u>REPCL</u>	<u>RAPCL</u>	<u>RSPCL</u>
Default	0	0	0	0	0	0	0	0

位 7: 接收 FCS 误码数据包锁存 (REPL)。 探测到数据包出现一个误码 FCS 时, 该位置位。

位 6: 接收丢弃数据包锁存 (RAPL)。 探测到数据包出现丢弃标识时, 该位置位。

位 5: 接收无效数据包锁存 (RIPDL)。 探测到数据包出现非整数字节时, 该位置位。

位 4: 接收小数据包锁存 (RSPDL)。 探测到数据包长度小于最小数据包长度时, 该位置位。

位 3: 接收大数据包锁存 (RLPDL)。 探测到数据包长度大于最大数据包长度时, 该位置位。

位 2: 接收 FCS 误码数据包计数锁存 (REPCL)。 RPPSR 寄存器 REPC 位由 0 跳变到 1 时, 该位置位。

位 1: 接收丢弃数据包计数锁存 (RAPCL)。 RPPSR 寄存器 RAPC 位由 0 跳变到 1 时, 该位置位。

位 0: 接收长度出错数据包计数锁存 (RSPCL)。 RPPSR 寄存器 RSPC 位由 0 跳变到 1 时, 该位置位。

Register Name: **LI.RPPSRIE**
 Register Description: **Receive Packet Processor Status Register Interrupt Enable**
 Register Address: **106h, 1C6h, 286h, 346h**

Bit #	7	6	5	4	3	2	1	0
Name	REPIE	RAPIE	RIPDIE	RSPDIE	RLPDIE	REPCIE	RAPCIE	RSPCIE
Default	0	0	0	0	0	0	0	0

位 7: 接收 FCS 误码数据包中断使能 (REPIE)。 如果 LI.RPPSRL 寄存器 REPL 位置位, 该位使能中断。

0 = 禁止中断

1 = 使能中断

位 6: 接收丢弃数据包中断使能 (RAPIE)。 该位使能 LI.RPPSRL 寄存器 RAPL 位置位时的中断。

0 = 禁止中断

1 = 使能中断

位 5: 接收无效数据包中断使能 (RIPDIE)。 该位使能 LI.RPPSRL 寄存器 RIPDL 位置位时的中断。

0 = 禁止中断

1 = 使能中断

位 4: 接收小数据包中断使能 (RSPDIE)。 该位使能 LI.RPPSRL 寄存器 RSPDL 位置位时的中断。

0 = 禁止中断

1 = 使能中断

位 3: 接收大数据包中断使能 (RLPDIE)。 该位使能 LI.RPPSRL 寄存器 RLPDL 位置位时的中断。

0 = 禁止中断

1 = 使能中断

位 2: 接收 FCS 误码数据包计数中断使能 (REPCIE)。 该位使能 LI.RPPSRL 寄存器 REPC 位置位时的中断。数据包没有附加 FCS 时, 该位必须置为低电平。

0 = 禁止中断

1 = 使能中断

位 1: 接收丢弃数据包计数中断使能 (RAPCIE)。 该位使能 LI.RPPSRL 寄存器 RAPCL 位置位时的中断。

0 = 禁止中断

1 = 使能中断

位 0: 接收长度出错数据包计数中断使能 (RSPCIE)。 该位使能 LI.RPPSRL 寄存器 RSPCL 位置位时的中断。

0 = 禁止中断

1 = 使能中断

Register Name: **LI.RPCB0**
 Register Description: **Receive Packet Count Byte 0 Register**
 Register Address: **108h, 1C8h, 288h, 348h**

Bit #	7	6	5	4	3	2	1	0
Name	<u>RPC7</u>	<u>RPC6</u>	<u>RPC5</u>	<u>RPC4</u>	<u>RPC3</u>	<u>RPC2</u>	<u>RPC1</u>	<u>RPC0</u>
Default	0	0	0	0	0	0	0	0

位 0 至 7: 接收数据包计数 (RPC [7:0])。24 位数值的 8 位。寄存器说明如下。

Register Name: **LI.RPCB1**
 Register Description: **Receive Packet Count Byte 1 Register**
 Register Address: **109h, 1C9h, 289h, 349h**

Bit #	7	6	5	4	3	2	1	0
Name	<u>RPC15</u>	<u>RPC14</u>	<u>RPC13</u>	<u>RPC12</u>	<u>RPC11</u>	<u>RPC10</u>	<u>RPC09</u>	<u>RPC08</u>
Default	0	0	0	0	0	0	0	0

位 0 至 7: 接收数据包计数 (RPC [15:8])。24 位数值的 8 位。寄存器说明如下。

Register Name: **LI.RPCB2**
 Register Description: **Receive Packet Count Byte 2 Register**
 Register Address: **10Ah, 1CAh, 28Ah, 34Ah**

Bit #	7	6	5	4	3	2	1	0
Name	<u>RPC23</u>	<u>RPC22</u>	<u>RPC21</u>	<u>RPC20</u>	<u>RPC19</u>	<u>RPC18</u>	<u>RPC17</u>	<u>RPC16</u>
Default	0	0	0	0	0	0	0	0

位 0 至 7: 接收数据包计数 (RPC [23:16])。这 24 个位指示存储在接收 FIFO 中不带丢弃标识的数据包数量。注意：该计数包括由于系统环回以及溢出造成的丢失数据包数量。使能通道清除时，该寄存器有效。

Register Name: **LI.RFPCB0**
 Register Description: **Receive FCS Errored Packet Count Byte 0 Register**
 Register Address: **10Ch, 1CCh, 28Ch, 34Ch**

Bit #	7	6	5	4	3	2	1	0
Name	<u>RFPC7</u>	<u>RFPC6</u>	<u>RFPC5</u>	<u>RFPC4</u>	<u>RFPC3</u>	<u>RFPC2</u>	<u>RFPC1</u>	<u>RFPC0</u>
Default	0	0	0	0	0	0	0	0

位 0 至 7：接收 FCS 误码数据包计数 (RFPC[7:0])。24 位数值的 8 位。寄存器说明如下。

Register Name: **LI.RFPCB1**
 Register Description: **Receive FCS Errored Packet Count Byte 1 Register**
 Register Address: **10Dh, 1CDh, 28Dh, 34Dh**

Bit #	7	6	5	4	3	2	1	0
Name	<u>RFPC15</u>	<u>RFPC14</u>	<u>RFPC13</u>	<u>RFPC12</u>	<u>RFPC11</u>	<u>RFPC10</u>	<u>RFPC9</u>	<u>RFPC8</u>
Default	0	0	0	0	0	0	0	0

位 0 至 7：接收 FCS 误码数据包计数 (RFPC[15:8])。24 位数值的 8 位。寄存器说明如下。

Register Name: **LI.RFPCB2**
 Register Description: **Receive FCS Errored Packet Count Byte 2 Register**
 Register Address: **10Eh, 1CEh, 28Eh, 34Eh**

Bit #	7	6	5	4	3	2	1	0
Name	<u>RFPC23</u>	<u>RFPC22</u>	<u>RFPC21</u>	<u>RFPC20</u>	<u>RFPC19</u>	<u>RFPC18</u>	<u>RFPC17</u>	<u>RFPC16</u>
Default	0	0	0	0	0	0	0	0

位 0 至 7：接收 FCS 误码数据包计数 (RFPC[23:16])。这 24 个位指示所接收的带有 FCS 误码的数据包数量。这些数据包的字节计数包含在接收丢弃字节计数寄存器 REBCR 中。

Register Name: **LI.RAPCB0**
 Register Description: **Receive Aborted Packet Count Byte 0 Register**
 Register Address: **110h, 1D0h, 290h, 350h**

Bit #	7	6	5	4	3	2	1	0
Name	<u>RAPC7</u>	<u>RAPC6</u>	<u>RAPC5</u>	<u>RAPC4</u>	<u>RAPC3</u>	<u>RAPC2</u>	<u>RAPC1</u>	<u>RAPC0</u>
Default	0	0	0	0	0	0	0	0

位 0 至 7: 接收丢弃数据包计数 (**RAPC [7:0]**)。24 位数值的 8 位。寄存器说明如下。

Register Name: **LI.RAPCB1**
 Register Description: **Receive Aborted Packet Count Byte 1 Register**
 Register Address: **111h, 1D1h, 291h, 351h**

Bit #	7	6	5	4	3	2	1	0
Name	<u>RAPC15</u>	<u>RAPC14</u>	<u>RAPC13</u>	<u>RAPC12</u>	<u>RAPC11</u>	<u>RAPC10</u>	<u>RAPC9</u>	<u>RAPC8</u>
Default	0	0	0	0	0	0	0	0

位 0 至 7: 接收丢弃数据包计数 (**RAPC[15:8]**)。24 位数值的 8 位。寄存器说明如下。

Register Name: **LI.RAPCB2**
 Register Description: **Receive Aborted Packet Count Byte 2 Register**
 Register Address: **112h, 1D2h, 292h, 352h**

Bit #	7	6	5	4	3	2	1	0
Name	<u>RAPC23</u>	<u>RAPC22</u>	<u>RAPC21</u>	<u>RAPC20</u>	<u>RAPC19</u>	<u>RAPC18</u>	<u>RAPC17</u>	<u>RAPC16</u>
Default	0	0	0	0	0	0	0	0

位 0 至 7: 接收丢弃数据包计数 (**RAPC [23:16]**)。这三个寄存器的 24 个位指示所接收的带有丢弃数据包标识的数据包数量。这些数据包字节计数包含在接收丢弃字节计数寄存器 REBCR 中。

Register Name: **LI.RSPCB0**
 Register Description: **Receive Size Violation Packet Count Byte 0 Register**
 Register Address: **114h, 1D4h, 294h, 354h**

Bit #	7	6	5	4	3	2	1	0
Name	<u>RSPC7</u>	<u>RSPC6</u>	<u>RSPC5</u>	<u>RSPC4</u>	<u>RSPC3</u>	<u>RSPC2</u>	<u>RSPC1</u>	<u>RSPC0</u>
Default	0	0	0	0	0	0	0	0

位 0 至 7: 接收长度出错数据包计数 (**RSPC [7:0]**)。24 位数值的 8 位。寄存器说明如下。

Register Name: **LI.RSPCB1**
 Register Description: **Receive Size Violation Packet Count Byte 1 Register**
 Register Address: **115h, 1D5h, 295h, 355h**

Bit #	7	6	5	4	3	2	1	0
Name	<u>RSPC15</u>	<u>RSPC14</u>	<u>RSPC13</u>	<u>RSPC12</u>	<u>RSPC11</u>	<u>RSPC10</u>	<u>RSPC9</u>	<u>RSPC8</u>
Default	0	0	0	0	0	0	0	0

位 0 至 7: 接收长度出错数据包计数 (**RSPC [15:8]**)。24 位数值的 8 位。寄存器说明如下。

Register Name: **LI.RSPCB2**
 Register Description: **Receive Size Violation Packet Count Byte 2 Registers**
 Register Address: **116h, 1D6h, 296h, 356h**

Bit #	7	6	5	4	3	2	1	0
Name	<u>RSPC23</u>	<u>RSPC22</u>	<u>RSPC21</u>	<u>RSPC20</u>	<u>RSPC19</u>	<u>RSPC18</u>	<u>RSPC17</u>	<u>RSPC16</u>
Default	0	0	0	0	0	0	0	0

位 0 至 7: 接收长度出错数据包计数 (**RSPC [23:16]**)。这 24 个位指示所接收的带有数据包长度出错 (低于最小值、高于最大值, 或非整数字节数量) 的数据包数量。这些数据包的字节计数包含在接收丢弃字节计数寄存器 REBCR 中。

Register Name: **LI.RBC0**
 Register Description: **Receive Byte Count 0 Register**
 Register Address: **118h, 1D8h, 298h, 358h**

Bit #	7	6	5	4	3	2	1	0
Name	<u>RBC7</u>	<u>RBC6</u>	<u>RBC5</u>	<u>RBC4</u>	<u>RBC3</u>	<u>RBC2</u>	<u>RBC1</u>	<u>RBC0</u>
Default	0	0	0	0	0	0	0	0

位 0 至 7: 接收字节计数 (**RBC [7:0]**)。32 位数值的 8 位。寄存器说明如下。

Register Name: **LI.RBC1**
 Register Description: **Receive Byte Count 1 Register**
 Register Address: **119h, 1D9h, 299h, 359h**

Bit #	7	6	5	4	3	2	1	0
Name	<u>RBC15</u>	<u>RBC14</u>	<u>RBC13</u>	<u>RBC12</u>	<u>RBC11</u>	<u>RBC10</u>	<u>RBC9</u>	<u>RBC8</u>
Default	0	0	0	0	0	0	0	0

位 0 至 7: 接收字节计数 (**RBC [15:8]**)。32 位数值的 8 位。寄存器说明如下。

Register Name: **LI.RBC2**
 Register Description: **Receive Byte Count 2 Register**
 Register Address: **11Ah, 1DAh, 29Ah, 35Ah**

Bit #	7	6	5	4	3	2	1	0
Name	<u>RBC23</u>	<u>RBC22</u>	<u>RBC21</u>	<u>RBC20</u>	<u>RBC19</u>	<u>RBC18</u>	<u>RBC17</u>	<u>RBC16</u>
Default	0	0	0	0	0	0	0	0

位 0 至 7: 接收字节计数 (**RBC [23:16]**)。32 位数值的 8 位。寄存器说明如下。

Register Name: **LI.RBC3**
 Register Description: **Receive Byte Count 3 Register**
 Register Address: **11Bh, 1DBh, 29Dh, 35Bh**

Bit #	7	6	5	4	3	2	1	0
Name	<u>RBC31</u>	<u>RBC30</u>	<u>RBC29</u>	<u>RBC28</u>	<u>RBC27</u>	<u>RBC26</u>	<u>RBC25</u>	<u>RBC24</u>
Default	0	0	0	0	0	0	0	0

位 0 至 7: 接收字节计数 (**RBC [31:24]**)。这 32 个位指示存储在接收 FIFO 中、不带有丢弃标识数据包中的字节数。注意：由于 FCS 提取、系统环回、FIFO 复位以及溢出所丢弃的字节可能包含在此计数中。

Register Name: **LI.RAC0**
 Register Description: **Receive Aborted Byte Count 0 Register**
 Register Address: **11Ch, 1DCh, 29Ch, 35Ch**

Bit #	7	6	5	4	3	2	1	0
Name	<u>REBC7</u>	<u>REBC6</u>	<u>REBC5</u>	<u>REBC4</u>	<u>REBC3</u>	<u>REBC2</u>	<u>REBC1</u>	<u>REBC0</u>
Default	0	0	0	0	0	0	0	0

位 0 – 7: 接收丢弃字节计数 (RBC [7:0])。32 位数值的 8 位。寄存器说明如下。

Register Name: **LI.RAC1**
 Register Description: **Receive Aborted Byte Count 1 Register**
 Register Address: **11Dh, 1DDh, 29Dh, 35Dh**

Bit #	7	6	5	4	3	2	1	0
Name	<u>REBC15</u>	<u>REBC14</u>	<u>REBC13</u>	<u>REBC12</u>	<u>REBC11</u>	<u>REBC10</u>	<u>REBC9</u>	<u>REBC8</u>
Default	0	0	0	0	0	0	0	0

位 0 至 7: 接收丢弃字节计数 (RBC [15:8])。32 位数值的 8 位。寄存器说明如下。

Register Name: **LI.RAC2**
 Register Description: **Receive Aborted Byte Count 2 Register**
 Register Address: **11Eh, 1DEh, 29Eh, 35Eh**

Bit #	7	6	5	4	3	2	1	0
Name	<u>REBC23</u>	<u>REBC22</u>	<u>REBC21</u>	<u>REBC20</u>	<u>REBC19</u>	<u>REBC18</u>	<u>REBC17</u>	<u>REBC16</u>
Default	0	0	0	0	0	0	0	0

位 0 至 7: 接收丢弃字节计数 (RBC [16:23])。32 位数值的 8 位。寄存器说明如下。

Register Name: **LI.RAC3**
 Register Description: **Receive Aborted Byte Count 3 Register**
 Register Address: **11Fh, 1DFh, 29Fh, 35Fh**

Bit #	7	6	5	4	3	2	1	0
Name	<u>REBC31</u>	<u>REBC30</u>	<u>REBC29</u>	<u>REBC28</u>	<u>REBC27</u>	<u>REBC26</u>	<u>REBC25</u>	<u>REBC24</u>
Default	0	0	0	0	0	0	0	0

位 0 至 7: 接收丢弃字节计数 (REBC[31:24])。这 32 个位指示存储在接收 FIFO 中、带有丢弃标识数据包中的字节数量。注意：由于 FCS 提取、系统环回、FIFO 复位以及溢出所丢弃的字节可能包含在此计数中。

Register Name: **LI.RHPMUU**
 Register Description: **Serial Interface Receive HDLC PMU Update Register**
 Register Address: **120h, 1E0h, 2A0h, 360h**

Bit #	7	6	5	4	3	2	1	0
Name	-	-	-	-	-	-	-	RPMUU
Default	0	0	0	0	0	0	0	0

位 0: 接收 PMU 刷新。该信号刷新接收信元/数据包处理器模块性能监视寄存器 (计数器)。0 到 1 的跳变使性能监视寄存器以最新数据进行刷新, 计数器复位 (0 或 1)。同时刷新串行接口性能监视计数器。

Register Name: **LI.RHPMUS**
 Register Description: **Serial Interface Receive HDLC PMU Update Status Register**
 Register Address: **121h, 1E1h, 2A1h, 361h**

Bit #	7	6	5	4	3	2	1	0
Name	-	-	-	-	-	-	-	RPMUUS
Default	0	0	0	0	0	0	0	0

位 0: 接收 PMU 刷新状态。发送 PMU 刷新完成后, 该位置位。RPMUU 置 0 时, 该位清零。

Register Name: **LI.RX86S**
 Register Description: **Receive X.86 Latched Status Register**
 Register Address: **122h, 1E2h, 2A2h, 362h**

Bit #	7	6	5	4	3	2	1	0
Name	-	-	-	-	SAPIHNE	SAPILNE	CNE	ANE
Default	0	0	0	0	0	0	0	0

位 3: SAPI 高不等于LI.TRX86SAPIH锁存状态。如果 SAPIH 不等于 LI.TRX86SAPIH, 该锁存状态位置位。该锁存状态位在读取后清零。

位 2: SAPI 低不等于LI.TRX86SAPIL锁存状态。如果 SAPIL 不等于LI.TRX86SAPIL, 该锁存状态位置位。该锁存状态位在读取后清零。

位 1: 控制不等于LI.TRX8C。如果控制域不等于LI.TRX8C, 该锁存状态位置位。该锁存状态位在读取后清零。

位 0: 地址不等于LI.TRX86A。如果 X.86 地址域不等于LI.TRX86A, 该锁存状态位置位。该锁存状态位在读取后清零。

Register Name: **LI.RX86LSIE**
 Register Description: **Receive X.86 Interrupt Enable**
 Register Address: **123h, 1E3h, 2A3h, 363h**

Bit #	7	6	5	4	3	2	1	0
Name	-	-	-	-	SAPINE01IM	SAPINEFEIM	CNE3LI M	ANE4IM
Default	0	0	0	0	0	0	0	0

位 3: SAPI 字节不等于LI.TRX86SAPIH中断使能。如果该位置 1, LI.RX86S.SAPIHNE 将产生中断。

位 2: SAPI 字节不等于LI.TRX86SAPIL中断使能。如果该位置 1, LI.RX86S.SAPILNE 将产生中断。

位 1: 控制不等于LI.TRX8C中断使能。如果该位置 1, LI.RX86S.CNE 将产生中断。

位 0: 地址不等于LI.TRX86A中断使能。如果该位置 1, LI.RX86S.ANE 将产生中断。

Register Name: **LI.TQLT**
 Register Description: **Serial Interface Transmit Queue Low Threshold (Watermark)**
 Register Address: **124h, 1E4h, 2A4h, 364h**

Bit #	7	6	5	4	3	2	1	0
Name	TQLT7	TQLT6	TQLT5	TQLT4	TQLT3	TQLT2	TQLT1	TQLT0
Default	0	0	0	0	0	0	0	0

位 0 至 7: 发送队列阈值下限 (TQLT[0:7])。连接的发送队列阈值下限, 每次递增 32 个 2048 字节。该寄存器值乘以 32 x 2048 字节为阈值的字节数。注意, 发送队列数据来自串行接口, 向以太网接口发送。

Register Name: **LI.TQHT**
 Register Description: **Serial Interface Transmit Queue High Threshold (Watermark)**
 Register Address: **125h, 1E5h, 2A5h, 365h**

Bit #	7	6	5	4	3	2	1	0
Name	TQHT7	TQHT6	TQHT5	TQHT4	TQHT3	TQHT2	TQHT1	TQHT0
Default	0	0	0	0	0	0	0	0

位 0 至 7: 发送队列阈值上限 (TQHT[0:7])。连接的发送队列阈值上限，每次递增 32 个 2048 字节。该寄存器值乘以 32 x 2048 字节为阈值的字节数。注意，发送队列数据来自串行接口，向以太网接口发送。

Register Name: **LI.TQTIE**
 Register Description: **Serial Interface Transmit Queue Cross Threshold Interrupt Enable**
 Register Address: **126h, 1E6h, 2A6h, 366h**

Bit #	7	6	5	4	3	2	1	0
Name	-	-	-	-	TFOVFIE	TQOVFIE	TQHTIE	TQLTIE
Default	0	0	0	0	0	0	0	0

位 3: 连接的发送 FIFO 溢出中断使能。如果该位置位，将使能 TFOVFLS 的溢出中断。

位 2: 连接的发送队列溢出中断使能。如果该位置位，将使能 TQOVFLS 的溢出中断。

位 1: 连接的发送队列阈值上限中断使能。如果该位置位，将使能 TQHTS 的溢出中断。

位 0: 连接的发送队列阈值下限中断使能。如果该位置位，将使能 TQLTS 的溢出中断。

Register Name: **LI.TQCTLS**
 Register Description: **Serial Interface Transmit Queue Cross Threshold Latched Status**
 Register Address: **127h, 1E7h, 2A7h, 367h**

Bit #	7	6	5	4	3	2	1	0
Name	-	-	-	-	TFOVFLS	TQOVFLS	TQHTLS	TQLTLS
Default	0	0	0	0	0	0	0	0

位 3: 发送队列 FIFO 溢出锁存状态。如果发送队列 FIFO 溢出，该位置位。读取后，该寄存器清零。该 FIFO 存放由 HDLC 向 SDRAM 发送的数据。

位 2: 发送队列溢出锁存状态。如果发送队列溢出，该位置位。读取后，该寄存器清零。

位 1: 连接发送队列超出阈值上限锁存状态。如果发送队列超过阈值上限，该位置位。读取后，该寄存器清零。

位 0: 连接发送队列超出阈值下限锁存状态。如果发送队列超过阈值下限，该位置位。读取后，该寄存器清零。

9.6 以太网接口寄存器

以太网接口寄存器用于设置 RMII/MII 总线，根据用户需要建立 MAC 参数。MAC 寄存器不能由处理器端口直接寻址。下面的寄存器用于进行 MAC 寄存器间接读写。MAC 状态寄存器示于表 9-7 中。8.14 节说明了对 MAC 寄存器的访问。

9.6.1 以太网接口寄存器位说明

Register Name: **SU.MACRADL**
 Register Description: **MAC Read Address Low Register**
 Register Address: **140h, 200h, 2C0h, 380h**

Bit #	7	6	5	4	3	2	1	0
Name	MACRA7	MACRA6	MACRA5	MACRA4	MACRA3	MACRA2	MACRA1	MACRA0
	0	0	0	0	0	0	0	0

位 0 至 7: **MAC 读地址 (MACRA0-7)**。MAC 地址低位字节。仅用于读操作。

Register Name: **SU.MACRADH**
 Register Description: **MAC Read Address High Register**
 Register Address: **141h, 201h, 2C1h, 381h**

Bit #	7	6	5	4	3	2	1	0
Name	MACRA15	MACRA14	MACRA13	MACRA12	MACRA11	MACRA10	MACRA9	MACRA8
	0	0	0	0	0	0	0	0

位 0 至 7: **MAC 读地址 (MACRA8-15)**。MAC 地址高位字节。仅用于读操作。

Register Name: **SU.MACRD0**
 Register Description: **MAC Read Data Byte 0**
 Register Address: **142h, 202h, 2C2h, 382h**

Bit #	7	6	5	4	3	2	1	0
Name	MACRD7	MACRD6	MACRD5	MACRD4	MACRD3	MACRD2	MACRD1	MACRD0
	0	0	0	0	0	0	0	0

位 0 至 7: **MAC 读数据 (MACRD0-7)**。由 MAC 读取的四个字节数据之一。发出读命令，SU.MACRWC.MCS 位为零后有效。

Register Name: **SU.MACRD1**
 Register Description: **MAC Read Data Byte 1**
 Register Address: **143h, 203h, 2C3h, 383h**

Bit #	7	6	5	4	3	2	1	0
Name	MACRD15	MACRD14	MACRD13	MACRD12	MACRD11	MACRD10	MACRD9	MACRD8
	0	0	0	0	0	0	0	0

位 0 至 7: MAC 读数据 1 (MACRD8-15)。由 MAC 读取的四个字节数据之一。发出读命令，SU.MACRWC.MCS 位为零后有效。

Register Name: **SU.MACRD2**
 Register Description: **MAC Read Data Byte 2**
 Register Address: **144h, 204h, 2C4h, 384h**

Bit #	7	6	5	4	3	2	1	0
Name	MACRD23	MACRD22	MACRD21	MACRD20	MACRD19	MACRD18	MACRD17	MACRD16
	0	0	0	0	0	0	0	0

位 0 至 7: MAC 读数据 2 (MACRD16-23)。由 MAC 读取的四个字节数据之一。发出读命令，SU.MACRWC.MCS 位为零后有效。

Register Name: **SU.MACRD3**
 Register Description: **MAC Read Data Byte 3**
 Register Address: **145h, 205h, 2C5h, 385h**

Bit #	7	6	5	4	3	2	1	0
Name	MACRD31	MACRD30	MACRD29	MACRD28	MACRD27	MACRD26	MACRD25	MACRD24
	0	0	0	0	0	0	0	0

位 0 至 7: MAC 读数据 3 (MACRD24-31)。由 MAC 读取的四个字节数据之一。发出读命令，SU.MACRWC.MCS 位为零后有效。

Register Name: **SU.MACWD0**
 Register Description: **MAC Write Data Byte 0**
 Register Address: **146h, 206h, 2C6h, 386h**

Bit #	7	6	5	4	3	2	1	0
Name	MACWD7	MACWD6	MACWD5	MACWD4	MACWD3	MACWD2	MACWD1	MACWD0
	0	0	0	0	0	0	0	0

位 0 至 7: MAC 写数据 0 (MACWD0-7)。将向 MAC 写入的四个字节数据之一。发出写命令，SU.MACRWC.MCS 位为零说明数据被写入。

Register Name: **SU.MACWD1**
 Register Description: **MAC Write Data Byte 1**
 Register Address: **147h, 207h, 2C7h, 387h**

Bit #	7	6	5	4	3	2	1	0
Name	MACWD15	MACWD14	MACWD13	MACWD12	MACWD11	MACWD10	MACWD09	MACWD08
	0	0	0	0	0	0	0	0

位 0 至 7: MAC 写数据 1 (MACWD8-15)。将向 MAC 写入的四字节数据之一。发出写命令, SU.MACRWC.MCS 位为零说明数据被写入。

Register Name: **SU.MACWD2**
 Register Description: **MAC Write Data Byte 2**
 Register Address: **148h, 208h, 2C8h, 388h**

Bit #	7	6	5	4	3	2	1	0
Name	MACWD23	MACWD22	MACWD21	MACWD20	MACWD19	MACWD18	MACWD17	MACWD16
	0	0	0	0	0	0	0	0

位 0 至 7: MAC 写数据 2 (MACWD16-23)。将向 MAC 写入的四字节数据之一。发出写命令, SU.MACRWC.MCS 位为零说明数据被写入。

Register Name: **SU.MACWD3**
 Register Description: **MAC Write Data Byte 3**
 Register Address: **149h, 209h, 2C9h, 389h**

Bit #	7	6	5	4	3	2	1	0
Name	MACD31	MACD30	MACD29	MACD28	MACD27	MACD26	MACD25	MACD24
	0	0	0	0	0	0	0	0

位 0 至 7: MAC 写数据 3 (MACD24-31)。将向 MAC 写入的四字节数据之一。发出写命令, SU.MACRWC.MCS 位为零说明数据被写入。

Register Name: **SU.MACAWL**
 Register Description: **MAC Address Write Low**
 Register Address: **14Ah, 20Ah, 2CAh, 38Ah**

Bit #	7	6	5	4	3	2	1	0
Name	MACAW 7	MACAW 6	MACAW 5	MACAW4	MACAW3	MACAW2	MACAW1	MACAW0
	0	0	0	0	0	0	0	0

位 0 至 7: MAC 写地址 (MACAW0-7)。MAC 地址低位字节。仅用于写操作。

Register Name: **SU.MACAWH**
 Register Description: **MAC Address Write High**
 Register Address: **14Bh, 20Bh, 2CBh, 38Bh**

Bit #	7	6	5	4	3	2	1	0
Name	MACAW 15	MACAW 14	MACAW 13	MACAW12	MACAW11	MACAW10	MACAW9	MACAW8
Default	0	0	0	0	0	0	0	0

位 0 至 7: MAC 写地址 (MACAW8-15)。 MAC 地址高位字节。仅用于写操作。

Register Name: **SU.MACRWC**
 Register Description: **MAC Read Write Command Status**
 Register Address: **14Ch, 20Ch, 2CCh, 38Ch**

Bit #	7	6	5	4	3	2	1	0
Name	-	-	-	-	-	-	MCRW	MCS
Default	0	0	0	0	0	0	0	0

位 1: MAC 命令 RW。 如果向该位写入 1，则执行一次 MAC 读操作。如果向该位写入 0，则执行一次写操作。写操作的地址信息必须位于 SU.MACAWH 和 SU.MACAWL 中。读操作的地址信息必须位于 SU.MACRADH 和 SU.MACRADL 中。用户还必须向 MCS 位写入一个 1，操作完成后，DS33Z44 将清零 MCS。

位 0: MAC 命令状态。 联合设置 MCS 和 MCRW 将启动 MAC 寄存器读或写操作。读或写操作完成后，该位清零。启动读或写操作后，主机必须轮询该位，以确定操作何时完成。

Register Name: **SU.RSTPD**
 Register Description: **Ethernet Interface Reset and Power-Down Register**
 Register Address: **14Eh, 20Eh, 2CEh, 38Eh**

Bit #	7	6	5	4	3	2	1	0
Name	-	-	-	-	-	-	RESET	-
Default	0	0	0	0	0	0	0	0

该寄存器对发送和接收以太网接口通用。

位 1: 复位。 如果置高，该端口数据通路、控制和状态复位。只要该位为高，以太网接口保持复位状态。为保证实现有效复位，该位应至少保持 200ns 高。

Register Name: **SU.LPBK**
 Register Description: **Ethernet Interface Loopback Control Register**
 Register Address: **14Fh, 20Fh, 2CFh, 38Fh**

Bit #	7	6	5	4	3	2	1	0
Name	-	-	-	-	-	-	-	QLP
Default	0	0	0	0	0	0	0	0

位 0: 队列环回使能。如果该位置 1，来自以太网接口接收队列的数据环回至发送队列。在取消环回之前，来自串行接口的缓冲数据保持不变。

Register Name: **SU.GCR**
 Register Description: **Ethernet Interface General Control Register**
 Register Address: **150h, 210h, 2D0h, 390h**

Bit #	7	6	5	4	3	2	1	0
Name	-	-	-	-	CRCS	H10S	ATFLOW	JAME
Default	0	0	0	0	0	0	1	0

位 3: CRCS。如果该位为零 (默认值)，在数据封装并发送之前，去掉 MAC 或以太网 CRC。如果该位置 1，发送前不去掉 CRC，而是重新计算，附加到 WAN 的接收数据上再重传。假定发送前 CRC 已经去掉。注意，以太网接口所支持的最大数据包长度仍为 2016 (包括 4 字节 CRC)。

位 2: H10S。如果该位置位，MAC 工作速率为 100Mbps。如果该位为零，MAC 工作速率为 10Mbps。该位控制 RMII 和 DCE 模式的 10/100 选择。在 DTE 和 MII 模式下，MAC 根据输入的 TX_CLKn 和 RX_CLKn 决定数据速率。

位 1: 自动流控使能。如果该位置 1，根据连接的接收队列长度和溢出上限使能自动流控。在全双工模式下，自动发送暂停帧。暂停帧必须通过 SU.MACFCR 设置。除非 JAME 位置位，在半双工模式下，不会自动发送阻塞序列。该位仅应用于软件模式。

位 0: 阻塞使能。如果该位置 1，将发送一个持续 4 字节的阻塞序列。该功能仅在半双工模式下有效，而且只有禁止自动流控才起作用。注意，如果接收队列长度小于接收阈值上限，置位 JAME 将会阻塞一个接收到的帧。如果 JAME 置位，接收器队列长度大于阈值上限，则会阻塞所有接收到的帧，直到队列长度减小到低于阈值。

注意，SU.GCR 仅在软件模式下有效。在硬件模式下，用引脚来选择自动流控和 100/10 速率。

Register Name: **SU.TFRC**
 Register Description: **Transmit Frame Resend Control**
 Register Address: **151h, 211h, 2D1h, 391h**

Bit #	7	6	5	4	3	2	1	0
Name	-	-	-	-	NCFQ	TPDFCB	TPRHBC	TPRCB
Default	0	0	0	0	0	0	0	0

位 3: 无载波队列清空标志。如果该位置 1, 探测到载波丢失时, 由串行接口向以太网接口传送的数据队列不被清空。

位 2: 发送数据包延时失败控制使能。如果该位置 1, 当前帧立即发送, 而不是延时发送。如果该位置为 0, 当 CRS 置位时帧延时发送, CRS 解除置位, 表示介质空闲, 则发送当前帧。

位 1: 发送数据包 HB 失败控制标志。如果该位置 1, 探测到“心跳失效”时, 当前帧不重传。

位 0: 发送数据包重传控制标志。如果该位置 1, 如果出现以下任一错误, 当前帧不重传。

- 超时断开
- 载波丢失
- 过度延时
- 滞后冲突
- 过度冲突
- 欠载
- 冲突

注意, 阻塞由于冲突 (在 MII/半双工模式下会出现) 造成的重传会引起不可预测的系统级事件。

Register Name: **SU.TFSL**
 Register Description: **Transmit Frame Status Low**
 Register Address: **152h, 212h, 2D2h, 392h**

Bit #	7	6	5	4	3	2	1	0
Name	UR	EC	LC	ED	LOC	NOC	-	FABORT
Default	0	0	0	0	0	0	0	0

位 7: 欠载。该位置 1 说明由于发送缓冲的数据欠载，帧被丢弃。

位 6: 过度冲突。该位置 1 说明试图发送当前帧时出现 16 个连续冲突，帧被丢弃。如果禁止重试位置 1，则第一次冲突后，过度冲突将被置 1。

位 5: 滞后冲突。该位置 1 说明 64 位冲突窗口后的冲突造成帧被丢弃。出现欠载，则无效。

位 4: 过度延时。该位置 1 说明由于过度延时，帧被丢弃。

位 3: 载波丢失。该位置 1 说明载波丢失超过一个位的时间，帧被丢弃。仅对无冲突帧有效。仅在半双工模式下有效。

位 2: 无载波。该位置 1 说明由于没有传输载波而帧被终止。

位 1: 保留

位 0: 帧丢弃。该位置 1 时说明由于以上的原因之一，MAC 将帧丢弃。当该位清零时说明前一帧已经成功发送。

Register Name: **SU.TFSH**
 Register Description: **Transmit Frame Status High**
 Register Address: **153h, 213h, 2D3h, 393h**

Bit #	7	6	5	4	3	2	1	0
Name	PR	HBF	CC3	CC2	CC1	CC0	LCO	DEF
Default	0	0	0	0	0	0	0	0

位 7: 数据包重传。该位置位说明由于冲突，当前数据包必需重传。

位 6: “心跳失效”。该位置位说明器件不能探测到传输后的“心跳”。如果发生欠载，该位无效。

位 2 至 5: 冲突计数 (CC0-3)。这 4 个位指示成功传输前一帧之前出现的冲突数量。如果过度冲突置为 1，则无效。

位 1: 滞后冲突。置 1 说明 64 位冲突窗口后，MAC 观察到一次冲突。

位 0: 延时帧。置 1 说明由于另一节点占用载波，准备发送的当前帧被延时。

Register Name: **SU.RFSB0**
 Register Description: **Receive Frame Status Byte 0**
 Register Address: **154h, 214h, 2D4h, 394h**

Bit #	7	6	5	4	3	2	1	0
Name	FL7	FL6	FL5	FL4	FL3	FL2	FL1	FL0
Default	0	0	0	0	0	0	0	0

位 0 至 7: 帧长度[0:7]。这 8 位为带有 FCS 和填充的接收帧长度 (字节表示) 的低位字节。如果使能自动填充滤除功能, 该数值是不带有 PCS 以及填充字节的接收数据包的长度。高 6 位包含在 SU.RFSB1 中。

Register Name: **SU.RFSB1**
 Register Description: **Receive Frame Status Byte 1**
 Register Address: **155h, 215h, 2D5h, 395h**

Bit #	7	6	5	4	3	2	1	0
Name	RF	WT	FL13	FL12	FL11	FL10	FL9	FL8
Default	0	0	0	0	0	0	0	0

位 7: 不完整帧。如果接收帧被冲突改变或在冲突窗口之内被终止, 则该位置 1。

位 6: 看门狗超时。如果一个数据包接收时间超过 2048 个字节的时间, 该位置 1。2048 个字节时间之后, 接收器被禁止, 接收到的帧将无法通过 CRC 校验。

位 0 至 5: 帧长度[8:13]。这 6 位是带有 FCS 和填充的接收帧长度 (以字节表示) 的高 6 位。如果使能自动填充滤除功能, 该数值是不带有 PCS 以及填充字节的接收数据包长度。

Register Name: **SU.RFSB2**
 Register Description: **Receive Frame Status Byte 2**
 Register Address: **156h, 216h, 2D6h, 396h**

Bit #	7	6	5	4	3	2	1	0
Name	-	-	CRCE	DB	MIIE	FT	CS	FTL
Default	0	0	0	0	0	0	0	0

位 5: CRC 错误。如果接收到的帧不含有效 CRC, 则该位置 1。

位 4: 非字节对齐位。如果接收到的帧长度是 8 位的非整数倍, 该位置为 1。它并不表明帧无效。对于不完整或冲突帧, 该位无效。

位 3: MII 错误。如果 MII 总线上出现错误, 该位置 1。

位 2: 帧类型。如果接收到的帧超过 1536 个字节, 该位置 1。如果接收到的帧是一个 802.3 帧, 该位等于零。对于不完整帧, 该位无效。

位 1: 发现冲突。如果接收到的数据包出现滞后冲突, 该位置 1。滞后冲突是 64 字节冲突窗口后出现的冲突。

位 0: 帧过长。如果一个帧长度超过 1518 个字节的最大标准以太网帧长度, 该位置 1。该位只是一个标志, 不会截断帧。

Register Name: **SU.RFSB3**
 Register Description: **Receive Frame Status Byte 3**
 Register Address: **157h, 217h, 2D7h, 397h**

Bit #	7	6	5	4	3	2	1	0
Name	MF	-	-	BF	MCF	UF	CF	LE
Default	0	0	0	0	0	0	0	0

位 7: 丢失帧。 如果通过数据包仲裁器没有成功接收来自 MAC 的数据包，该位置 1。

位 4: 广播帧。 如果当前帧是广播帧，该位置 1。

位 3: 多播帧。 如果当前帧是多播帧，该位置 1。

位 2: 不支持的控制帧。 如果所接收的帧是不支持的控制帧，该位置 1。如果控制帧位置位，不支持的控制帧位清零，则表示接收到一个暂停帧，发送器暂停。

位 1: 控制帧。 当前帧是控制帧时，该位置 1。该位仅在全双工模式下有效。

位 0: 长度错误。 帧长度域和实际字节计数不相等时，该位置 1。该位只对 802.3 帧有效。

Register Name: **SU.RMFSRL**
 Register Description: **Receiver Maximum Frame Low Register**
 Register Address: **158h, 218h, 2D8h, 398h**

Bit #	7	6	5	4	3	2	1	0
Name	RMPS7	RMPS6	RMPS5	RMPS4	RMPS3	RMPS2	RMPS1	RMPS0
Default	1	1	1	0	0	0	1	0

位 7 至 0: 接收器最大帧 (RMPS0-7)。16 位数值的 8 位。寄存器说明如下。

Register Name: **SU.RMFSRH**
 Register Description: **Receiver Maximum Frame High Register**
 Register Address: **159h, 219h, 2D9h, 399h**

Bit #	7	6	5	4	3	2	1	0
Name	RMPS15	RMPS14	RMPS13	RMPS12	RMPS11	RMPS10	RMPS9	RMPS8
Default	0	0	0	0	0	1	1	1

位 7 至 0: 接收器最大帧 (RMPS8-15)。该数值是接收器最大帧长度 (以字节表示), 最大为 2016 字节。任何接收到的帧长度大于该数值时, 该帧将被拒绝接收。帧长度包括目的地址、源地址、类型/长度、数据和 crc-32。此帧长度与 IEEE 802.3 帧内部的帧长度不同。任何数值大于 2016 设置, 将产生不可预测的后果, 应避免。

Register Name: **SU.RQLT**
 Register Description: **Receive Queue Low Threshold (Watermark)**
 Register Address: **15Ah, 21Ah, 2DAh, 39Ah**

Bit #	7	6	5	4	3	2	1	0
Name	RQLT7	RQLT6	RQLT5	RQLT4	RQLT3	RQLT2	RQLT1	RQLT0
Default	0	0	1	1	0	1	1	1

位 0 至 7: 接收队列阈值下限 (RQLT0-7)。连接的接收队列阈值下限, 每次递增 32 个 2048 字节。该寄存器值乘以 32 x 2048 字节, 是阈值的字节数。注意, 接收队列中的数据来自以太网接口, 向串行接口发送。

Register Name: **SU.RQHT**
 Register Description: **Receive Queue High Threshold (Watermark)**
 Register Address: **15Bh, 21Bh, 2DBh, 39Bh**

Bit #	7	6	5	4	3	2	1	0
Name	RQHT7	RQHT6	RQHT5	RQHT4	RQHT3	RQHT2	RQHT1	RQHT0
Default	0	0	1	1	1	0	1	0

位 0 至 7: 接收队列阈值上限 (RQHT0-7)。连接的接收队列阈值上限, 每次递增 32 个 2048 字节。该寄存器值乘以 32 x 2048 字节, 是阈值的字节数。注意, 接收队列中的数据来自以太网接口, 向串行接口发送。

Register Name: **SU.QRIE**
 Register Description: **Receive Queue Cross Threshold enable**
 Register Address: **15Ch, 21Ch, 2DCh, 39Ch**

Bit #	7	6	5	4	3	2	1	0
Name	-	-	-	-	RFOVFIE	RQVFIE	RQLTIE	RQHTIE
Default	0	0	0	0	0	0	0	0

位 3: 接收 FIFO 溢出中断使能。如果该位置位，使能 RFOVFLS 中断。

位 2: 接收队列溢出中断使能。如果该位置位，使能 RQOVFLS 中断。

位 1: 接收队列低于阈值下限中断使能。如果该位置位，使能 RQLTS 溢出中断。

位 0: 接收队列高于阈值上限中断使能。如果该位置位，使能 RQHTS 溢出中断。

Register Name: **SU.QCRLS**
 Register Description: **Queue Cross Threshold Latched Status**
 Register Address: **15Dh, 21Dh, 2DDh, 39Dh**

Bit #	7	6	5	4	3	2	1	0
Name	-	-	-	-	RFOVFLS	RQOVFLS	RQHTLS	RQLTLS
Default	0	0	0	0	0	0	0	0

位 3: 接收 FIFO 溢出锁存状态。如果有 MAC 向 SDRAM 发送数据的接收 FIFO 溢出，该位置位。

位 2: 接收队列溢出锁存状态。如果接收队列溢出，该位置位。读取后，该寄存器清零。

位 1: 连接的接收队列高于阈值上限锁存状态。如果接收队列高于溢出上限，该位置位。读取后，该寄存器清零。

位 0: 连接的接收队列低于阈值下限锁存状态。如果接收队列低于溢出下限，该位置位。读取后，该寄存器清零。

注意，SU.QCRLS 中的阈值上/下限指示与 SU.QRIE 的中断使能位顺序不同。

Register Name: **SU.RFRC**
 Register Description: **Receive Frame Rejection Control**
 Register Address: **15Eh, 21Eh, 2DEh, 39Eh**

Bit #	7	6	5	4	3	2	1	0
Name	-	UCFR	CFRR	LERR	CRCERR	DBR	MIIER	BERR
Default	0	0	0	0	0	0	0	0

位 7: 未用

位 6: 不受控的控制帧拒绝。置为 1 时，允许暂停帧以外的控制帧。该位置 0 时，拒绝非暂停控制帧。

位 5: 控制帧拒绝。置为 1 时，允许控制帧。该位置 0 时，拒绝所有控制帧。

位 4: 长度错误拒绝。置为 1 时，允许帧长度域和实际接收字节数不符的帧。置 0 时，只允许帧长度域和实际接收字节数相符的帧

位 3: CRC 错误拒绝。置为 1 时，允许接收带有 CRC 错误或 MII 错误的帧。置 0 时，拒绝带有 CRC 或 MII 错误的帧。

位 2: 非字节对齐位拒绝。置为 1 时，允许位数是 8 的非整数倍的帧。置 0 时，拒绝非对字节对齐位的帧。只有不存在冲突或不完整帧时，非字节对齐位设置才有效。

位 1: MII 错误拒绝。置为 1 时，允许带有 MII 接收错误的帧。置 0 时，拒绝带有 MII 错误的帧。

位 0: 广播帧拒绝。置为 1 时，允许广播帧。置 0 时，拒绝广播帧。

9.6.2 MAC 寄存器

与单个 MAC 控制相关的控制寄存器在下表中列出。DS33Z44 持续统计数据包发送和接收流量。下表列出了寄存器地址映射。注意，列出的地址是必须提供给SU.MACRADH/SU.MACRADL以及SU.MACAWH/SU.MACAWL的间接地址。

Register Name: **SU.MACCR**
 Register Description: **MAC Control Register**
 Register Address: **0000h (indirect)**

0000h:

Bit #	31	30	29	28	27	26	25	24
Name	RA	Reserved	Reserved	HDB	PS	Reserved	Reserved	Reserved
Default	0	0	0	0	0	0	0	0

0001h:

Bit #	23	22	21	20	19	18	17	16
Name	DRO	Reserved	OML0	F	PM	PR	IF	PB
Default	0	0	0	0	0	0	0	0

0002h:

Bit #	15	14	13	12	11	10	09	08
Name	HO	Reserved	HP	LCC	DBF	DRTY	Reserved	ASTP
Default	0	0	0	0	0	0	0	0

0003h:

Bit #	07	06	05	04	03	02	01	00
Name	BOLMT1	BOLMT0	DC	Reserved	TE	RE	Reserved	Reserved
Default	0	0	0	0	0	0	0	0

位 31: 接收所有模式选择。置为 1 时，对所有收到的数据包进行地址过滤。置 0 时，只接收通过目的地址过滤的数据包。

位 28: “心跳”禁止。置为 1 时，禁止“心跳” (SQE) 功能。工作在 MII 模式时，该位置 1。

位 27: 端口选择。为保证正常工作，该位应为 0。

位 23: 禁止自接收。置为 1 时，当 TX_ENn 置位时 MAC 禁止帧接收。该位置 0 时，发送的帧也被 MAC 接收。工作在全双工模式时，该位应清零。

位 21: 环回工作模式。置为 1 时，数据由发送侧环回至接收侧，不被发送至 PHY。

位 20: 全双工模式选择。置为 1 时，MAC 同时发送和接收数据。全双工模式时，禁止“心跳”检查，应忽略“心跳”失效状态。

位 19: 通过所有多播。置为 1 时，通过收到的带有多播目的地址的所有帧。

位 18: 混杂模式。置为 1 时，不管其目的地址如何，接收所有收到的帧。

位 17: 反向过滤 - 置为 1 时，地址过滤模块工作在反向过滤模式下。仅适用于完整过滤模式。

位 16: 通过错误帧 - 置为 1 时，通过所有帧，包括不完整帧、冲突帧和截断帧。

位 15: 仅散列过滤模式。与散列/完整过滤模式位一起工作。置为 1 时，对于物理和多播地址，过滤模块工作在非完整地址过滤模式。

位 13: 散列/完整过滤模式。置为 1 时，器件根据多播散列表寄存器规定的散列表对接收的多播帧进行非完整地址过滤。如果仅散列过滤模式位为 1，对物理地址进行非完整地址过滤。如果仅散列过滤模式位为 0，物理地址针对 MAC 地址寄存器进行完整过滤。

位 12: 滞后冲突控制。置为 1 时，冲突周期之后，仍使能冲突数据包重传。该位清零后，禁止滞后冲突重传。

位 11: 禁用广播帧。置为 1 时，广播帧不被接收或发送。

位 10: 禁止重试。置为 1 时，MAC 对每个帧仅尝试一次发送。如果出现冲突，MAC 忽略当前帧，继续处理下一帧。该位置 0 时，出现重试错误之前，MAC 将重试发送冲突数据包 16 次。

位 8: 自动填充滤除。置为 1 时，收到的所有小于 46 字节的帧将自动滤除填充字符和 FCS。

位 6 和 7: 后退限制。这两位使用户能够设置冲突数据包最大重传后退延时。默认操作根据随机数产生器生成的 10 位数递减来限制重传最大延时。用户可以根据下表所示降低计数器最大位数。参见 IEEE 802.3，了解后退算法的细节。

Bit 7	Bit 6	Random Number Generator Bits Used
0	0	10
0	1	8
1	0	4
1	1	1

位 5: 延时检查。置为 1 时，如果数据包延时超过 24,288 位的时间，MAC 将中止其发送。当发送器准备发送数据包时，如果 CRS 有效不能进行发送，延时计数器开始计数。如果 MAC 开始发送，但是发送开始后出现冲突，延时计数器再次复位。如果该位等于 0，MAC 将进行不确定延时。

位 3: 发送器使能。置为 1 时，使能数据包发送。置 0 时，禁止发送。

位 2: 接收器使能。置为 1 时，使能数据包接收。置 0 时，不接收数据包。

Register Name: **SU.MACAH**
 Register Description: **MAC Address High Register**
 Register Address: **0004h (indirect)**

0004h:

Bit #	31	30	29	28	27	26	25	24
Name	Reserved							
Default	1	1	1	1	1	1	1	1

0005h:

Bit #	23	22	21	20	19	18	17	16
Name	Reserved							
Default	1	1	1	1	1	1	1	1

0006h:

Bit #	15	14	13	12	11	10	09	08
Name	PADR47	PADR46	PADR45	PADR44	PADR43	PADR42	PADR41	PADR40
Default	1	1	1	1	1	1	1	1

0007h:

Bit #	07	06	05	04	03	02	01	00
Name	PADR39	PADR38	PADR37	PADR36	PADR35	PADR34	PADR33	PADR32
Default	1	1	1	1	1	1	1	1

此 32 位应以该 MAC 器件物理地址的高 4 字节进行初始化。

Register Name: **SU.MACAL**
 Register Description: **MAC Address Low Register**
 Register Address: **0008h (indirect)**

0008h:

Bit #	31	30	29	28	27	26	25	24
Name	PADR31	PADR30	PADR29	PADR28	PADR27	PADR26	PADR25	PADR24
Default	1	1	1	1	1	1	1	1

0009h:

Bit #	23	22	21	20	19	18	17	16
Name	PADR23	PADR22	PADR21	PADR20	PADR19	PADR18	PADR17	PADR16
Default	1	1	1	1	1	1	1	1

000Ah:

Bit #	15	14	13	12	11	10	09	08
Name	PADR15	PADR14	PADR13	PADR12	PADR11	PADR10	PADR09	PADR08
Default	1	1	1	1	1	1	1	1

000Bh:

Bit #	07	06	05	04	03	02	01	00
Name	PADR07	PADR06	PADR05	PADR04	PADR03	PADR02	PADR01	PADR00
Default	1	1	1	1	1	1	1	1

这 32 位应以该 MAC 器件物理地址的低 4 字节进行初始化。

Register Name: **SU.MACMAH**
 Register Description: **MAC Multicast Address High Register**
 Register Address: **000Ch (indirect)**

000Ch:

Bit #	31	30	29	28	27	26	25	24
Name	MMA63	MMA62	MMA61	MMA60	MMA59	MMA58	MMA57	MMA56
Default	1	1	1	1	1	1	1	1

000Dh:

Bit #	23	22	21	20	19	18	17	16
Name	MMA55	MMA54	MMA53	MMA52	MMA51	MMA50	MMA49	MMA48
Default	1	1	1	1	1	1	1	1

000Eh:

Bit #	15	14	13	12	11	10	09	08
Name	MMA47	MMA46	MMA45	MMA44	MMA43	MMA42	MMA41	MMA40
Default	1	1	1	1	1	1	1	1

000Fh:

Bit #	07	06	05	04	03	02	01	00
Name	MMA39	MMA38	MMA37	MMA36	MMA35	MMA34	MMA33	MMA32
Default	1	1	1	1	1	1	1	1

这些寄存器可采用群地址过滤 64 位散列表的高 4 字节进行初始化。

Register Name: **SU.MACMAL**
 Register Description: **MAC Multicast Address Low Register**
 Register Address: **0010h (indirect)**

0010h:

Bit #	31	30	29	28	27	26	25	24
Name	MMA31	MMA30	MMA29	MMA28	MMA27	MMA26	MMA25	MMA24
Default	0	0	0	0	0	0	0	0

0011h:

Bit #	23	22	21	20	19	18	17	16
Name	MMA23	MMA22	MMA21	MMA20	MMA19	MMA18	MMA17	MMA16
Default	0	0	0	0	0	0	0	0

0012h:

Bit #	15	14	13	12	11	10	09	08
Name	MMA15	MMA14	MMA13	MMA12	MMA11	MMA10	MMA09	MMA08
Default	0	0	0	0	0	0	0	0

0013h:

Bit #	07	06	05	04	03	02	01	00
Name	MMA07	MMA06	MMA05	MMA04	MMA03	MMA02	MMA01	MMA00
Default	0	0	0	0	0	0	0	0

这些寄存器可采用群地址过滤 64 位散列表的低 4 字节进行初始化。

Register Name: **SU.MACMIIA**
 Register Description: **MAC MII Management (MDIO) Address Register**
 Register Address: **0014h (indirect)**

0014h:

Bit #	31	30	29	28	27	26	25	24
Name	Reserved							
Default	0	0	0	0	0	0	0	0

0015h:

Bit #	23	22	21	20	19	18	17	16
Name	Reserved							
Default	0	0	0	0	0	0	0	0

0016h:

Bit #	15	14	13	12	11	10	09	08
Name	PHYA4	PHYA3	PHYA2	PHYA1	PHYA0	MIIA4	MIIA3	MIIA2
Default	0	1	0	1	1	0	1	0

0017h:

Bit #	07	06	05	04	03	02	01	00
Name	MIIA1	MIIA0	Reserved	Reserved	Reserved	Reserved	MIIW	MIIB
Default	1	1	0	0	0	0	0	0

位 11 至 15: PHY 地址 (PHYA0-4)。这 5 个位选择通过 PHY 管理 (MDIO) 总线进行访问的 32 个可用 PHY 地址之一。

位 6 至 10: MII 地址 (MIIA0-4)。这 5 个位是访问的 PHY 内地址。

位 1: MII 写。向该位写入 1，以执行 MDIO 接口上的写指令。写入 0 执行读指令。

位 0: MII 忙。在 DS33Z44 通过 MDIO 接口执行 MII 管理指令时，该位被置 1，DS33Z44 执行完该指令后，该位置为 0。用户应读取该位，并确保开始执行 MDIO 指令之前，该位等于 0。

注意，该寄存器仅对 MAC 1 有效。

Register Name: **SU.MACMIID**
 Register Description: **MAC MII (MDIO) Data Register**
 Register Address: **0018h (indirect)**

0018h:

Bit #	31	30	29	28	27	26	25	24
Name	Reserved							
Default	0	0	0	0	0	0	0	0

0019h:

Bit #	23	22	21	20	19	18	17	16
Name	Reserved							
Default	0	0	0	0	0	0	0	0

001Ah:

Bit #	15	14	13	12	11	10	09	08
Name	MIID15	MIID14	MIID13	MIID12	MIID11	MIID10	MIID09	MIID08
Default	0	0	0	0	0	0	0	0

001Bh:

Bit #	07	06	05	04	03	02	01	00
Name	MIID07	MIID06	MIID05	MIID04	MIID03	MIID02	MIID01	MIID00
Default	0	0	0	0	0	0	0	0

位 0 至 15: MII (MDIO) 数据。 这两个字节含有将向 MII 管理接口 (MDIO) 写入或读取的数据。

注意，该寄存器仅对 MAC 1 有效。

Register Name: **SU.MACFCR**
 Register Description: **MAC Flow Control Register**
 Register Address: **001Ch (indirect)**

001Ch:

Bit #	31	30	29	28	27	26	25	24
Name	PT15	PT14	PT13	PT12	PT11	PT10	PT09	PT08
Default	0	0	0	0	0	0	0	0

001Dh:

Bit #	23	22	21	20	19	18	17	16
Name	PT07	PT06	PT05	PT04	PT03	PT02	PT01	PT00
Default	0	1	0	1	0	0	0	0

001Eh:

Bit #	15	14	13	12	11	10	09	08
Name	Reserved							
Default	0	0	0	0	0	0	0	0

001Fh:

Bit #	07	06	05	04	03	02	01	00
Name	Reserved	Reserved	Reserved	Reserved	Reserved	PCF	FCE	FCB
Default	0	0	0	0	0	0	1	0

位 16 至 31: 暂停时间。这些位用于传送暂停帧的暂停时间域。其取值是远端节点在传输前应等待的时隙数量。

位 2: 通过控制帧。置为 1 时, MAC 将置位数据包过滤位指示收到一个控制或暂停帧。FCE 也置 1 时, MAC 响应控制、暂停帧, 也会让其通过。该位置 0 时, 通过包括控制和暂停帧在内的所有帧。其它地址过滤模式优先级高于该位。

位 1: 流控使能。置为 1 时, MAC 自动探测暂停帧, 根据要求的暂停时间禁止发送器。

位 0: 流控忙。主机可设置该位为 1, 启动暂停帧的传输。在暂停帧传输过程中, 该位保持置位。暂停帧传输完成后, DS33Z44 将清除该位。用户应读取该位, 确保该位在启动暂停帧之前为 0。

Register Name: **SU.MMCCTRL**
 Register Description: **MAC MMC Control Register**
 Register Address: **0100h (indirect)**

0100h:

Bit #	31	30	29	28	27	26	25	24
Name	Reserved							
Default	0	0	0	0	0	0	0	0

0101h:

Bit #	23	22	21	20	19	18	17	16
Name	Reserved							
Default	0	0	0	0	0	0	0	0

0102h:

Bit #	15	14	13	12	11	10	09	08
Name	Reserved	Reserved	MXFRM10	MXFRM9	MXFRM8	MXFRM7	MXFRM6	MXFRM5
Default	0	0	1	0	1	1	1	1

0103h:

Bit #	07	06	05	04	03	02	01	00
Name	MXFRM4	MXFRM3	MXFRM2	MXFRM1	MXFRM0	Reserved	Reserved	Reserved
Default	0	1	1	1	0	0	1	0

位 3 至 13: 最大帧长度 (MXFRM[0:10])。这些位指示最大数据包长度值。所有大于该值的帧被按长帧计数。

位 1: 保留。注意, 为保证正常工作, 该位必须被写入‘1’。

Register Name: **Reserved**
 Register Description: **MAC Reserved Control Register**
 Register Address: **010Ch (indirect)**

010Ch:

Bit #	31	30	29	28	27	26	25	24
Name	Reserved							
Default	0	0	0	0	0	0	0	0

010Dh:

Bit #	23	22	21	20	19	18	17	16
Name	Reserved							
Default	0	0	0	0	0	0	0	0

010Eh:

Bit #	15	14	13	12	11	10	09	08
Name	Reserved							
Default	0	0	0	0	0	0	0	0

010Fh:

Bit #	07	06	05	04	03	02	01	00
Name	Reserved							
Default	0	0	0	0	0	0	0	0

注意：为保证正常工作，必须以全 1 (FFh) 初始化 10Ch 至 10Fh 的每个地址。

Register Name: **Reserved**
 Register Description: **MAC Reserved Control Register**
 Register Address: **0110h (indirect)**

0110h:

Bit #	31	30	29	28	27	26	25	24
Name	Reserved							
Default	0	0	0	0	0	0	0	0

0111h:

Bit #	23	22	21	20	19	18	17	16
Name	Reserved							
Default	0	0	0	0	0	0	0	0

0112h:

Bit #	15	14	13	12	11	10	09	08
Name	Reserved							
Default	0	0	0	0	0	0	0	0

0113h:

Bit #	07	06	05	04	03	02	01	00
Name	Reserved							
Default	0	0	0	0	0	0	0	0

注意：为保证正常工作，必须以全 1 (FFh) 初始化 110h 至 113h 的每个地址。

Register Name: **SU.RxFrmCtr**
 Register Description: **MAC All Frames Received Counter**
 Register Address: **0200h (indirect)**

0200h:

Bit #	31	30	29	28	27	26	25	24
Name	RXFRMC31	RXFRMC30	RXFRMC29	RXFRMC28	RXFRMC27	RXFRMC26	RXFRMC25	RXFRMC24
Default	0	0	0	0	0	0	0	0

0201h:

Bit #	23	22	21	20	19	18	17	16
Name	RXFRMC23	RXFRMC22	RXFRMC21	RXFRMC20	RXFRMC19	RXFRMC18	RXFRMC17	RXFRMC16
Default	0	0	0	0	0	0	0	0

0202h:

Bit #	15	14	13	12	11	10	09	08
Name	RXFRMC15	RXFRMC14	RXFRMC13	RXFRMC12	RXFRMC11	RXFRMC10	RXFRMC9	RXFRMC8
Default	0	0	0	0	0	0	0	0

0203h:

Bit #	07	06	05	04	03	02	01	00
Name	RXFRMC7	RXFRMC6	RXFRMC5	RXFRMC4	RXFRMC3	RXFRMC2	RXFRMC1	RXFRMC0
Default	0	0	0	0	0	0	0	0

位 0 至 31: 所有已接收帧计数器 (RXFRMC[0:31]): 该 32 位数值指示已接收的帧数量。每接收一个帧, 该计数器加 1。该计数器仅在器件复位时复位, 不会溢出, 达到最大值后回零。用户应确保测量周期小于在最大帧速率时, 计数器增加 $2^{32}-1$ 所需的最小时间长度。用户应在测量开始时存储数值, 便于以后计算, 并考虑回零发生的可能性。

Register Name: **SU.RxFrmOkCtr**
 Register Description: **MAC Frames Received OK Counter**
 Register Address: **0204h (indirect)**

0204h:

Bit #	31	30	29	28	27	26	25	24
Name	RXFRMOK3 1	RXFRMOK3 0	RXFRMOK2 9	RXFRMOK2 8	RXFRMOK2 7	RXFRMOK2 6	RXFRMOK2 5	RXFRMOK2 4
Default	0	0	0	0	0	0	0	0

0205h:

Bit #	23	22	21	20	19	18	17	16
Name	RXFRMOK2 3	RXFRMOK2 2	RXFRMOK2 1	RXFRMOK2 0	RXFRMOK1 9	RXFRMOK1 8	RXFRMOK1 7	RXFRMOK1 6
Default	0	0	0	0	0	0	0	0

0206h:

Bit #	15	14	13	12	11	10	09	08
Name	RXFRMOK1 5	RXFRMOK1 4	RXFRMOK1 3	RXFRMOK1 2	RXFRMOK1 1	RXFRMOK1 0	RXFRMOK9	RXFRMOK8
Default	0	0	0	0	0	0	0	0

0207h:

Bit #	07	06	05	04	03	02	01	00
Name	RXFRMOK7	RXFRMOK6	RXFRMOK5	RXFRMOK4	RXFRMOK3	RXFRMOK2	RXFRMOK1	RXFRMOK0
Default	0	0	0	0	0	0	0	0

位 0 至 31: 已接收帧 OK 计数器 (RXFRMOK[0:31])。该 32 位数值指示已接收、并确定有效帧的数量。每接收一个有效帧，该计数器加 1。该计数器仅在器件复位时复位，不会溢出，达到最大值后回零。用户应确保测量时间小于在最大帧速率时，计数器增加 $2^{32}-1$ 的最小时间长度。用户应在测量开始时存储数值，便于以后计算，并考虑回零发生的可能性。

Register Name: **SU.TxFrmCtr**
 Register Description: **MAC All Frames Transmitted Counter**
 Register Address: **0300h (indirect)**

0300h:

Bit #	31	30	29	28	27	26	25	24
Name	TXFRMC31	TXFRMC30	TXFRMC29	TXFRMC28	TXFRMC27	TXFRMC26	TXFRMC25	TXFRMC24
Default	0	0	0	0	0	0	0	0

0301h:

Bit #	23	22	21	20	19	18	17	16
Name	TXFRMC23	TXFRMC22	TXFRMC21	TXFRMC20	TXFRMC19	TXFRMC18	TXFRMC17	TXFRMC16
Default	0	0	0	0	0	0	0	0

0302h:

Bit #	15	14	13	12	11	10	09	08
Name	TXFRMC15	TXFRMC14	TXFRMC13	TXFRMC12	TXFRMC11	TXFRMC10	TXFRMC9	TXFRMC8
Default	0	0	0	0	0	0	0	0

0303h:

Bit #	07	06	05	04	03	02	01	00
Name	TXFRMC7	TXFRMC6	TXFRMC5	TXFRMC4	TXFRMC3	TXFRMC2	TXFRMC1	TXFRMC0
Default	0	0	0	0	0	0	0	0

位 0 至 31: 所有已发送帧计数器 (TXFRMC[0:31])。该 32 位数值指示已发送帧的数量。每发送一个帧，该计数器加 1。该计数器仅在器件复位时复位，不会溢出，达到最大值后回零。用户应确保测量时间小于在最大帧速率时，计数器增加 $2^{32}-1$ 的最小时间长度。用户应在测量开始时存储数值，便于以后计算，并考虑回零发生的可能性。

Register Name: **SU.TxBytesCtr**
 Register Description: **MAC All Bytes Transmitted Counter**
 Register Address: **0308h (indirect)**

0308h:

Bit #	31	30	29	28	27	26	25	24
Name	TXBYTEC31	TXBYTEC30	TXBYTEC29	TXBYTEC28	TXBYTEC27	TXBYTEC26	TXBYTEC25	TXBYTEC24
Default	0	0	0	0	0	0	0	0

0309h:

Bit #	23	22	21	20	19	18	17	16
Name	TXBYTEC23	TXBYTEC22	TXBYTEC21	TXBYTEC20	TXBYTEC19	TXBYTEC18	TXBYTEC17	TXBYTEC16
Default	0	0	0	0	0	0	0	0

030Ah:

Bit #	15	14	13	12	11	10	09	08
Name	TXBYTEC15	TXBYTEC14	TXBYTEC13	TXBYTEC12	TXBYTEC11	TXBYTEC10	TXBYTEC9	TXBYTEC8
Default	0	0	0	0	0	0	0	0

030Bh:

Bit #	07	06	05	04	03	02	01	00
Name	TXBYTEC7	TXBYTEC6	TXBYTEC5	TXBYTEC4	TXBYTEC3	TXBYTEC2	TXBYTEC1	TXBYTEC0
Default	0	0	0	0	0	0	0	0

位 0 至 31: 所有已发送字节计数器 (TXBYTEC[0:31])。 该 32 位数值指示已发送字节的数量。每发送一个字节，该计数器加 1。该计数器仅在器件复位时复位，不会溢出，达到最大值后回零。用户应确保测量时间小于在最大帧速率时，计数器增加 $2^{32}-1$ 的最小时间长度。用户应在测量开始时存储数值，便于以后计算，并考虑回零发生的可能性。

Register Name: **SU.TxBytesOkCtr**
 Register Description: **MAC Bytes Transmitted OK Counter**
 Register Address: **030Ch (indirect)**

030Ch:

Bit #	31	30	29	28	27	26	25	24
Name	TXBYTEOK31	TXBYTEOK30	TXBYTEOK29	TXBYTEOK28	TXBYTEOK27	TXBYTEOK26	TXBYTEOK25	TXBYTEOK24
Default	0	0	0	0	0	0	0	0

030Dh:

Bit #	23	22	21	20	19	18	17	16
Name	TXBYTEOK23	TXBYTEOK22	TXBYTEOK21	TXBYTEOK20	TXBYTEOK19	TXBYTEOK18	TXBYTEOK17	TXBYTEOK16
Default	0	0	0	0	0	0	0	0

030Eh:

Bit #	15	14	13	12	11	10	09	08
Name	TXBYTEOK15	TXBYTEOK14	TXBYTEOK13	TXBYTEOK12	TXBYTEOK11	TXBYTEOK10	TXBYTEOK9	TXBYTEOK8
Default	0	0	0	0	0	0	0	0

030Fh:

Bit #	07	06	05	04	03	02	01	00
Name	TXBYTEOK7	TXBYTEOK6	TXBYTEOK5	TXBYTEOK4	TXBYTEOK3	TXBYTEOK2	TXBYTEOK1	TXBYTEOK0
Default	0	0	0	0	0	0	0	0

位 0 至 31: 已发送字节 OK 计数器 (TXBYTEOK[0:31])。该 32 位数值指示已发送、并确定有效的字节数量。每发送一个有效字节，该计数器加 1。该计数器仅在器件复位时复位，不会溢出，达到最大值后回零。用户应确保测量时间小于在最大帧速率时，计数器增加 $2^{32}-1$ 的最小时间长度。用户应在测量开始时存储数值，便于以后计算，并考虑回零发生的可能性。

Register Name: **SU.TXFRMUNDR**
 Register Description: **MAC Transmit Frame Underrun Counter**
 Register Address: **0334h (indirect)**

0334h:

Bit #	31	30	29	28	27	26	25	24
Name	TXFRMU31	TXFRMU30	TXFRMU29	TXFRMU28	TXFRMU27	TXFRMU26	TXFRMU25	TXFRMU24
Default	0	0	0	0	0	0	0	0

0335h:

Bit #	23	22	21	20	19	18	17	16
Name	TXFRMU23	TXFRMU22	TXFRMU21	TXFRMU20	TXFRMU19	TXFRMU18	TXFRMU17	TXFRMU16
Default	0	0	0	0	0	0	0	0

0336h:

Bit #	15	14	13	12	11	10	09	08
Name	TXFRMU15	TXFRMU14	TXFRMU13	TXFRMU12	TXFRMU11	TXFRMU10	TXFRMU9	TXFRMU8
Default	0	0	0	0	0	0	0	0

0337h:

Bit #	07	06	05	04	03	02	01	00
Name	TXFRMU7	TXFRMU6	TXFRMU5	TXFRMU4	TXFRMU3	TXFRMU2	TXFRMU1	TXFRMU0
Default	0	0	0	0	0	0	0	0

位 0 至 31: 由于 **FIFO 欠载帧丢弃计数器 (TXFRMU[0:31])**。该 32 位数值指示由于 FIFO 欠载造成的丢弃帧数量。由 FIFO 欠载造成帧丢弃每出现一次，该计数器加 1。该计数器仅在器件复位时复位，不会溢出，达到最大值后回零。用户应确保测量时间小于在最大帧速率时，计数器增加 $2^{32}-1$ 的最小时间长度。用户应在测量开始时存储数值，便于以后计算，并考虑回零发生的可能性。

Register Name: **SU.TxBdFrmCtr**
 Register Description: **MAC All Frames Aborted Counter**
 Register Address: **0338h (indirect)**

0338h:

Bit #	31	30	29	28	27	26	25	24
Name	TXFRMBD31	TXFRMBD30	TXFRMBD29	TXFRMBD28	TXFRMBD27	TXFRMBD26	TXFRMBD25	TXFRMBD24
Default	0	0	0	0	0	0	0	0

0339h:

Bit #	23	22	21	20	19	18	17	16
Name	TXFRMBD23	TXFRMBD22	TXFRMBD21	TXFRMBD20	TXFRMBD19	TXFRMBD18	TXFRMBD17	TXFRMBD16
Default	0	0	0	0	0	0	0	0

033Ah:

Bit #	15	14	13	12	11	10	09	08
Name	TXFRMBD15	TXFRMBD14	TXFRMBD13	TXFRMBD12	TXFRMBD11	TXFRMBD10	TXFRMBD9	TXFRMBD8
Default	0	0	0	0	0	0	0	0

033Bh:

Bit #	07	06	05	04	03	02	01	00
Name	TXFRMBD7	TXFRMBD6	TXFRMBD5	TXFRMBD4	TXFRMBD3	TXFRMBD2	TXFRMBD1	TXFRMBD0
Default	0	0	0	0	0	0	0	0

位 0 至 31: 所有丢弃帧计数器 (TXFRMBD[0:31])。该 32 位数值指示由于任何原因造成的丢弃帧数量。丢弃帧每出现一次，该计数器加 1。该计数器仅在器件复位时复位，不会溢出，达到最大值后回零。用户应确保测量时间小于在最大帧速率时，计数器增加 $2^{32}-1$ 的最小时间长度。用户应在测量开始时存储数值，便于以后计算，并考虑回零发生的可能性。

10 功能时序

10.1 串行 I/O 功能时序

串行接口为多种串行接口互连提供灵活的时序。输入信号 $TDENn$ 用于使能或阻塞 $TSERn$ 数据。DS33Z44 不同步“屏蔽位”。 $TDENn$ 必须在 $TSERn$ 流有效位的一位之前出现。注意， $TDENn$ 的极性可通过 **LI.TSLCR** 进行选择。在下图中， $TDENn$ 低电平有效，数据位输出，高电平则下一数据位不输出。如下图所示， $TCLK$ 可以有间隙。同样接收器由 $RCLKIn$ 、 $RDENn$ 和 $RSERn$ 控制。 $RDENn$ 无效时，由于阻塞， $RSERn$ 数据将不提供给接收器。 $RDENn$ 极性可由 **LI.RSLCR** 设置。 $RDENn$ 信号必须与需要被阻塞的 $RSERn$ 位一致。

图10-1. Tx 串行接口功能时序

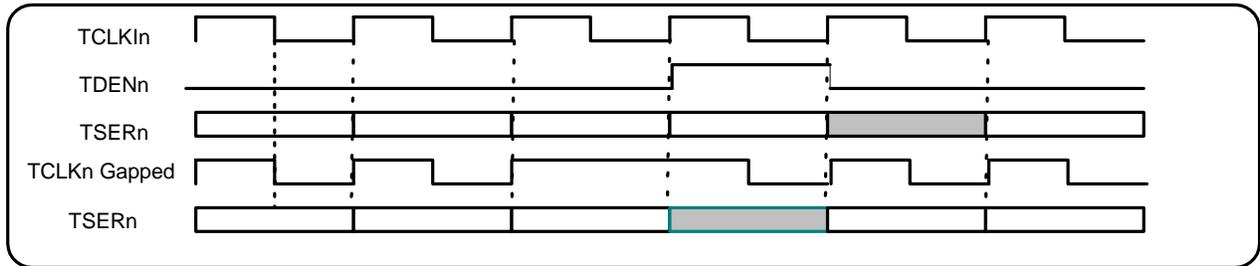
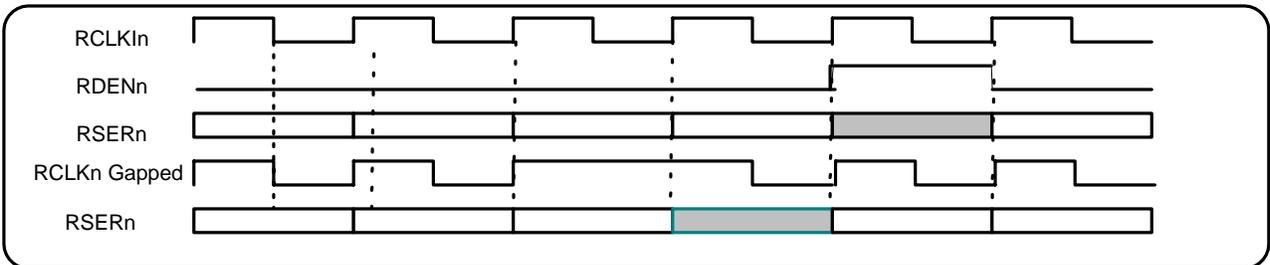


图10-2. Rx 串行接口功能时序



选择 X.86 (LAPS) 功能后, DS33Z44 的 TBSYNC1-4 可用作外部接口的字节边界指示。TBSYNCn 功能时序如下图所示。字节最后一位移出时, TBSYNCn 输出高电平, 每 8 位出现一次。对于串行接收器接口, 采用 X.86 (LAPS) 模式时, RBSYNCn 用于向 DS33Z44 提供字节边界指示。功能时序如图 10-3 所示。在 X.86 模式下, 接收器所期望的 RBSYNCn 字节指示如图 10-4 所示。

图10-3. 发送字节 Sync 功能时序

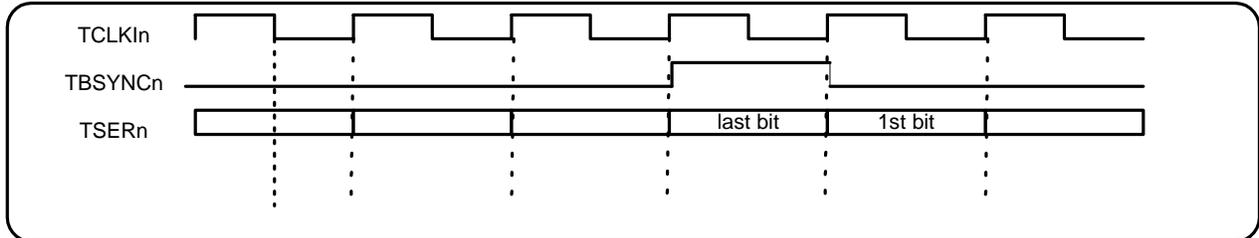
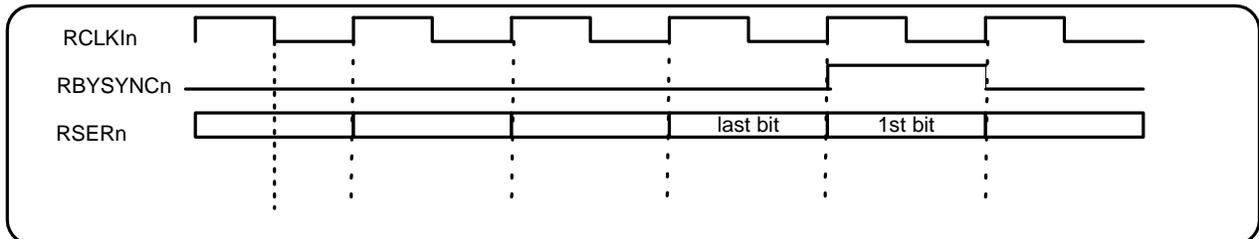


图10-4. 接收字节 Sync 功能时序



10.2 MII 和 RMII 接口

MII 接口发送端口具有自己的发送时钟和数据接口。数据总线 TXDn[3:0]与 TX_CLKn 同步工作。LSB 在前。对于 10Mbps 工作, TX_CLKn 应为 2.5MHz, 100Mbps 工作时, TX_CLKn 为 25MHz。TX_ENn 与同步头第一个字节同时有效。在 DTE 模式下, TX_CLKn 是来自外部 PHY 的输入。在 DCE 模式下, DS33Z44 提供 TX_CLKn, 由外部基准时钟 (SYSCLKI) 衍生。

在半双工 (DTE) 模式下, DS33Z44 支持 CRS 和 COL 信号。PHY 探测到发送或接收时 CRS 有效。如果 COL 输入指示出现冲突, DS33Z44 将以拥塞位替代数据。一段“随机”时间间隔后, 数据包重传。MAC 最多尝试发送数据包 16 次。拥塞序列由 55555555h 构成。注意, COL 信号和 CRS 能够与 TX_CLKn 异步, 但仅在半双工模式下有效。

图10-5. MII 发送功能时序

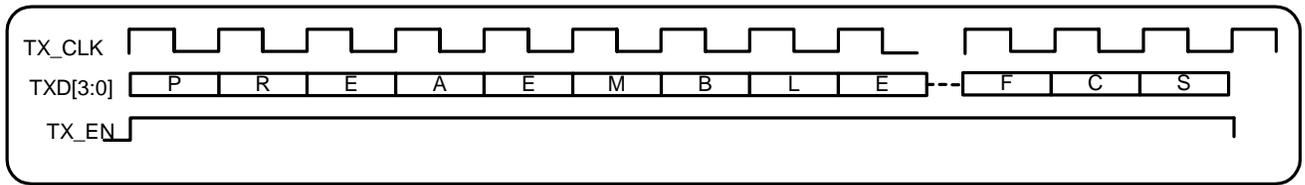
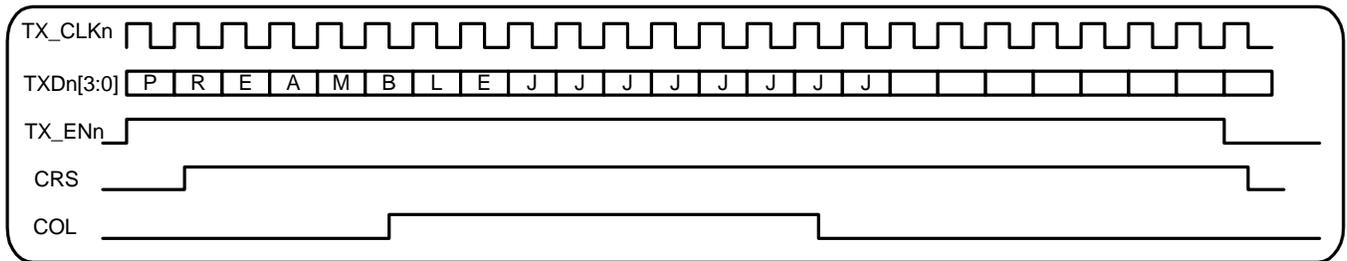
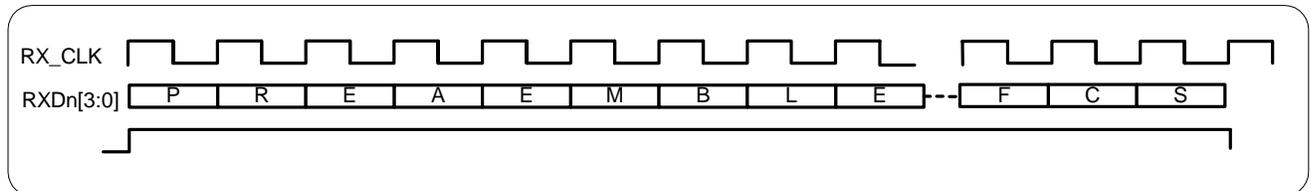


图10-6. 半双工出现冲突时，MII 发送功能时序



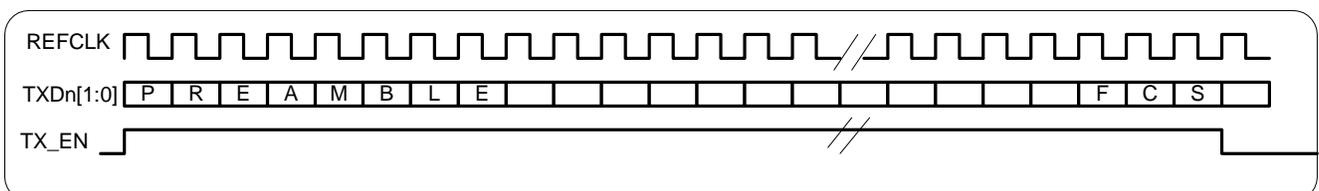
接收数据 (RXDn[3:0])来自外部 PHY，与 RX_CLKn 同步。10Mbps 工作时，RX_CLKn 信号为 2.5MHz，100Mbps 工作时，TX_CLKn 为 25MHz。100Mbps 工作时，从同步头的第一个半字节开始，RX_DVn 被 PHY 置位；10Mbps 工作时，从 SFD 的第一个半字节开始，RX_DVn 被 PHY 置位。RX_DVn 低电平或 RX_ERRn 高电平 (在 DTE 模式下) 时，MAC 不接收 RXDn[3:0]上的数据。DCE 模式下，RX_ERRn 应保持低电平。

图10-7. MII 接收功能时序



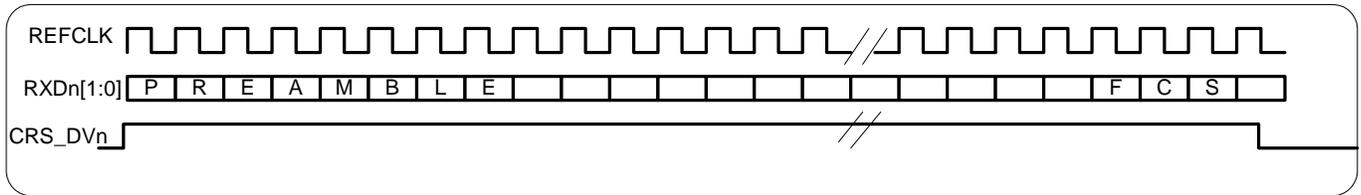
在 RMII 模式下，同步头的第一位开始，TX_ENn 为高电平。TXDn[1:0]同步在 50MHz REFCLK 上。对于 10Mbps 工作，每 10 个时钟刷新一次数据位输出。

图10-8. RMII 发送接口功能时序



RXDn[1:0]上的RMII接收数据应与50MHz REFCLK上升沿同步。仅在CRS_DVn高电平时，数据有效。载波丢失期间，外部PHY异步驱动CRS_DVn置低。

图10-9. RMII接收接口功能时序



10.3 SPI 接口模式和 EEPROM 编程序列

通过设置MODEC[1:0]，DS33Z44将作为SPI主机读取如Atmel AT25160A等外部串行EEPROM中的配置数据。EEPROM必须采用表10-1的数据结构进行编程。MOSI（主机出从机入）信号可选择为在SPICK的上升沿或下降沿输出。根据CKPHA引脚，MISO数据可在SPICK的上升沿或下降沿采样。SPICK由外部100MHz的SYSCLKI衍生，频率为8.33MHz。上电复位或RST输入引脚出现上升沿时，启动序列立即开始工作。SPI主机以指令代码0000x011b启动读操作，其后是地址。所寻址的数据读出并锁存前，SPI_CS保持低电平。DS33Z44开始读取EEPROM地址0000h。数据被顺序锁存，直到最后一个数据字节读出并锁存。

间接寻址MAC寄存器需要位于EEPROM末尾的一个特殊编程序列。EEPROM模式下，可设置4个MAC寄存器：SU.MACCR、SU.MACMIIA、SU.MACMIID和SU.MACFCR。间接寻址MAC寄存器使用EEPROM 4个独立的7字节记录进行设置。表10-2是一个实例。

图10-10. SPI主机功能时序

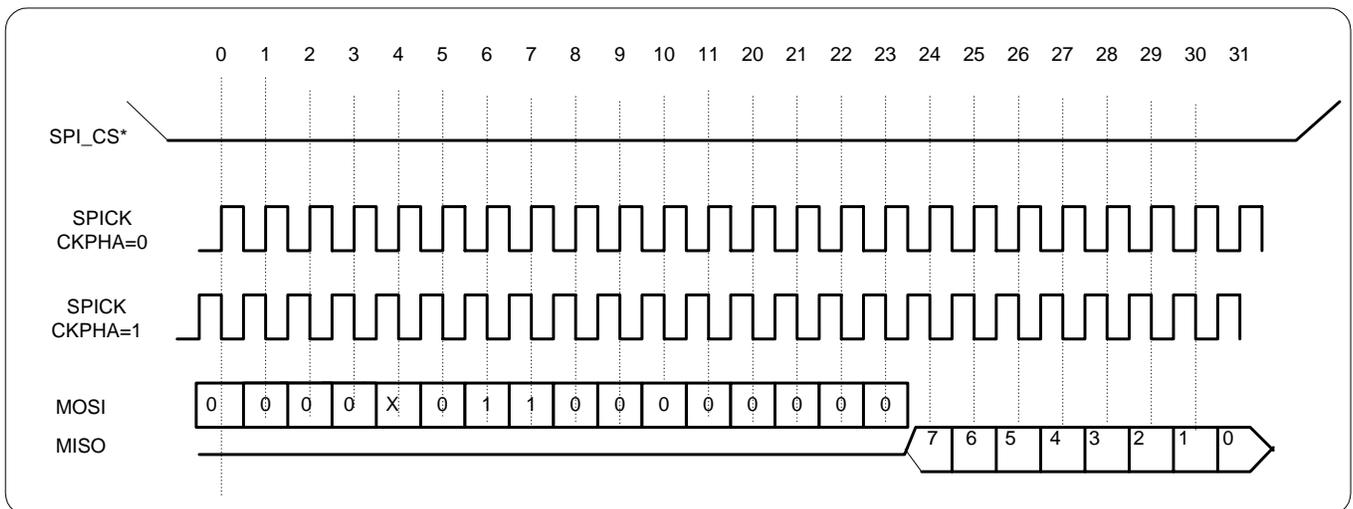


表10-1. EEPROM 编程存储器映射

FUNCTIONAL BLOCK	ADDRESS RANGE FOR DATA IN EEPROM (IN HEX)
Global Registers	000h to 03Fh
Arbiter Registers	040h to 07Fh
BERT Registers	080h to 0BFh
Serial Interface 1 Tx Registers	0C0h to 0FFh
Serial Interface 1 Rx Registers	100h to 13Fh
Ethernet Interface 1 Registers	140h to 17Fh
Serial Interface 2 Tx Registers	180h to 1BFh
Serial Interface 2 Rx Registers	1C0h to 1FFh
Ethernet Interface 2 Registers	200h to 23Fh
Serial Interface 3 Tx Registers	240h to 27Fh
Serial Interface 3 Rx Registers	280h to 2BFh
Ethernet Interface 3 Registers	2C0h to 2FFh
Serial Interface 4 Tx Registers	300h to 33Fh
Serial Interface 4 Rx Registers	340h to 37Fh
Ethernet Interface 4 Registers	380h to 3BFh
MAC 1 Register 1 (MAC Control Register)	3C0h to 3C6h (special for indirect addresses)
MAC 1 Register 2 (MII Address Register)	3C7h to 3CDh (special for indirect addresses)
MAC 1 Register 3 (MII Data Register)	3CEh to 3D4h (special for indirect addresses)
MAC 1 Register 4 (Flow Control Register)	3D5h to 3DBh (special for indirect addresses)
MAC 2 Register 1 (MAC Control Register)	3DCh to 3E2h (special for indirect addresses)
MAC 2 Register 4 (Flow Control Register)	3E3h to 3E9h (special for indirect addresses)
MAC 3 Register 1 (MAC Control Register)	3EAh to 3F0h (special for indirect addresses)
MAC 3 Register 4 (Flow Control Register)	3F1h to 3F6h (special for indirect addresses)
MAC 4 Register 1 (MAC Control Register)	3F7h to 3FDh (special for indirect addresses)
MAC 4 Register 4 (Flow Control Register)	3FEh to 404h (special for indirect addresses)

表 10-2 是 MAC1 的 MAC 地址，可在 EEPROM 模式下编程设置。由于 DS33Z44 仅采用一个 MDC/MDIO 端口，因此，MII 地址和数据对于 MAC2 至 4 无效。

表 10-2. 可由 EEPROM 编程设置的 MAC 寄存器

EEPROM FILE BYTE FUNCTION	EEPROM MEMORY LOCATION*	EXAMPLE EEPROM ADDRESS LOCATION	EXAMPLE DATA USING MAC REGISTER WRITE 1 TO INITIALIZE MACCR
MAC Data Byte 1	Base + 00h	3C0h	2Ch —written to SU.MACWD0
MAC Data Byte 2	Base + 01h	3C1h	00h —written to SU.MACWD1
MAC Data Byte 3	Base + 02h	3C2h	04h —written to SU.MACWD2
MAC Data Byte 4	Base + 03h	3C3h	90h —written to SU.MACWD3
MAC Address Low	Base + 04h	3C4h	00h —written to SU.MACAWL
MAC Address High	Base + 05h	3C5h	00h — written to SU.MACAWH
MAC Write Command	Base + 06h	3C6h	01h —written to SU.MACRWC to initiate the indirect write

* MAC 指令的基本 EEPROM 地址 = 3C0h。

11 工作参数

ABSOLUTE MAXIMUM RATINGS

Voltage Range on Any Lead with Respect to V_{SS} (except V_{DD}).....	-0.5V to +5.5V
Supply Voltage Range ($V_{DD3.3}$) with Respect to V_{SS}	-0.3V to +3.6V
Supply Voltage Range ($V_{DD1.8}$) with Respect to V_{SS}	-0.3V to +2.0V
Ambient Operating Temperature Range.....	-40°C to +85°C
Junction Operating Temperature Range.....	-40°C to +125°C
Storage Temperature.....	-55°C to +125°C
Soldering Temperature.....	See IPC/JEDEC J-STD-020 Specification

These are stress ratings only and functional operation of the device at these or any other conditions beyond those indicated in the operation sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods of time can affect reliability. Ambient Operating Temperature Range is assuming the device is mounted on a JEDEC-standard test board in a convection-cooled JEDEC test enclosure.

Note: “typ” values listed below are not production tested.

表11-1. 推荐的 DC 工作条件

($V_{DD3.3} = 3.3V \pm 5\%$, $V_{DD1.8} = 1.8V \pm 5\%$, $T_j = -40^\circ\text{C}$ to $+85^\circ\text{C}$.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Logic 1	V_{IH}		2.0		3.465	V
Logic 0	V_{IL}		-0.3		+0.8	V
Supply ($V_{DD3.3}$) $\pm 5\%$	$V_{DD3.3}$		3.135	3.300	3.465	V
Supply ($V_{DD1.8}$) $\pm 5\%$	$V_{DD1.8}$		1.71	1.8	1.89	V

表11-2. DC 电气特性

($T_j = -40^\circ\text{C}$ to $+85^\circ\text{C}$)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Supply Current ($V_{DD3.3} = 3.465V$)	I_{DDIO}	(Notes 1, 2)		50		mA
Supply Current ($V_{DD1.8} = 1.89V$)	I_{DDCORE}	(Notes 1, 2)		100		mA
Power-Down Current (All DISABLE and Power-Down Bits Set) for DS33Z44	I_{DDD}	(Note 2)			90	mA
Lead Capacitance	C_{IO}			7		pF
Input Leakage	I_{IL}		-10		+10	μA
Input Leakage	I_{ILP}		-50		-10	μA
Output Leakage (when Hi-Z)	I_{LO}		-10		+10	μA
Output Voltage ($I_{OH} = -4.0\text{mA}$)	V_{OH}	4mA outputs	2.4			V
Output Voltage ($I_{OL} = +4.0\text{mA}$)	V_{OL}	4mA outputs			0.4	V
Output Voltage ($I_{OH} = -8.0\text{mA}$)	V_{OH}	8mA outputs	2.4			V
Output Voltage ($I_{OL} = +12.0\text{mA}$)	V_{OL}	12mA outputs			0.4	V
Input Voltage	V_{IL}				0.8	V
	V_{IH}		2.0			V

Note 1: Typical power is 330mW.

Note 2: All outputs loaded with rated capacitance; all inputs between V_{DD} and V_{SS} ; inputs with pullups connected to V_{DD} .

表11-3. 输出引脚典型驱动电流

NAME	TYPE	DRIVE CURRENT (mA)
TSER1-4	O	12
TDEN1-4/ TBSYNC1-4	IO	4
REF_CLKO	O	8
TX_CLK1-4	IO	4
TX_ENn	O	4
TXDn[3:0]	O	4
RX_CLK1-4	IO	4
MDC	O	4
MDIO	IO	4
D7 to D3, D2/SPICK, D1/MISO, D0/MOSI	IOZ	4
$\overline{\text{SPI_CS}}$	O	4
$\overline{\text{INT}}$	Oz	4
SDATA [31:0]	IOz	4
SDA[11:0]	O	4
SBA[1:0]	O	4
$\overline{\text{SRAS}}$	O	4
$\overline{\text{SCAS}}$	O	4
$\overline{\text{SWE}}$	O	4
SDMask [3:0]	O	4
SDCLKO	O	4
$\overline{\text{SDCS}}$	O	4
QOVF1-4	O	4
JTDO	OZ	4

温度特性

PARAMETER	MIN	TYP	MAX
Ambient Temperature (Note 1)	-40°C	—	+85°C
Junction Temperature	—	—	+125°C
Theta-JA (θ_{JA}) in Still Air for 256-Pin CSBGA (Note 2)	—	+29.9°C/W	—

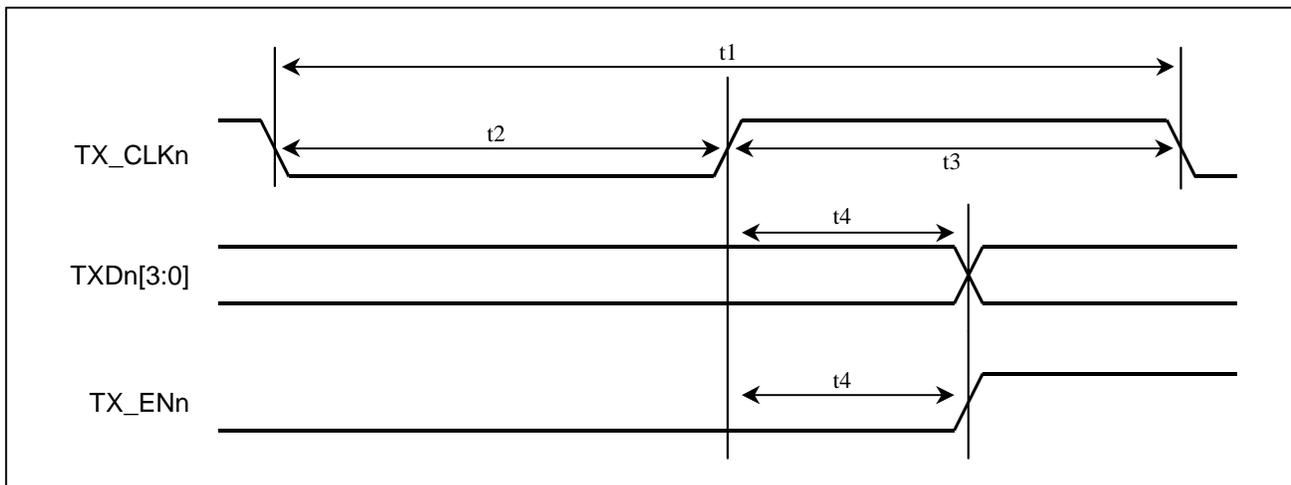
Note 1: package is mounted on a four-layer JEDEC standard test board.

Note 2: Theta-JA (θ_{JA}) is junction-to-ambient thermal resistance, when package is mounted on a four-layer JEDEC standard test board.

11.1 MII 接口

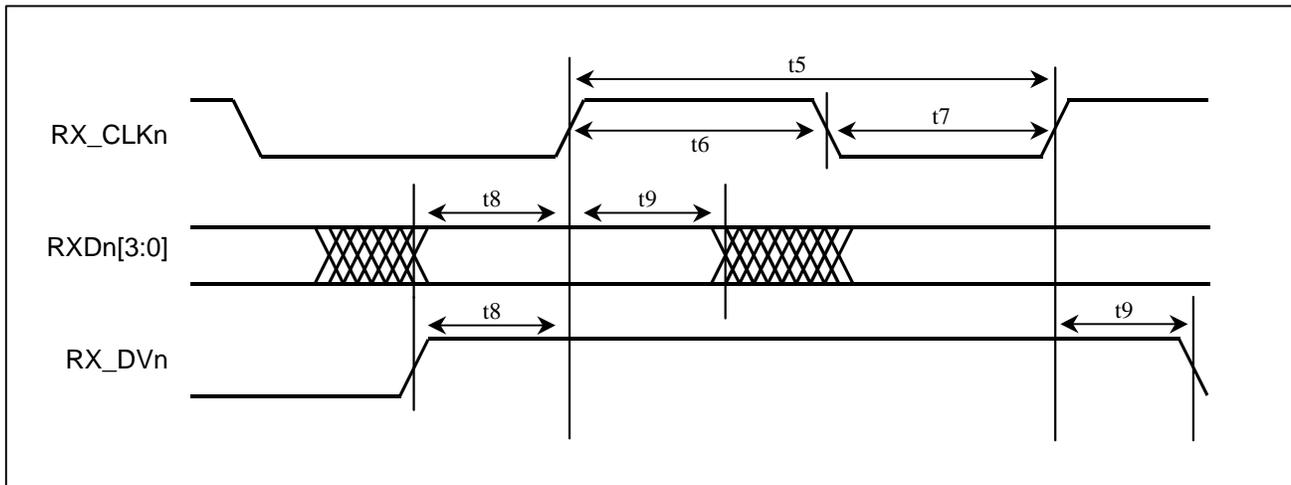
PARAMETER	SYMBOL	10 Mbps			100 Mbps			UNITS
		MIN	TYP	MAX	MIN	TYP	MAX	
TX_CLKn Period	t1		400			40		ns
TX_CLKn Low Time	t2	140		260	14		26	ns
TX_CLKn High Time	t3	140		260	14		26	ns
TX_CLKn to TXDn[3:0], TX_ENn Delay	t4	0		20	0		20	ns

图11-1. 发送 MII 接口



PARAMETER	SYMBOL	10 Mbps			100 Mbps			UNITS
		MIN	TYP	MAX	MIN	TYP	MAX	
RX_CLKn Period	t5		400			40		ns
RX_CLKn Low Time	t6	140		260	14		26	ns
RX_CLKn High Time	t7	140		260	14		26	ns
RXDn[3:0], RX_DVn to RX_CLKn Setup Time	t8	5			5			ns
RX_CLKn to RXDn[3:0], RX_DVn Hold Time	t9	5			5			ns

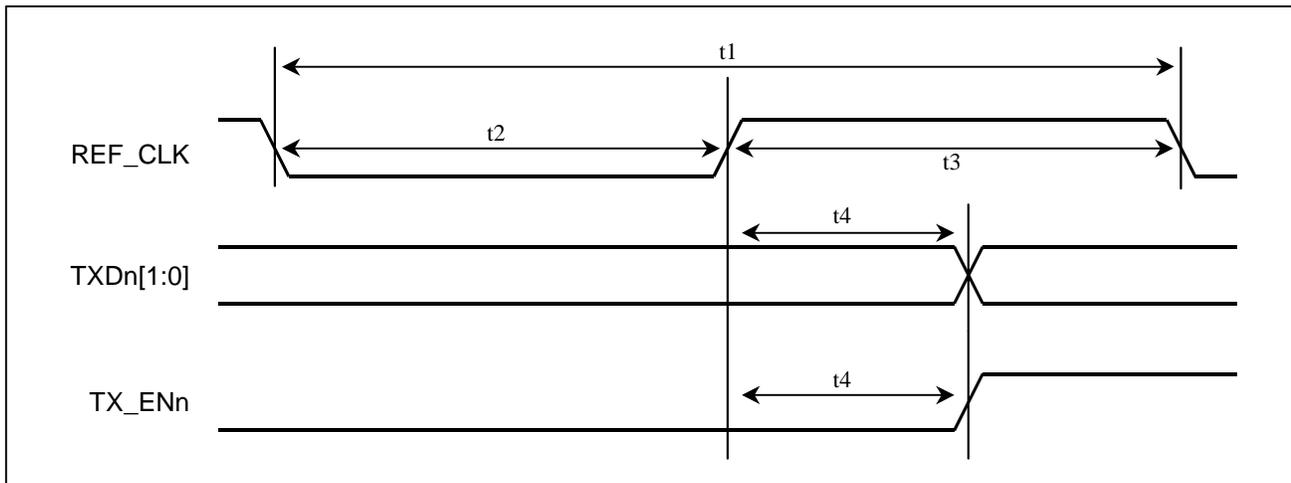
图11-2. 接收 MII 接口时序



11.2 RMII 接口

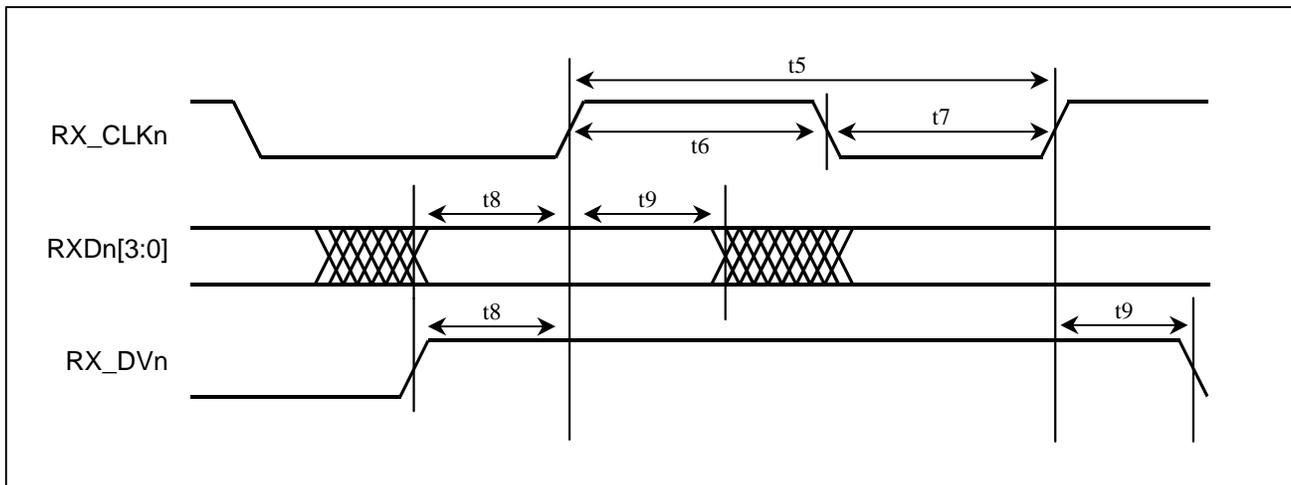
PARAMETER	SYMBOL	10 Mbps			100 Mbps			UNITS
		MIN	TYP	MAX	MIN	TYP	MAX	
REF_CLK Frequency			50MHz ±50ppm			50MHz ±50ppm		
REF_CLK Period	t1		20			20		ns
REF_CLK Low Time	t2	7		13	7		13	ns
REF_CLK High Time	t3	7		13	7		13	ns
TX_CLKn to TXDn[1:0], TX_ENn Delay	t4	5		10	5		10	ns

图11-3. 发送 RMII 接口



PARAMETER	SYMBOL	10 Mbps			100 Mbps			UNITS
		MIN	TYP	MAX	MIN	TYP	MAX	
REF_CLK Frequency			50MHz ±50ppm			50MHz ±50ppm		MHz
REF_CLK Period	t1		20			20		ns
REF_CLK Low Time	t2	7		13	7		13	ns
REF_CLK High Time	t3	7		13	7		13	ns
RXDn[3:0], RX_DVn to RX_CLKn Setup Time	t8	5			5			ns
RX_CLKn to RXDn[3:0], RX_DVn Hold Time	t9		5			5		ns

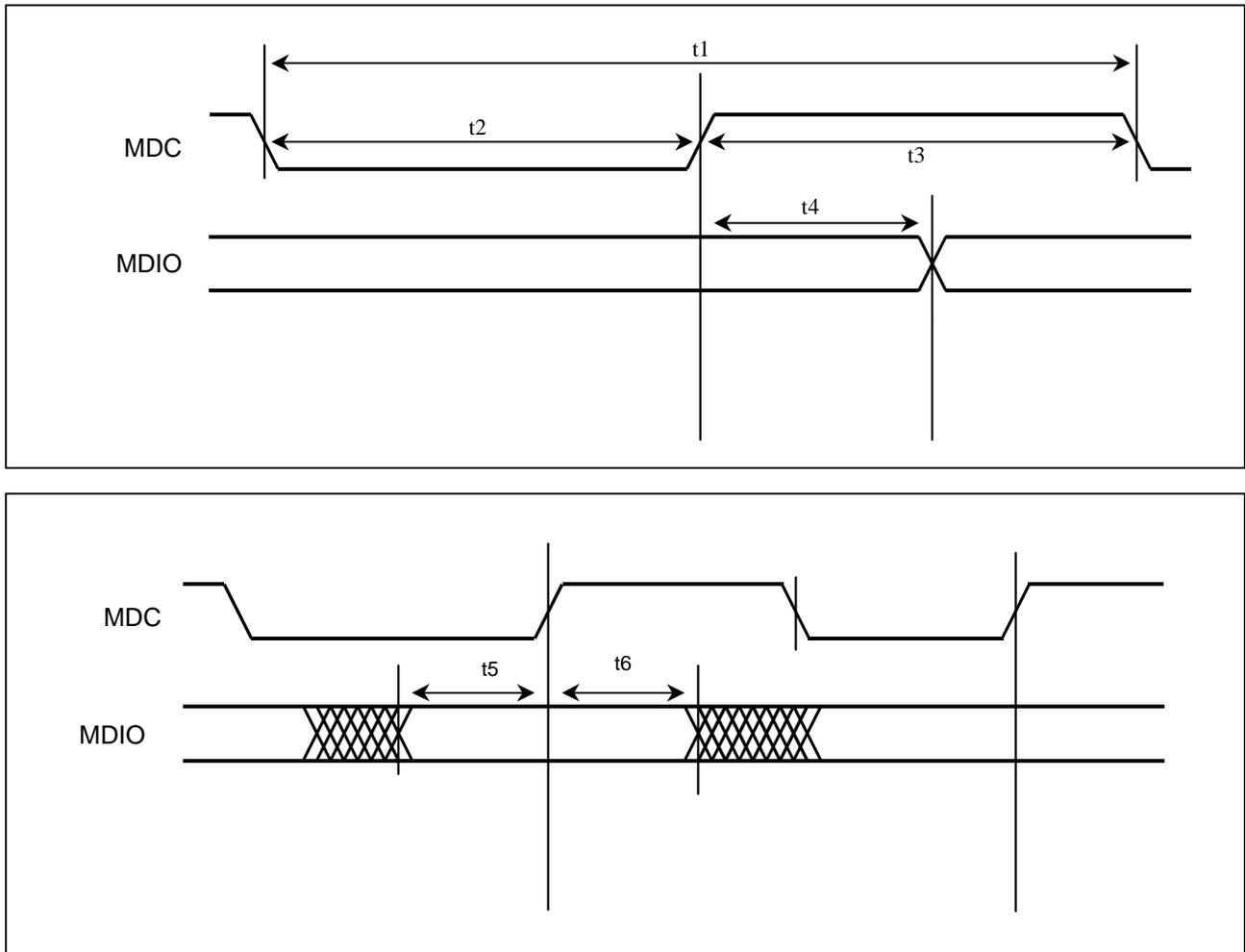
图11-4. 接收 MII 接口时序



11.3 MDIO 接口

PARAMETER	SYMBOL	MIN	TYP	MAX	UNITS
MDC Frequency			1.67		MHz
MDC Period	t1	540	600	660	ns
MDC Low Time	t2	270	300	330	ns
MDC High Time	t3	270	300	330	ns
MDC to MDIO Output Delay	t4	20		10	ns
MDIO Setup Time	t5	10			ns
MDIO Hold Time	t6	20			ns

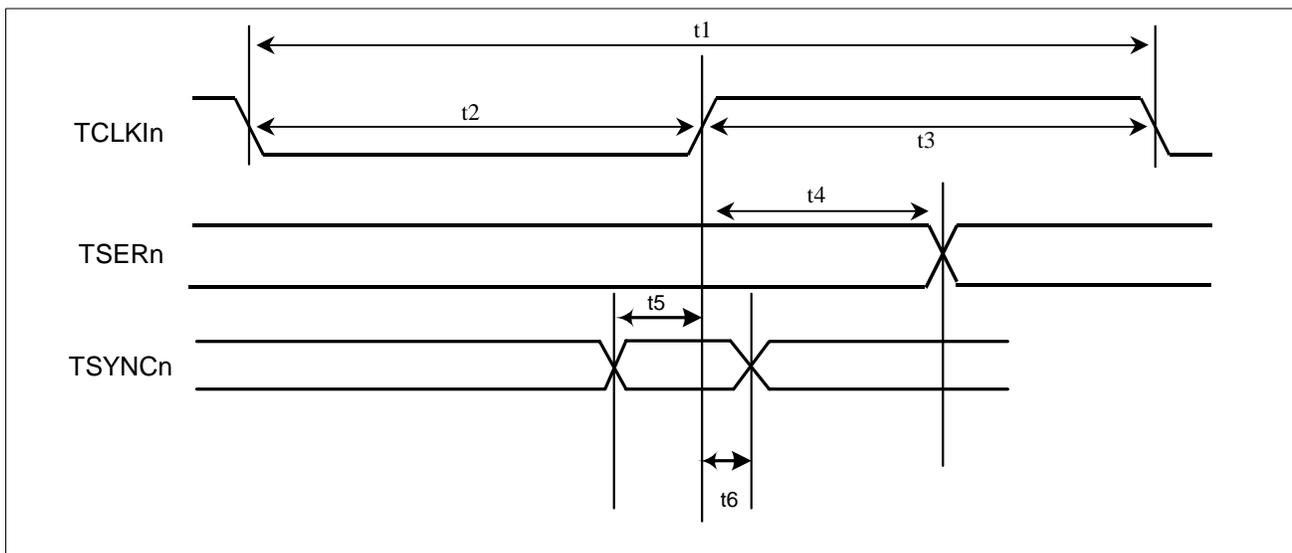
图11-5. MDIO 时序



11.4 发送 WAN 接口

PARAMETER	SYMBOL	MIN	TYP	MAX	UNITS
TCLKIn Frequency				52	MHz
TCLKIn Period	t1	19.2		1000	ns
TCLKIn Low Time	t2	8		550	ns
TCLKIn High Time	t3	8		550	ns
TCLKIn to TSERn Output Delay	t4			10	ns
TSYNCn Setup Time	t5	7			ns
TSYNCn Hold Time	t6	7			ns

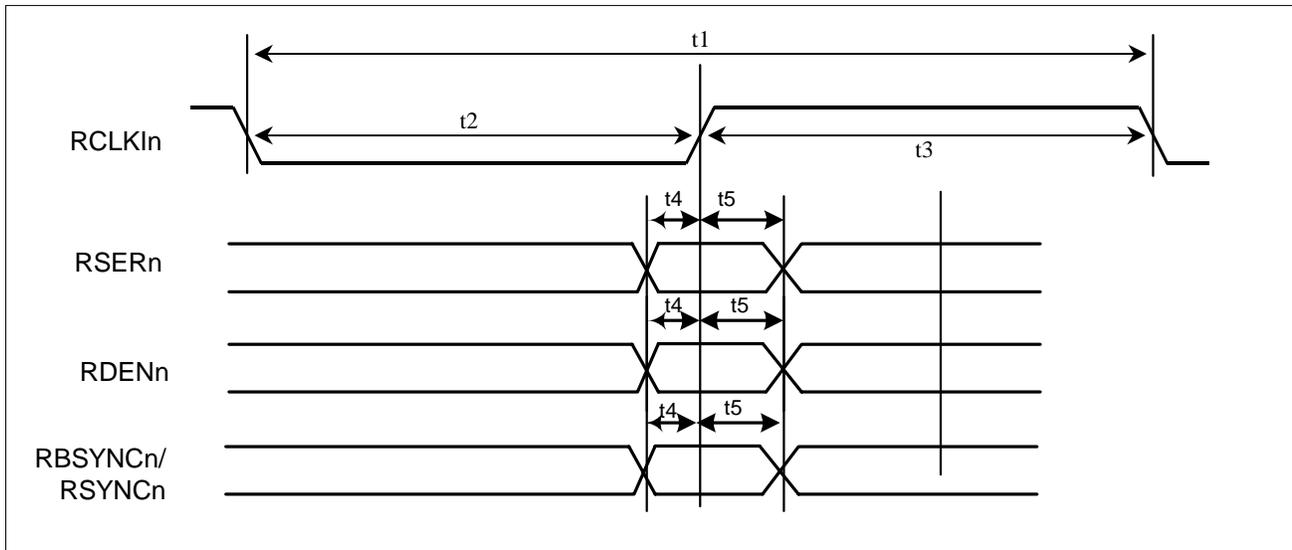
图11-6. 发送 WAN 时序



11.5 接收 WAN 接口

PARAMETER	SYMBOL	MIN	TYP	MAX	UNITS
RCLKIn Frequency				52	MHz
RCLKIn Period	t1	19.2		1000	ns
RCLKIn Low Time	t2	8		1000	ns
RCLKIn High Time	t3	8		1000	ns
RSErN Setup Time	t4	7			ns
RDEn Setup Time	t4	7			ns
RBSYNcN Setup Time	t4	7			
RDEn Setup Time	t4	7			ns
RSYNcN Setup Time	t4	7			ns
RSErN Hold Time	t5	2			ns
RSYNcN Hold Time	t5	2			ns
RDEn hold Time	t5	2			ns
RBSYNn Hold Time	t5	2			ns

图11-7. 接收 WAN 时序

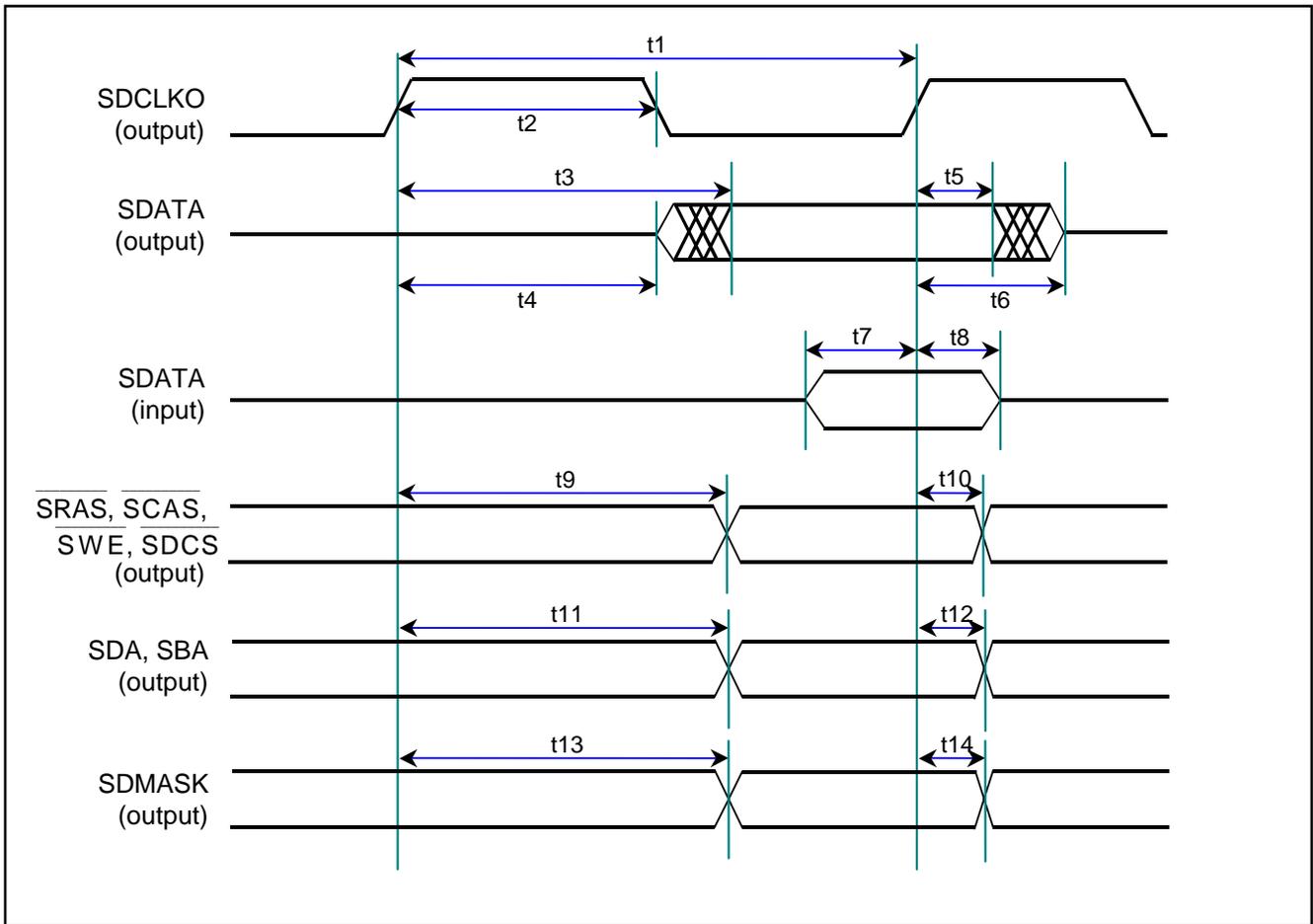


11.6 SDRAM 时序

表11-4. SDRAM 接口时序

PARAMETER	SYMBOL	100MHz			UNITS
		MIN	TYP	MAX	
SDCLKO Period	t1	9.7	10	10.3	ns
SDCLKO Duty Cycle	t2	4		6	ns
SDCLKO to SDATA Valid Write to SDRAM	t3			7	ns
SDCLKO to SDATA Drive On Write to SDRAM	t4	4			ns
SDCLKO to SDATA Invalid Write to SDRAM	t5	3			ns
SDCLKO to SDATA Drive Off Write to SDRAM	t6			4	ns
SDATA to SDCLKO Setup Time Read from SDRAM	t7	2			ns
SDCLKO to SDATA Hold Time Read from SDRAM	t8			2	ns
SDCLKO to $\overline{\text{SRAS}}$, $\overline{\text{SCAS}}$, $\overline{\text{SWE}}$, $\overline{\text{SDCS}}$ Active Read or Write to SDRAM	t9			5	ns
SDCLKO TO $\overline{\text{SRAS}}$, $\overline{\text{SCAS}}$, $\overline{\text{SWE}}$, $\overline{\text{SDCS}}$ Inactive Read or Write to SDRAM	t10	2			ns
SDCLKO to SDA, SBA Valid Read or Write to SDRAM	t11			7	ns
SDCLKO TO SDA, SBA Invalid Read or Write to SDRAM	t12	2			ns
SDCLKO to SDMASK Valid Read or Write to SDRAM	t13			5	ns
SDCLKO to SDMASK Invalid Read or Write to SDRAM	t14	2			ns

图11-8. SDRAM 接口时序



11.7 微处理器总线 AC 特性

AC CHARACTERISTICS—Microprocessor Bus Timing

($V_{DD} = 3.3V \pm 5\%$, $T_A = -40^\circ\text{C}$ to $+85^\circ\text{C}$.)

PARAMETER	SYMBOL	MIN	TYP	MAX	UNITS
Setup Time for A[12:0] Valid to $\overline{\text{CS}}$ Active	t1	0			ns
Setup Time for $\overline{\text{CS}}$ Active to either $\overline{\text{RD}}$, or $\overline{\text{WR}}$ Active	t2	0			ns
Delay Time from Either $\overline{\text{RD}}$ or $\overline{\text{DS}}$ Active to DATA[7:0] Valid	t3			75	ns
Hold Time from Either $\overline{\text{RD}}$ or $\overline{\text{WR}}$ Inactive to $\overline{\text{CS}}$ Inactive	t4	0			ns
Hold Time from $\overline{\text{CS}}$ or $\overline{\text{RD}}$ or $\overline{\text{DS}}$ Inactive to DATA[7:0] Tri-State	t5	5		20	ns
Wait Time from $\overline{\text{RW}}$ Active to Latch Data	t6	80			ns
Data Setup Time to $\overline{\text{DS}}$ Inactive	t7	10			ns
Data Hold Time from $\overline{\text{RW}}$ Inactive	t8	2			ns
Address Hold from $\overline{\text{RW}}$ inactive	t9	0			ns
Write Access to Subsequent Write/Read Access Delay Time	t10	80			ns

图11-9. Intel 总线读时序 (HWMODE = 0, MODEC = 00)

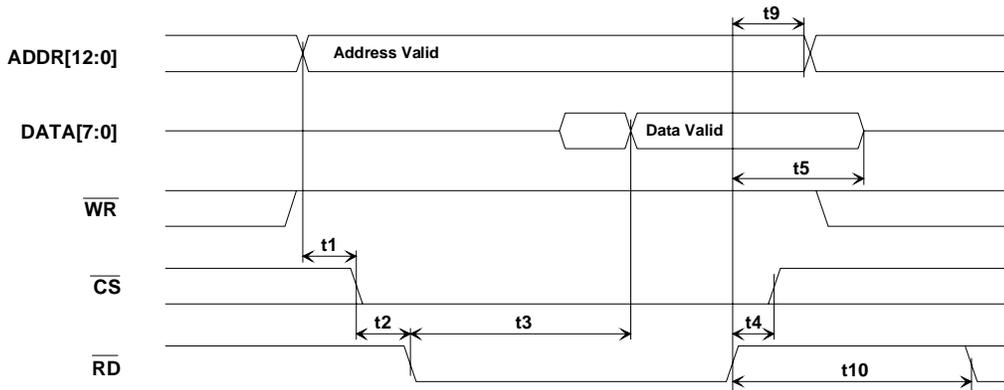


图11-10. Intel 总线写时序 (HWMODE = 0, MODEC = 00)

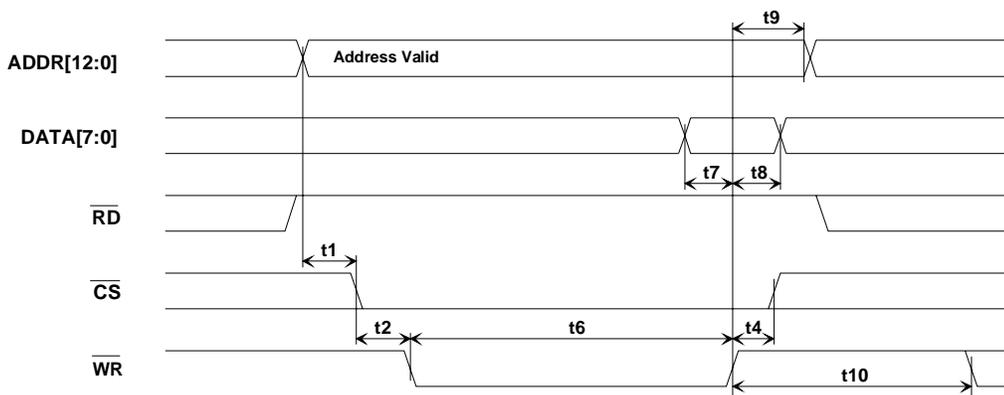


图11-11. Motorola 总线读时序 (HWMODE = 0, MODEC = 01)

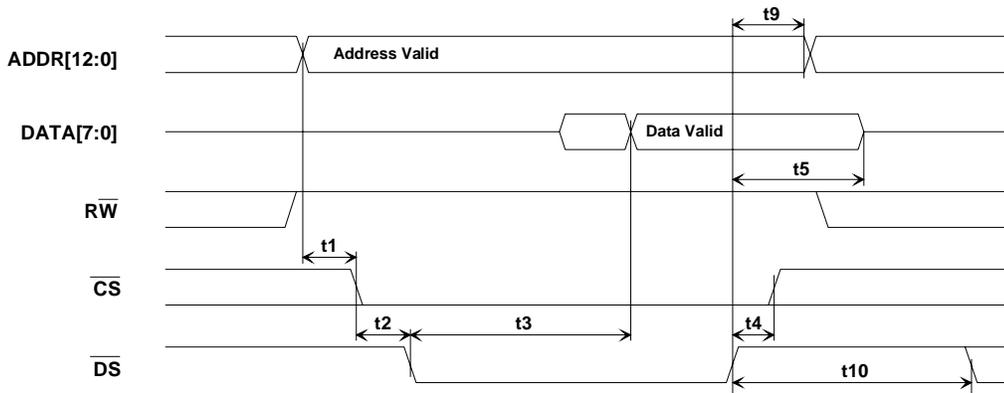
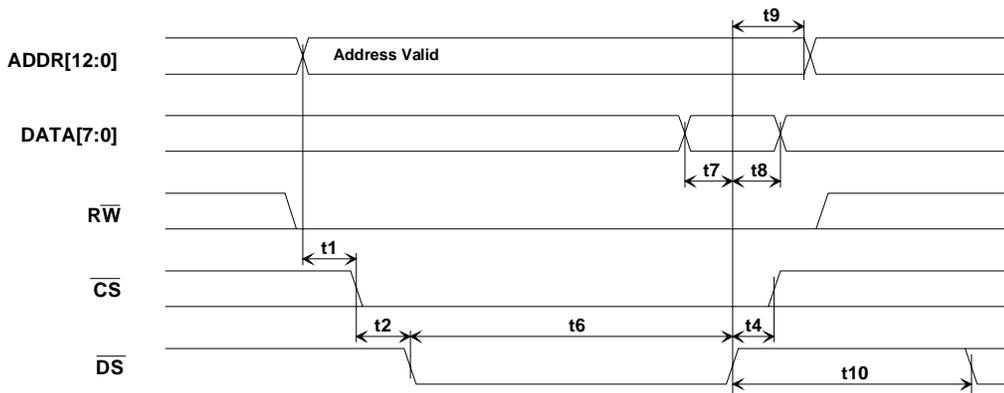


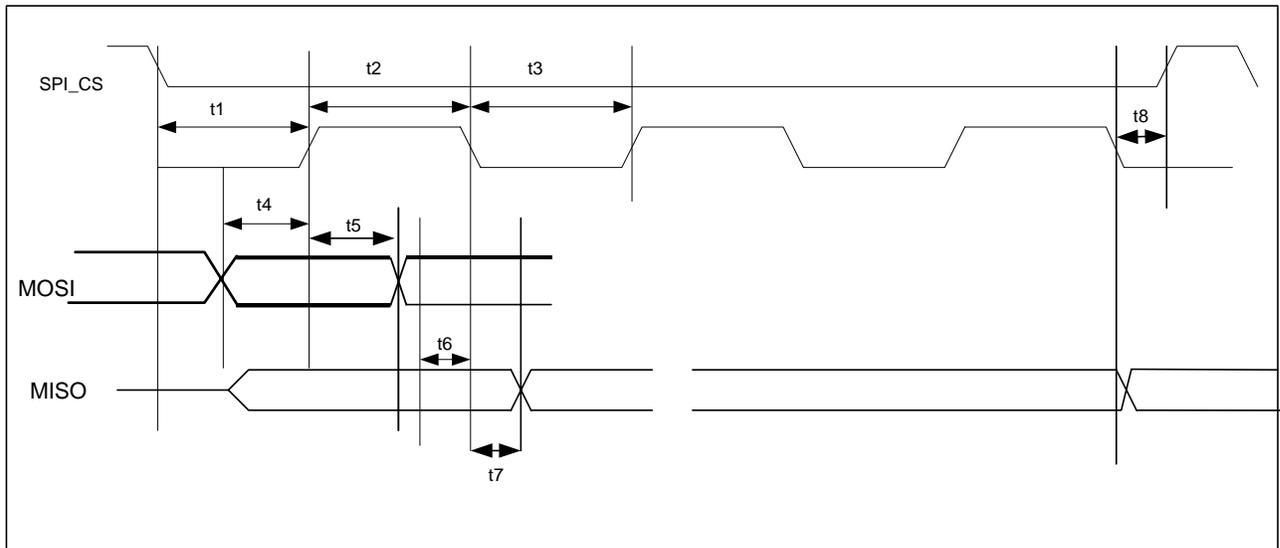
图11-12. Motorola 总线写时序 (HWMODE = 0, MODEC = 01)



11.8 EEPROM 接口时序

PARAMETER	SYMBOL	MIN	TYP	MAX	UNITS
SPI_CK Period	t1		120		ns
SPI_CK Low Time	t2	55		65	ns
SPI_CK High Time	t3	55		65	ns
MOSI Setup Delay	t4	50			ns
MISO Hold	t5	50			ns
MISO Setup	T6	10			ns
MISO Hold	T7	10			ns
SPI_CS Hold	T8	60			ns

图11-13. EEPROM 接口时序



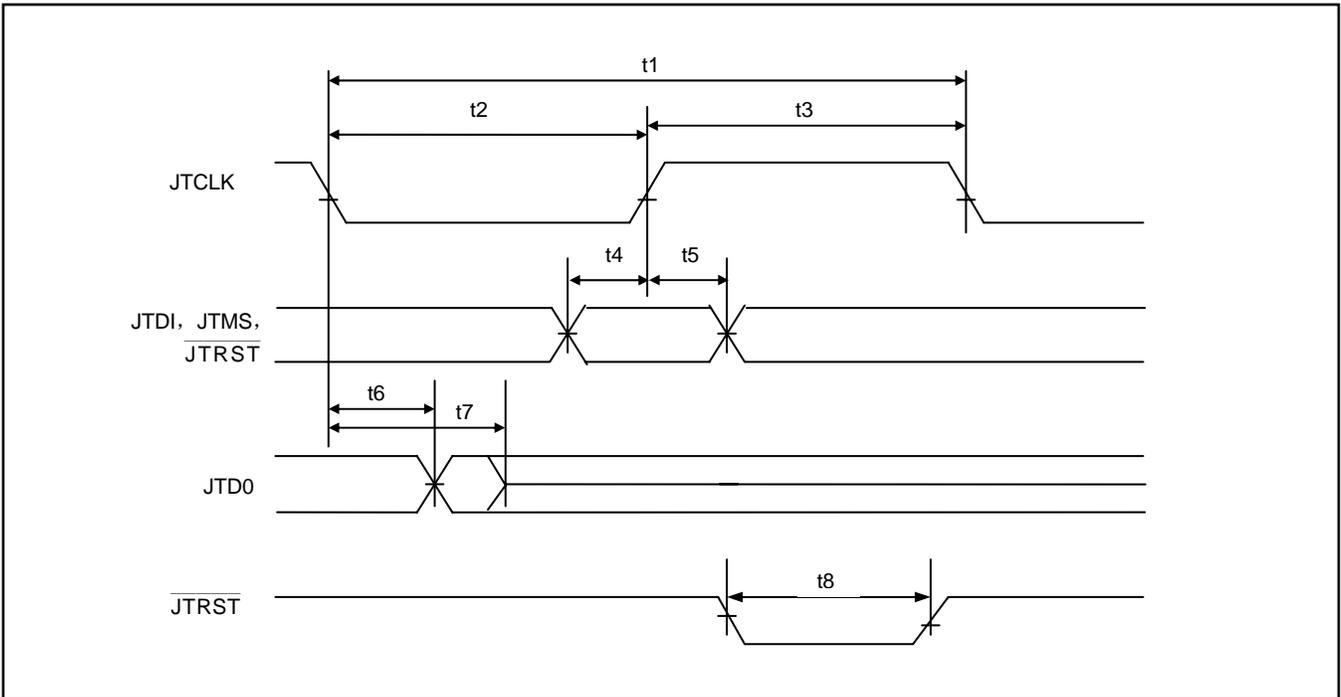
11.9 JTAG 接口时序

($V_{DD} = 3.3V \pm 5\%$, $T_A = -40^\circ\text{C}$ to $+85^\circ\text{C}$.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
JTCLK Clock Period	t1			1000		ns
JTCLK Clock High: Low Time	t2:t3	(Note1)	50	500		ns
JTCLK to JTDI, JTMS Setup Time	t4		2			ns
JTCLK to JTDI, JTMS Hold Time	t5		2			ns
JTCLK to JTDO Delay	t6		2		50	ns
JTCLK to JTDO HIZ Delay	t7		2		50	ns
JTRST Width Low Time	t8		100			ns

注 1: 时钟可终止为高电平或低电平。

图11-14. JTAG 接口时序图



12 JTAG 信息

DS33Z44 支持标准指令代码 SAMPLE:PRELOAD、BYPASS 和 EXTEST。可选通用指令包括 HIGHZ、CLAMP 和 IDCODE。参见表 12-1。DS33Z44 含有以下 IEEE 1149.1 标准测试访问端口和边界扫描架构所需的内容。

测试访问端口 (TAP)

TAP 控制器

指令寄存器

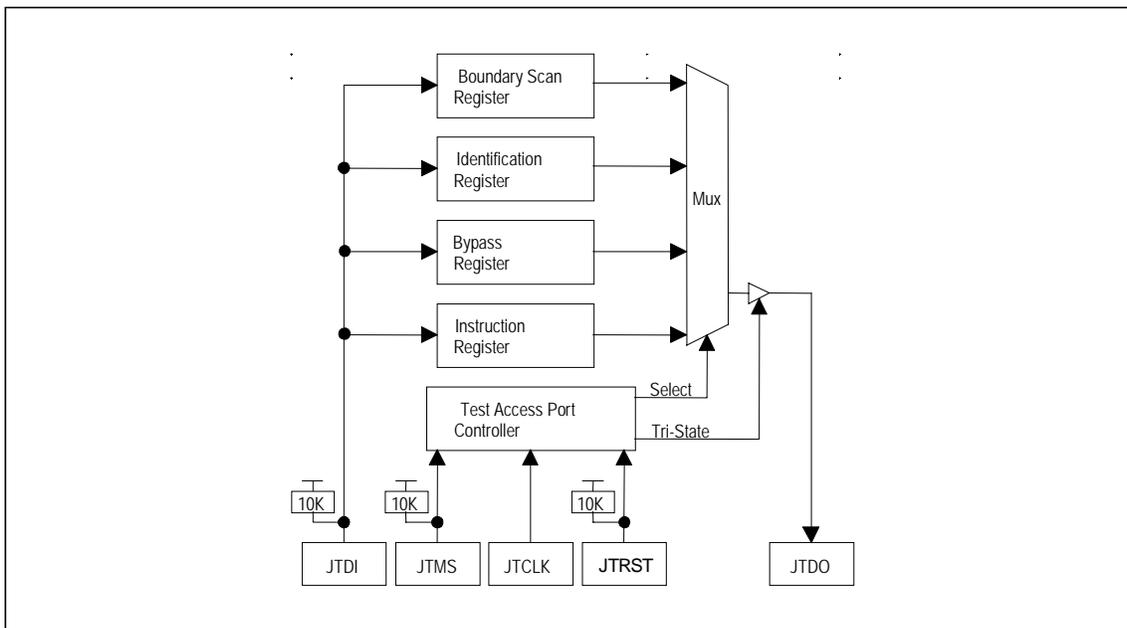
旁路寄存器

边界扫描寄存器

器件标识寄存器

测试访问端口含有必须的接口引脚：JTRST、JTCLK、JTMS、JTDI 和 JTDO。参见引脚说明，了解详细信息。请参考 IEEE 1149.1-1990、IEEE 1149.1a-1993 和 IEEE 1149.1b-1994，了解边界扫描架构和测试访问端口的详细信息。

图12-1. JTAG 功能模块框图



12.1 JTAG/TAP 控制器状态机说明

本节是测试访问端口 (TAP) 控制器状态机工作的详细说明。TAP 控制器是一个有限状态机，响应 JTCLK 上升沿的 JTMS 逻辑电平。

TAP 控制器状态机

TAP 控制器是一个有限状态机，响应 JTCLK 上升沿的 JTMS 逻辑电平。状态机运行参见图 12-2。

测试逻辑复位

上电时，TAP 控制器处于测试逻辑复位状态。指令寄存器将包含 IDCODE 指令。器件所有系统逻辑将正常工作。

运行测试空闲

运行测试空闲用于扫描操作之间或特定测试中。指令寄存器和测试寄存器将保持空闲。

选择 DR 扫描

所有测试寄存器保持其前一状态。JTMS 为低电平时，JTCLK 上升沿使控制器进入抓取 DR 状态，启动扫描序列。JTCLK 上升沿过程中的 JTMS 为高电平使控制器进入 Select-IR-Scan 状态。

抓取 DR

数据可被并行装入当前指令选择的测试数据寄存器。如果指令没有调用并行装入，或者所选寄存器不允许并行装入，测试寄存器将保持其当前值。在 JTCLK 的上升沿，如果 JTMS 为低电平，控制器将进入移位 DR 状态，如果 JTMS 为高电平，控制器进入退出 1-DR 状态。

移位 DR

当前指令所选择的测试数据寄存器连接在 JTDI 和 JTDO 之间，在 JTCLK 的每个上升沿将数据向其串行输出移位一级。如果当前指令所选择的测试寄存器并不在串行通路上，它将保持其前一状态。

退出 1-DR

在此状态下，如果 JTMS 为高电平，JTCLK 的上升沿将使控制器进入更新 DR 状态，终止扫描过程。JTCLK 上升沿，同时 JTMS 为低电平将使控制器进入暂停 DR 状态。

暂停 DR

在此状态下，暂停测试寄存器移位。当前指令所选择的所有测试寄存器保持其前一状态。JTMS 为低电平时，控制器将保持该状态。JTCLK 上升沿 JTMS 为高电平将使控制器进入退出 2-DR 状态。

退出 2-DR

此状态下，JTCLK 上升沿，同时 JTMS 为高电平将使控制器进入更新 DR 状态，终止扫描过程。JTCLK 上升沿，同时 JTMS 为低电平将进入移位 DR 状态。

更新 DR

在更新 DR 状态下，JTCLK 下降沿将测试寄存器的移位寄存器通路上的数据锁存至数据输出锁存器。防止移位寄存器变化影响并行输出。

选择 IR 扫描

所有测试寄存器保持其前一状态。在此状态中，指令寄存器保持不变。JTCLK 上升沿时 JTMS 为低电平使控制器进入抓取 IR 状态，启动指令寄存器的一个扫描序列。JTCLK 上升沿期间 JTMS 为高电平使控制器回到测试逻辑复位状态。

抓取 IR

抓取 IR 状态用于将固定值装入指令寄存器的移位寄存器。在 JTCLK 上升沿装入数值。如果在 JTCLK 上升沿时，JTMS 为高电平，控制器将进入退出 1-IR 状态。JTCLK 上升沿时 JTMS 为低电平，控制器将进入移位 IR 状态。

移位 IR

指令寄存器的移位寄存器连接在 JTDI 和 JTDO 之间，在 JTCLK 的每个上升沿将数据向其串行输出移位一级。并行寄存器以及测试寄存器保持其前一状态。JTCLK 上升沿同时 JTMS 为高电平将使控制器进入退出 1-IR 状态。JTCLK 上升沿同时 JTMS 为低电平将保持控制器的移位 IR 状态，并将数据在指令移位寄存器中移位一级。

退出 1-IR

在此状态下，JTCLK 上升沿同时 JTMS 为低电平将使控制器进入暂停 IR 状态。如果在 JTCLK 上升沿时，JTMS 为高电平，控制器将进入更新 IR 状态，终止扫描过程。

暂停 IR

指令移位寄存器的移位过程暂停。JTMS 为高电平，JTCLK 上升沿将使控制器进入退出 2-IR 状态。在 JTCLK 上升沿过程中，如果 JTMS 为低电平，控制将保持暂停 IR 状态。

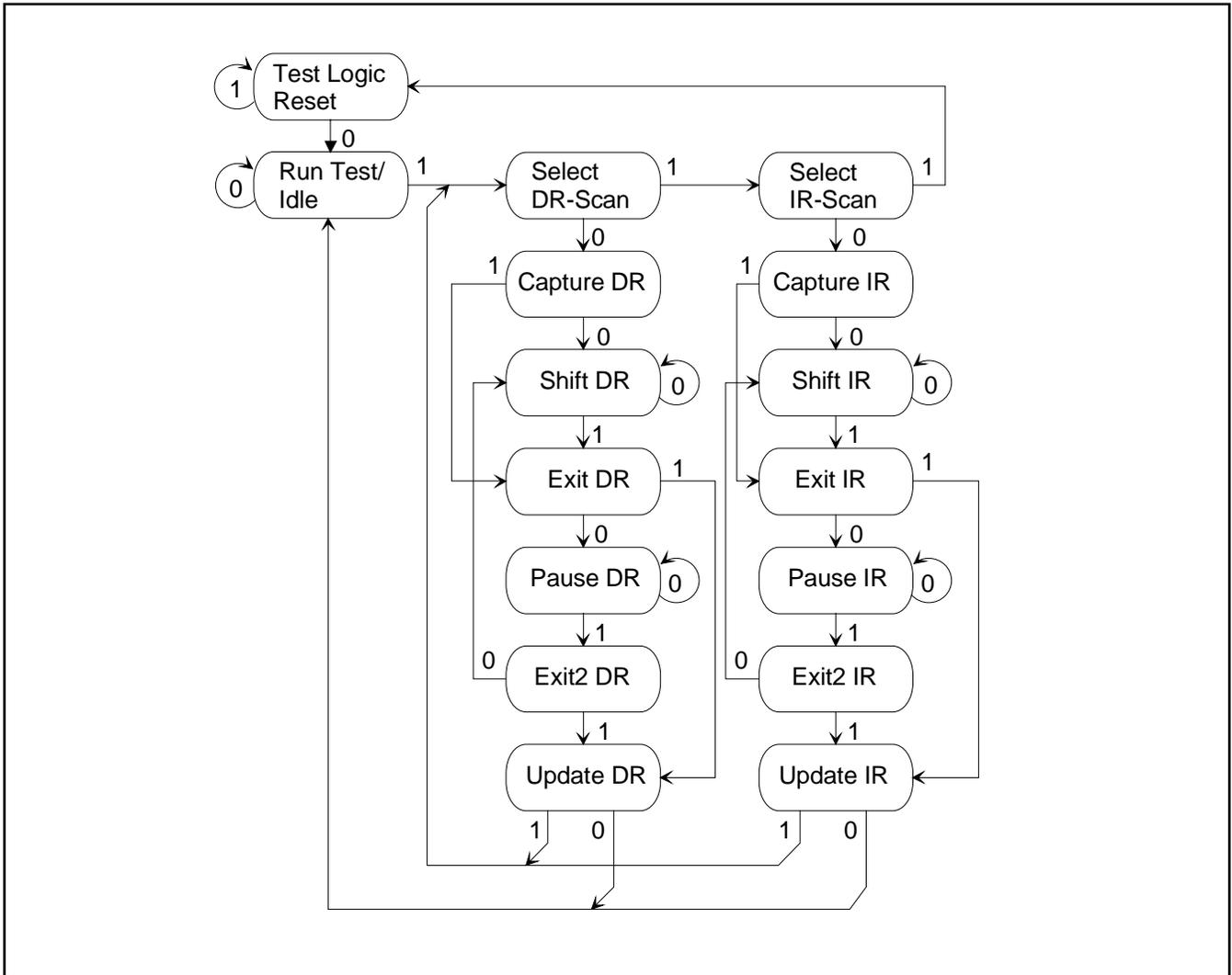
退出 2-IR

JTCLK 上升沿同时 JTMS 为低电平将使控制器进入更新 IR 状态。此状态下，如果在 JTCLK 上升沿时，JTMS 为高电平，控制器将回到移位 IR。

更新 IR

控制器进入此状态后，移位进入指令移位寄存器的指令代码在 JTCLK 下降沿锁存至并行输出。一旦被锁存，该指令变为当前指令。JTCLK 上升沿同时 JTMS 为低电平将使控制器进入运行测试空闲状态。JTMS 为高电平时，控制器进入选择 DR 扫描状态。

图12-2. Tap 控制器状态图



12.2 指令寄存器

指令寄存器含一个移位寄存器和一个锁存并行输出，长度为 3 位。当 TAP 控制器进入移位 IR 状态时，指令移位寄存器连接在 JTDI 和 JTDO 之间。在移位 IR 状态下，JTCLK 上升沿同时 JTMS 为低电平将使数据向 JTDO 的串行输出移位一级。在退出 1-IR 状态或退出 2-IR 状态，JTCLK 上升沿同时 JTMS 为高电平将使控制器进入更新 IR 状态，同一 JTCLK 的下降沿又将指令移位寄存器数据锁存至指令并行输出。DS33Z44 所支持的指令及其相应二进制代码列于表 12-1 中。

表12-1. IEEE 1149.1 体系指令代码

INSTRUCTION	SELECTED REGISTER	INSTRUCTION CODES
SAMPLE:PRELOAD	Boundary Scan	010
BYPASS	Bypass	111
EXTEST	Boundary Scan	000
CLAMP	Bypass	011
HIGHZ	Bypass	100
IDCODE	Device Identification	001

12.2.1 SAMPLE:PRELOAD

这是 IEEE 1149.1 规范的强制指令。该指令支持两种功能。在抓取 DR 状态，器件的数字 I/O 可在边界扫描寄存器进行采样，不干扰器件正常工作。移位 DR 状态下，SAMPLE:PRELOAD 还允许器件通过 JTDI 将数据移位至边界扫描寄存器中。

12.2.2 BYPASS

当 BYPASS 指令锁存至并行指令寄存器时，JTDI 通过 1 位旁路测试寄存器连接至 JTDO。使数据能够由 JTDI 传递至 JTDO，而不影响器件正常工作。

12.2.3 EXTEST

可实现器件所有互连的测试。当 EXTEST 指令锁存至指令寄存器时，发生以下事件：通过更新 IR 状态使能后，驱动所有数字输出引脚的并行输出。边界扫描寄存器连接在 JTDI 和 JTDO 之间。抓取 DR 将采样所有进入边界扫描寄存器的数字输入。

12.2.4 CLAMP

器件的所有数字输出将从边界扫描并行输出端口输出数据，同时将旁路寄存器连接在 JTDI 和 JTDO 之间。CLAMP 指令期间，输出不变。

12.2.5 HIGHZ

器件所有数字输出处于高阻态。BYPASS 寄存器连接在 JTDI 和 JTDO 之间。

12.2.6 IDCODE

当 IDCODE 指令锁存至并行指令寄存器时，选中标识测试寄存器。在 JTCLK 上升沿，器件标识码被装入标识寄存器，然后进入抓取 DR 状态。移位 DR 可用于将标识码经过 JTDO 串行移出。在测试逻辑复位过程中，标识码被强制送入指令寄存器的并行输出。ID 码的 LSB 位置始终是‘1’，然后是 11 位标识制造商的 JEDEC 码，最后是 16 位器件信息和 4 位版本号。

12.3 JTAG ID 代码

表12-2. ID 代码结构

DEVICE	REVISION ID[31:28]	DEVICE CODE ID[27:12]	MANUFACTURER'S CODE ID[11:1]	REQUIRED ID[0]
DS33Z44	0000	0000 0000 0110 0011	000 1010 0001	1

12.4 测试寄存器

IEEE 1149.1 需要至少两个寄存器：旁路寄存器和边界扫描寄存器。DS33Z44 中还含一个可选测试寄存器。该测试寄存器为标识寄存器，用于 IDCODE 指令，以及 TAP 控制器的测试逻辑复位状态。

12.5 边界扫描寄存器

该 n 位长度的寄存器为所有控制单元和数字 I/O 单元同时提供一个移位寄存器通路和一个锁存并行输出。

12.6 旁路寄存器

此单个一位移位寄存器与 BYPASS、CLAMP 和 HIGHZ 指令一同工作，在 JTDI 和 JTDO 之间提供一直通通路。

12.7 标识寄存器

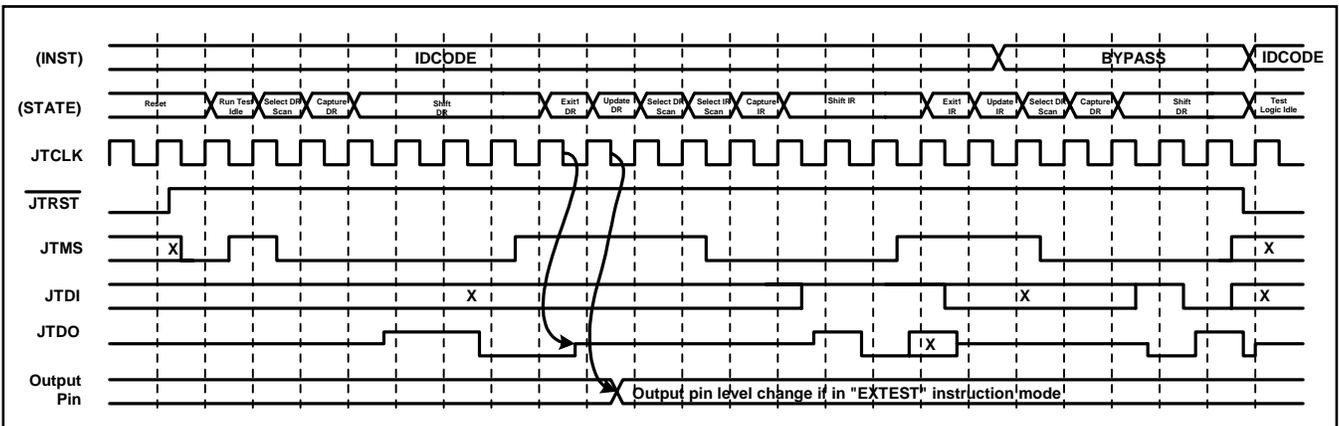
标识寄存器含有一个 32 位移位寄存器和一个 32 位锁存并行输出。IDCODE 指令期间和 TAP 控制器为测试逻辑复位状态选用该寄存器。

12.8 JTAG 功能时序

JTAG 电路的功能时序具有：

- JTAG 控制器由复位状态启动
- 移出 IDCODE 前 4 个 LSB 位
- 移入 BYPASS 指令 (111)，同时移出强制 X01 码型
- 通过旁路移位寄存器将 TDI 引脚输入移位至 TDO 引脚输出
- 移位时，异步复位

图12-3. JTAG 功能时序



13 封装信息

(本数据资料提供的封装图可能不是最新规格，最新封装外型信息请查询 www.maxim-ic.com.cn/DallasPackInfo。)

13.1 17mm x 17mm 256-CSBGA

