

# DS28DG02

## 2k 位 SPI EEPROM, 带有 PIO、RTC、复位、电池监测和看门狗

[www.maxim-ic.com.cn](http://www.maxim-ic.com.cn)

### 概述

DS28DG02 集成了 12 个 PIO、2kb (256 x 8) EEPROM、具有闹钟功能的实时时钟(RTC)和日历、CPU复位监控、电池监测和看门狗功能。通过工业标准的SPI™接口与器件通信。用户EEPROM划分成 4 块, 每块存储容量为 64 字节, 每个存储块均支持单字节写操作和 16 字节页写操作。附加寄存器用于PIO状态读/写和功能设置。PIO可以分别设置为输入或输出。PIO的上电模式为输出, 存储在非易失(NV)存储器。用户可通过串口重新设置所有的PIO。RTC/日历工作在 12/24 小时制式, 闰年自动修正。通过NV寄存器设置电池检测门限和看门狗定时器。当V<sub>CC</sub>跌落到工厂设置的门限以下时, 复位监控电路向CPU发出复位信号。复位输出具有去抖电路, 可以作为手动复位输入。

### 应用

贵重物品跟踪系统  
宽带接入网设备  
病人监护系统  
家庭照明控制系统  
Holter 心电监护仪

典型应用电路在第 32 页。

引脚配置在第 33 页。

### 特性

- 2kb (256 x 8) EEPROM 划分成四个 64 字节存储区
- EEPROM 可进行单字节写操作和 16 字节写操作
- EEPROM 写保护控制引脚用于保护 1、2 或全部 4 块存储区
- +25°C 时每页允许 200k 次写操作; EEPROM 写周期为 10ms (最大)
- SPI 串口支持模式 (0,0)和模式 (1,1), 时钟频率高达 2MHz
- 12 路 PIO, 可驱动 LED
- 每路 PIO 可以通过寄存器配置为输入或输出, 开漏或推挽模式
- 所有 PIO 可在启动后重新配置
- RTC/日历/闹钟采用 BCD 格式, 闰年自动修正
- RTC 通过 32.768kHz、12.5pF 晶振或外部 TCXO 控制
- 具有快速响应能力的高精度V<sub>CC</sub>监控电路带有滞回和手动复位控制, 为CPU提供复位
- 电池检测电路可监测 2.5V、2.25V、2.0V、1.75V 电压, 容限为-5%
- 看门狗定时周期: 1.6s、0.8s、0.4s、0.2s (典型值)
- 工厂刻制唯一的 64 位器件序列号
- 工作范围: 2.2V 至 5.25V、-40°C 至+85°C
- 具有±4kV IEC 1000-4-2 ESD 保护 (晶振引脚除外)
- 28 引脚、4.4mm TSSOP 或 36 引脚 6mm x 6mm QFN 封装

### 订购信息

PART	TEMP RANGE	V <sub>CC</sub> TRIP	PIN-PACKAGE	PKG CODE
DS28DG02E-3C+	-40°C to +85°C	3.3V -5%	28 TSSOP-EP <sup>†</sup> (4.4mm)	U28E+5
DS28DG02E-3C+T	-40°C to +85°C	3.3V -5%	28 TSSOP-EP <sup>†</sup> T&R	U28E+5
DS28DG02G-3C+	-40°C to +85°C	3.3V -5%	36 TQFN-EP <sup>†</sup> (6mm x 6mm)	T3666+3
DS28DG02G-3C+T	-40°C to +85°C	3.3V -5%	36 TQFN-EP <sup>†</sup> T&R	T3666+3

\*EP = 暴焊盘。

+表示器件无铅/符合 RoHS 标准。

需要另外的V<sub>CC</sub> 监控跌落点或其他器件选项, 请联系厂家。

注: 为清楚起见, 寄存器名称用大写。

SPI 是 Motorola, Inc.的商标。

注意: 该器件某些版本的规格可能与发布的规格不同, 会以勘误表的形式给出。通过不同销售渠道可能同时获得任何器件的多个版本。欲了解器件勘误表信息, 请点击: [www.maxim-ic.com.cn/errata](http://www.maxim-ic.com.cn/errata)。

**ABSOLUTE MAXIMUM RATINGS**

Voltage Range on Any Pin Relative to Ground	-0.5V, +6V
Maximum Current SO, ALMZ, RSTZ, WDOZ Pins	±20mA
Maximum Current Each PIO Pin	±50mA
Maximum GND and V <sub>CC</sub> Current	270mA
Operating Temperature Range	-40°C to +85°C
Junction Temperature	+150°C
Storage Temperature Range	-55°C to +125°C
Soldering Temperature	See IPC/JEDEC J-STD-020

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to the absolute maximum rating conditions for extended periods may affect device.

**ELECTRICAL CHARACTERISTICS**(T<sub>A</sub> = -40°C to +85°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Supply Voltage	V <sub>CC</sub>	Battery monitor off	2.2		5.25	V
		Battery monitor enabled	2.7		5.25	
Battery Voltage	V <sub>BAT</sub>	(Note 1)	1.5	3.0	V <sub>CC</sub>	V
Battery Current (V <sub>BAT</sub> = 3.0V, Note 1)	I <sub>BAT</sub>	RTC oscillator off			2	µA
		RTC oscillator on		0.4	10	
		RTC oscillator on, +25°C			4.7	
Standby Current (Note 2)	I <sub>CCS</sub>	SPI idle, ALMZ, WDOZ, RTSZ high, V <sub>CC</sub> = 5.25V, RTC oscillator on, all PIOs grounded		60	100	µA
Operating Current	I <sub>CCA</sub>	Reading EEPROM at 2 Mbps, ALMZ, WDOZ, RTSZ high, V <sub>CC</sub> = 5.25V, RTC oscillator on, all PIOs grounded		550	800	µA
Programming Current	I <sub>PROG</sub>	V <sub>CC</sub> = 5.25V		600	1000	µA
V <sub>CC</sub> Monitor Trip Point	V <sub>TRIP</sub>	(Note 3)	2.97	3.05	3.14	V
V <sub>CC</sub> Monitor Trip-Point Tolerance	V <sub>TRIP</sub> TOL	+25°C	-1.5		+1.5	%V <sub>TRIP</sub>
		-40°C to +85°C	-2.5		+2.5	
V <sub>CC</sub> Monitor Hysteresis	V <sub>HYST</sub>		0.4	0.5	0.6	%V <sub>TRIP</sub>
Power-Up Wait Time	t <sub>POIP</sub>				60	µs
<b>EEPROM</b>						
Programming Time	t <sub>PROG</sub>				10	ms
Endurance	N <sub>CYCLE</sub>	At +25°C (Notes 4, 5)	200k			—
Data Retention	t <sub>RET</sub>	At +85°C (Notes 5, 6)	40			years
<b>REAL-TIME CLOCK</b>						
Frequency Deviation	Δ <sub>F</sub>	(Notes 5, 7)	-46		+46	PPM
<b>PIO PINS (See Figures 21, 22, 23)</b>						
LOW-Level Output Current at V <sub>OL</sub> = 0.5V (Note 8)	I <sub>OL</sub>	V <sub>CC</sub> = 2.2V	6	9.5		mA
		V <sub>CC</sub> = 3.3V	12.5	22.0		
		V <sub>CC</sub> = 5.25V	19	30		
HIGH-Level Output Current (Note 8)	I <sub>OH</sub>	V <sub>OH</sub> = 2.4V, V <sub>CC</sub> = 3.3V	6.5	11.0		mA
		V <sub>OH</sub> = 4.5V, V <sub>CC</sub> = 5.25V	12.5	18.0		

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
LOW-Level Input Voltage	$V_{IL}$				0.8	V
HIGH-Level Input Voltage	$V_{IH}$		$0.7 \times V_{CC}$		$V_{CC} + 0.5V$	V
Output Transition Time	$t_{OT}$	Low-current mode (Note 9)			1	$\mu s$
		High-current mode (Note 10)			25	
Power-On Setting Time	$t_{POS}$	High-current mode (Note 11)			25	$\mu s$
PIO Read Setup Time	$t_{PS}$	(Note 5)	100			ns
PIO Read Hold Time	$t_{PH}$	(Note 5)	100			ns
Leakage Current	$I_L$	High impedance, at $V_{CCMAX}$	-1		+1	$\mu A$
<b>RSTZ PIN (Note 12) (See Figures 6, 7)</b>						
LOW-Level Output Voltage	$V_{OL}$	At 4mA sink current			0.3	V
LOW-Level Input Voltage	$V_{IL}$				$0.3 \times V_{CC}$	V
Input Leakage Current	$I_L$		-1		+1	$\mu A$
Minimum $V_{CC}$ for Valid RSTZ	$V_{POR}$	(Notes 5, 13)			2.13	V
RSTZ Pulse Duration	$t_{RST}$		176	328	532	ms
Manual Reset Pulse Width	$t_{MPW}$		1			$\mu s$
Manual Reset Release Threshold	$V_{TRMS}$	(Note 14)		$V_{IL}$		V
Manual Reset Debounce Time	$t_{DEB}$			$t_{RST}$		ms
RSTZ Delay	$t_{DEL}$	$V_{CC}$ falling below $V_{TRIP}$ (Note 15)			90	$\mu s$
<b>ALMZ, WDOZ PINS</b>						
LOW-Level Output Voltage	$V_{OL}$	At 4mA sink current			0.3	V
<b>WDI PIN</b>						
LOW-Level Input Voltage	$V_{IL}$				$0.3 \times V_{CC}$	V
HIGH-Level Input Voltage	$V_{IH}$		$0.7 \times V_{CC}$		$V_{CC} + 0.5V$	V
Input Leakage Current	$I_L$		-1		+1	$\mu A$
Minimum Input Pulse Width	$t_{MPW}$		1			$\mu s$
Watchdog Timeout	$t_{WD}$	User programmable	0.88	1.64	2.66	s
			0.44	0.82	1.33	
			0.22	0.41	0.67	
			0.11	0.20	0.33	
<b>WPZ, SI, SCK, CSZ PINS</b>						
LOW-Level Input Voltage	$V_{IL}$				$0.3 \times V_{CC}$	V
HIGH-Level Input Voltage	$V_{IH}$		$0.7 \times V_{CC}$		$V_{CC} + 0.5V$	V
Input Leakage Current	$I_L$		-1		+1	$\mu A$
<b>SO PIN</b>						
LOW-Level Output Voltage	$V_{OL}$	At 1mA sink current and $V_{CCmin}$			0.2	V
HIGH-Level Output Voltage	$V_{OH}$	At 1mA source current	$0.7 \times V_{CC}$			V
Output Leakage Current	$I_L$	High impedance, at $V_{CCmax}$	-1		+1	$\mu A$

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
<b>BATTERY MONITOR (See Figure 8)</b>						
$V_{BAT}$ Trip Point	$V_{BTP}$	Measured with $V_{BAT}$ falling; trip point is user programmable	2.25 2.03 1.80 1.58	2.31 2.08 1.85 1.62	2.38 2.14 1.90 1.66	V
$V_{BAT}$ Monitor Trip-Point Tolerance	$V_{TRIP TOL}$	+25°C -40°C to +85°C	-1.5 -2.5		+1.5 +2.5	% $V_{BTP}$
Battery Test Load Current	$I_{LOAD}$		7.5		20	$\mu$ A
Battery Test Duration	$t_{BTPW}$	Load applied to battery (Notes 5, 16)		2		s
<b>SPI INTERFACE TIMING (See Figures 9, 10)</b>						
CSZ Setup Time	$t_{CSS}$	(Note 5)	0.4			$\mu$ s
CSZ Hold Time	$t_{CSH}$	(Note 5)	0.4			$\mu$ s
CSZ Standby Pulse Width (Note 5)	$t_{CPH}$	Normal communication (Note 17)	0.25 2.0			$\mu$ s
CSZ to High-Z at SO	$t_{CHZ}$				0.25	$\mu$ s
SCK Clock Frequency	$f_{CLK}$				2	MHz
Data Setup Time	$t_{DS}$	(Note 5)	50			ns
Data Hold Time	$t_{DH}$	(Note 5)	50			ns
SCK Rise Time	$t_{SCKR}$	(Note 5)			1	$\mu$ s
SCK Fall Time	$t_{SCKF}$	(Note 5)			1	$\mu$ s
Output Valid time	$t_V$	(Note 5)	0		120	ns

- Note 1:** If no battery is used, connect the  $V_{BAT}$  pin to  $V_{CC}$ . The RTC is powered by  $V_{BAT}$  if  $V_{CC}$  falls below  $V_{CCmin}$ .
- Note 2:** To the first order, this current is independent of the supply voltage value.
- Note 3:** Nominal values: 3.3V -5%, set at factory. Measured with  $V_{CC}$  falling; for  $V_{CC}$  rising, the actual threshold is  $V_{TRIP} + V_{HYST}$ .
- Note 4:** This specification is valid for each 16-byte memory page.
- Note 5:** Not production tested. Either guaranteed by design (GBD) or guaranteed by a reliability study (EEPROM lifetime parameters).
- Note 6:** EEPROM writes can become nonfunctional after the data-retention time is exceeded. Long-time storage at elevated temperatures is not recommended; the device can lose its write capability after 10 years at +125°C or 40 years at +85°C.
- Note 7:** Valid with 32KHz crystal, 12.5pF,  $ESR \leq 45k\Omega$ , +25°C.
- Note 8:** Total PIO sink and source currents through all PIO pins must be externally limited to less than the absolute maximum rating of 270mA minus 1.5mA for EEPROM programming and SPI communication. Exceeding the absolute maximum rating can cause damage.
- Note 9:** Assumes the configuration of the system and the part is such that changing GOV<i> (0 ≤ i ≤ 11) between 'b1 and 'b0 switches between sourcing no current and sinking the absolute maximum current at the PIO<i> pin. The limit refers to the switching time between sinking 20% of the DC current and 80% of the DC current. The same is true for changing between 'b0 and 'b1 causing the part to switch from sinking no current to sourcing the absolute maximum current at the PIO<i> pin.
- Note 10:** Each output pin transitions in 1 $\mu$ s with a pause of 1 $\mu$ s before the next pin transitions.
- Note 11:** All PIO are tri-stated at beginning of reset prior to setting to power-on values.
- Note 12:** If the part has battery power (normal case) the active pulldown of RSTZ is supported by the battery.
- Note 13:** If  $V_{BAT}$  is tied to  $V_{CC}$  (no battery supply) the state of the RSTZ pulldown transistor is not guaranteed when  $V_{CC}$  falls below  $V_{POR}$ .
- Note 14:** Threshold refers to the manual reset function obtained by forcing RSTZ low.
- Note 15:** Transient response to a step on  $V_{CC}$  from above  $V_{TRIP}$  down to ( $V_{TRIP} - 1mV$ ). Glitches on  $V_{CC}$  that are shorter than  $t_{DELmin}$  are guaranteed to be suppressed, regardless of their amplitude. Glitches on  $V_{CC}$  that are longer than  $t_{DELmax}$  are guaranteed not to be suppressed. This parameter is tested at high  $V_{CC}$  and guaranteed by design at low.
- Note 16:** If enabled, this test takes place every hour on the hour. The battery voltage is compared to  $V_{BTP}$  during the second half of the  $t_{BTPW}$  window. The timing is controlled by the RTC.
- Note 17:** Extended duration applies to the following cases:
- 1) Aborted WREN, WRDI, RDSR, and WRSR command.
  - 2) WRITE command aborted before transmitting the first complete data byte after command and address.
  - 3) READ command aborted before reading the first complete data byte after command and address.
  - 4) Read aborted before the end of a byte.

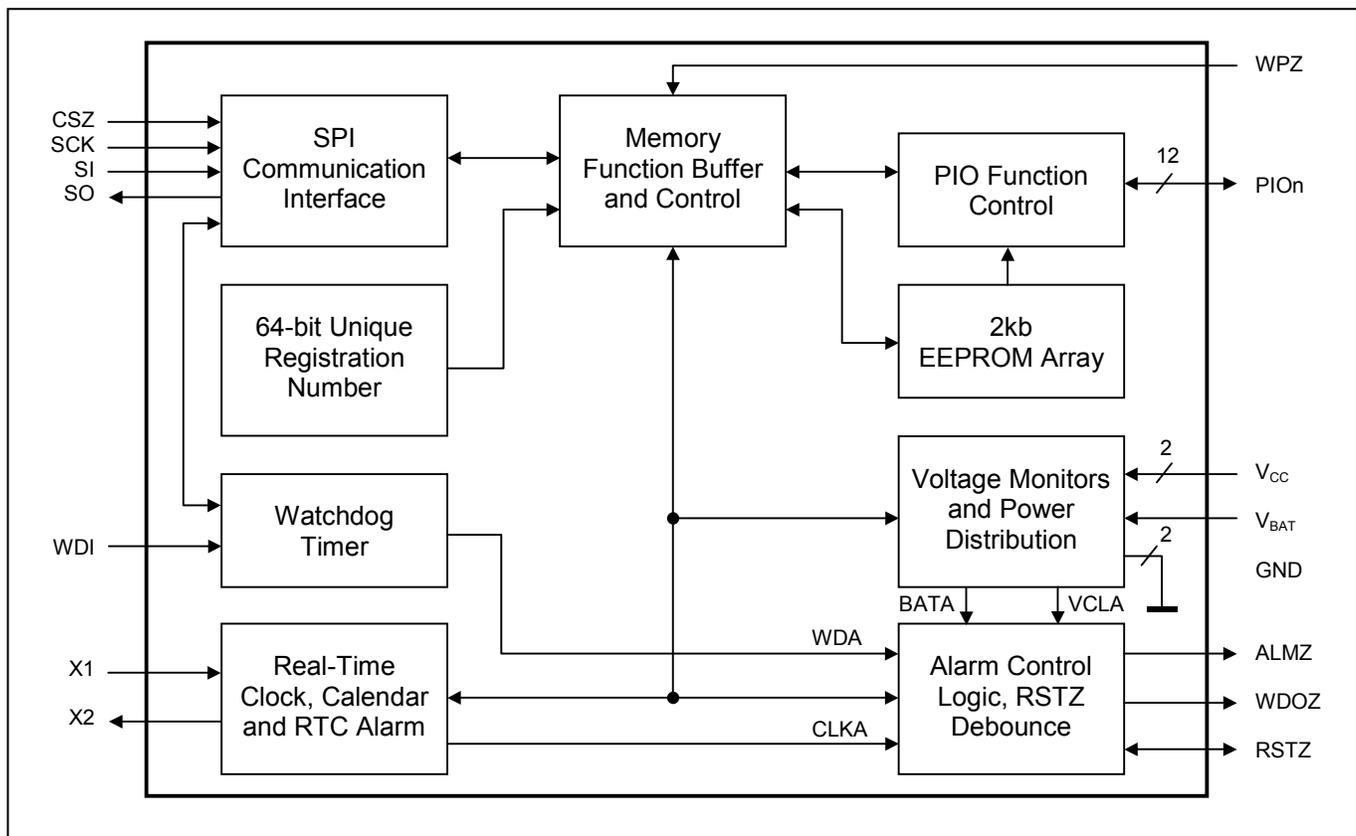
## 引脚说明

名称	引脚		功能
	TSSOP28	TQFN36	
X1	1	33	32.768kHz 晶振接点 1 或 32.768kHz TCXO 输入。
X2	2	34	32.768kHz 晶振接点 2。
RSTZ	3	36	V <sub>CC</sub> 电源失效复位、看门狗报警的开漏输出引脚(低有效)以及手动复位输入, 请参考 <i>多功能控制/设置寄存器说明</i> 获取更多信息。
WDI	4	2	看门狗输入引脚(高有效), 请参考 <i>多功能控制/设置寄存器说明</i> 中 134h 地址部分获取更多信息。
WDOZ	5	3	看门狗报警(用户选择)开漏输出引脚(低有效), 请参考 <i>多功能控制/设置寄存器说明</i> 获取更多信息。
WPZ	6	4	硬件写保护输入引脚(低有效), 请参考 <i>SPI 接口说明</i> 获取更多信息。
PIO0	7	5	PIO 口#0。
PIO4	8	6	PIO 口#4。
PIO8	9	7	PIO 口#8。
GND	10, 19	9, 19	电源地。
PIO10	11	10	PIO 口#10。
PIO6	12	11	PIO 口#6。
PIO2	13	12	PIO 口#2。
V <sub>CC</sub>	14, 15	13, 15	电源输入。
PIO3	16	16	PIO 口#3。
PIO7	17	17	PIO 口#7。
PIO11	18	18	PIO 口#11。
PIO9	20	21	PIO 口#9。
PIO5	21	22	PIO 口#5。
PIO1	22	23	PIO 口#1。
ALMZ	23	24	RTC、电池监控、看门狗报警(用户选择)开漏输出引脚(低有效), 请参考 <i>多功能控制/设置寄存器说明</i> 获取更多信息。
SO	24	25	SPI 串行数据输出(三态)。
SI	25	26	SPI 串行数据输入。
SCK	26	28	SPI 串行时钟输入。
CSZ	27	30	片选输入(低有效)。
V <sub>BAT</sub>	28	31	支持 RTC 和 RSTZ 的备用电池。
N.C.	—	1, 8, 14, 20, 27, 29, 32, 35	没有连接。
GND	EP	EP	裸焊盘, 直接将其焊接到电路板的地层, 以保证正常工作。其它信息请参考 <i>应用笔记 3273</i> 。

## 概述

DS28DG02 集成了 2kb EEPROM、12 个双向 PIO、具有闹钟功能的 RTC 和日历、看门狗定时器、2 路具有高精度触发门限的电压监控电路和 3 个报警/复位输出。每片 DS28DG02 有其唯一的序列号, 可以作为嵌入了该器件的产品的识别信息。如图 1 功能框图所示, 所有资源均通过 SPI 串口访问。SPI 接口自动调整到 SPI 模式 (0,0) 和 (1,1)。控制电源失效复位输出 (RSTZ 引脚) 的 V<sub>CC</sub> 检测门限在工厂设置, 用户可以软件编程电池监控门限和看门狗超时。RTC 用 BCD 格式表示时间、日历信息和星期。器件经过编程, 可以按照用户设定的时间每秒钟、每分钟、每小时、每天、每周或每月启动一次 RTC 闹钟。RTC、看门狗和电池报警均可独立使能控制。

图 1. 功能框图



寄存器详细说明部分介绍了PIO配置和具有闹钟功能的RTC/日历设置。这一部分还详细说明了使能/关闭多种器件功能的多功能控制/设置寄存器和闹钟/状态寄存器。有关 $V_{CC}$  监控/电源失效复位和电池检测的详细信息，请参考**监控功能**部分。**SPI接口**部分描述了访问存储器和寄存器以及使用看门狗功能的通信协议。**PIO读/写操作**部分介绍了PIO的控制，特别是地址的产生，低、高电流模式下的时序。

DS28DG02 存储器映射 (图 2)从 256 字节的用户 EEPROM 开始，划分为 4 个 64 字节的存储块。附加 EEPROM 用于存储上电后的默认 PIO 状态(输出模式下的高、低电流)、数据方向(输入、输出)、读反相 (真、伪)、端口输出类型(推挽、开漏)以及输出模式(高电流、低电流)。上电以后，可以通过 SRAM 寄存器重新设置 PIO 而不影响上电默认值。每个 PIO 的状态、方向、读数是否反相均可独立设置。输出类型以四个 PIO 一组设置，输出模式选择作用于所有 PIO。RTC/日历、相关的闹钟寄存器和多功能控制/状态寄存器由备用电池提供非易失支持。写保护功能可以保护所有 4 块 EEPROM、只保护第 2 和第 3 块存储区、只保护 第 3 块存储器或者可以对 120h 地址以上的所有寄存器进行写操作。

图 2. 存储器映射

ADDRESS	TYPE	ACCESS	DESCRIPTION
000h to 03Fh	EEPROM	R/W	User memory block 0.
040h to 07Fh	EEPROM	R/W	User memory block 1.
080h to 0BFh	EEPROM	R/W	User memory block 2.
0C0h to 0FFh	EEPROM	R/W	User memory block 3.
100h to 109h	—	—	Reserved, contents undefined.
10Ah	EEPROM	R/W	Power-on default for PIO output state (PIO0 to PIO7).
10Bh	EEPROM	R/W	Power-on default for PIO output state (PIO8 to PIO11).
10Ch	EEPROM	R/W	Power-on default for PIO direction (PIO0 to PIO7).
10Dh	EEPROM	R/W	Power-on default for PIO direction (PIO8 to PIO11).
10Eh	EEPROM	R/W	Power-on default for PIO read-inversion (PIO0 to PIO7).
10Fh	EEPROM	R/W	Power-on default for PIO read-inversion (PIO8 to PIO11), PIO output type (PIO0 to PIO11 in groups of 4 PIOs), PIO output mode (same mode for all PIOs).
110h to 117h	—	—	Reserved, contents is undefined.
118h to 11Fh	ROM	R	64-bit unique registration number.
120h	SRAM	R/W	PIO output state (PIO0 to PIO7).
121h	SRAM	R/W	PIO output state (PIO8 to PIO11).
122h	SRAM	R/W	PIO direction (PIO0 to PIO7).
123h	SRAM	R/W	PIO direction (PIO8 to PIO11).
124h	SRAM	R/W	PIO read-inversion (PIO0 to PIO7).
125h	SRAM	R/W	PIO read-inversion (PIO8 to PIO11), PIO output type (PIO0 to PIO11 in groups of 4 PIOs), PIO output mode (same mode for all PIOs).
126h	—	R	PIO read access (PIO0 to PIO7).
127h	—	R	PIO read access (PIO8 to PIO11).
128h	—	—	Reserved, contents undefined.
129h to 12Fh	NV SRAM	R/W	RTC and calendar.
130h to 133h	NV SRAM	R/W	RTC alarm.
134h	NV SRAM	R/W	Multifunction control/setup register.
135h	NV SRAM	R/Clear	Alarm and status register.
136h and above	—	—	Reserved, contents undefined.

## 寄存器详细说明

### 上电默认 PIO 输出状态

ADDR	b7	b6	b5	b4	b3	b2	b1	b0
10Ah	POV7	POV6	POV5	POV4	POV3	POV2	POV1	POV0
10Bh	X	X	X	X	POV11	POV10	POV9	POV8

可以这些地址进行通用的读写访问。工厂默认: 10Ah: FFh; 10Bh: 0Fh。器件上电时, 该寄存器的内容自动加载到 120h/121h 地址。

位说明	位	定义
POVn: PIO 上电默认状态	—	PIO0 至 PIO11 的上电默认输出状态。POV0 对应于 PIO0, 依此类推。
X: (未指定)	—	保留, 供以后使用。

### 上电默认的 PIO 方向

ADDR	b7	b6	b5	b4	b3	b2	b1	b0
10Ch	POD7	POD6	POD5	POD4	POD3	POD2	POD1	POD0
10Dh	X	X	X	X	POD11	POD10	POD9	POD8

可以对这些地址进行通用的读写访问。工厂默认值为: 10Ch: FFh; 10Dh: 0Fh。器件上电时, 这个寄存器的内容自动加载到地址 122h/123h。

位说明	位	定义
PODn: PIO 上电默认方向	—	PIO0 至 PIO11 的上电默认方向。POD0 对应于 PIO0, 依此类推。 示例: 0 → 输出; 1 → 输入
X: (未指定)	—	保留, 供以后使用。

### 上电默认 PIO 读反相 (PIO0 至 PIO7)

ADDR	b7	b6	b5	b4	b3	b2	b1	b0
10Eh	PIM7	PIM6	PIM5	PIM4	PIM3	PIM2	PIM1	PIM0

可以对这些地址进行通用的读写访问。工厂默认值: 00h。器件上电时, 这个寄存器的内容自动加载到地址 124h。

位说明	位	定义
PIMn: PIO 上电默认为读数据反相	—	PIO0 至 PIO7 读数的上电默认状态为反相, PIM0 对应于 PIO0, 依此类推。 示例: 0 → 不反相; 1 → 反相

## 上电默认的 PIO 读数反相 (PIO8 至 PIO11), PIO 输出类型和输出模式

ADDR	b7	b6	b5	b4	b3	b2	b1	b0
10Fh	POTM	POT3	POT2	POT1	PIM11	PIM10	PIM9	PIM8

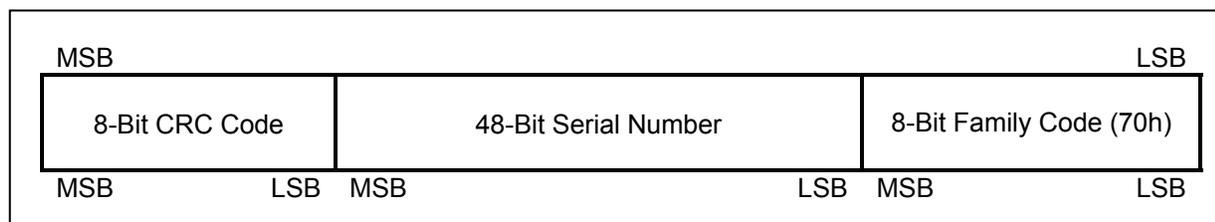
可以对这些地址进行通用的读写访问。工厂默认值: 80h。器件上电时, 这个寄存器的内容自动加载到地址 125h。

位说明	位	定义
PIMn: PIO 上电默认为读数反相	b0 至 b3	PIO8 至 PIO11 读数的上电默认状态为反相, PIM8 对应于 PIO8, 依此类推。 示例: 0 → 不反相; 1 → 反相
POT1: 上电默认输出类型	b4	PIO0 至 PIO3 的上电默认输出类型; 示例: 0 → 推挽; 1 → 开漏
POT2: 上电默认输出类型	b5	PIO4 至 PIO7 的上电输出类型; 示例: 0 → 推挽; 1 → 开漏
POT3: 上电默认输出类型	b6	PIO8 至 PIO11 的上电输出类型; 示例: 0 → 推挽; 1 → 开漏
POTM: 上电默认输出模式	b7	PIO0 至 PIO11 的上电输出模式; 示例: 0 → 小电流, 同步开关; 1 → 大电流, 顺序开关

## 唯一注册码 (118h 至 11Fh)

每个 DS28DG02 均有一个唯一的 64 位注册码, 如图 3 所示。注册号从地址 118h 的 8 位家族码开始, 随后是 48 位序列号 (低位字节位于低地址), 地址 11Fh 放置的是前 56 位的循环冗余校验, 该 CRC 通过多项式  $X^8 + X^5 + X^4 + 1$  产生, 关于 CRC 的更多信息请参考 *应用笔记 27*。

图 3. 64 位注册码



## PIO 输出状态

ADDR	b7	b6	b5	b4	b3	b2	b1	b0
120h	OV7	OV6	OV5	OV4	OV3	OV2	OV1	OV0
121h	X	X	X	X	OV11	OV10	OV9	OV8

可以对这些地址进行通用的读写访问。器件上电时, 这些寄存器的内容自动从 10Ah/10Bh 地址装载。

位说明	位	定义
OVn: PIO 输出状态	—	PIO0 至 PIO11 的输出状态。OV0 对应于 PIO0, 依此类推。 示例: 如果 PIO 方向为输出, 0 → 低; 1 → 高
X: (未指定)	—	保留, 供以后使用。

**PIO 方向**

ADDR	b7	b6	b5	b4	b3	b2	b1	b0
122h	DIR7	DIR6	DIR5	DIR4	DIR3	DIR2	DIR1	DIR0
123h	X	X	X	X	DIR11	DIR10	DIR9	DIR8

可以对这些地址进行通用的读写访问。器件上电时，这些寄存器的内容自动从地址 10Ch/10Dh 装载。

位说明	位	定义
DIRn: PIO 方向	—	PIO0 至 PIO11 的方向。DIR0 对应于 PIO0，依此类推。 示例: 0 → 输出; 1 → 输入
X: (未指定)	—	保留, 供以后使用。

**PIO 读反相 (PIO0 至 PIO7)**

ADDR	b7	b6	b5	b4	b3	b2	b1	b0
124h	IMSK7	IMSK6	IMSK5	IMSK4	IMSK3	IMSK2	IMSK1	IMSK0

可以对该地址进行通用的读写访问。器件上电时，该寄存器的内容自动从地址 10Eh 装载。

位说明	位	定义
IMSKn: PIO 读取反相	—	PIO0 至 PIO7 的读反相位。IMSK0 对应于 PIO0，依此类推。 示例: 0 → 不反相; 1 → 反相

**PIO 读反相 (PIO8 至 PIO11), PIO 输出类型和输出模式**

ADDR	b7	b6	b5	b4	b3	b2	b1	b0
125h	OTM	OT3	OT2	OT1	IMSK11	IMSK10	IMSK9	IMSK8

可以对该地址进行通用的读写访问。器件上电时，该寄存器的内容自动从地址 10Fh 装载。

位说明	位	定义
IMSKn: PIO 读反相	b0 至 b3	PIO8 至 PIO11 的读反相位。PIM8 对应于 PIO8，依此类推。 示例: 0 → 不反相; 1 → 反相
OT1: 输出类型	b4	PIO0 至 PIO3 的输出类型; 示例: 0 → 推挽; 1 → 开漏
OT2: 输出类型	b5	PIO4 至 PIO7 的输出类型; 示例: 0 → 推挽; 1 → 开漏
OT3: 输出类型	b6	PIO8 至 PIO11 的输出类型; 示例: 0 → 推挽; 1 → 开漏
OTM: 输出模式	b7	PIO0 至 PIO11 的输出模式; 示例: 0 → 低电流, 同步转换; 1 → 高电流, 顺序转换

## PIO 读操作

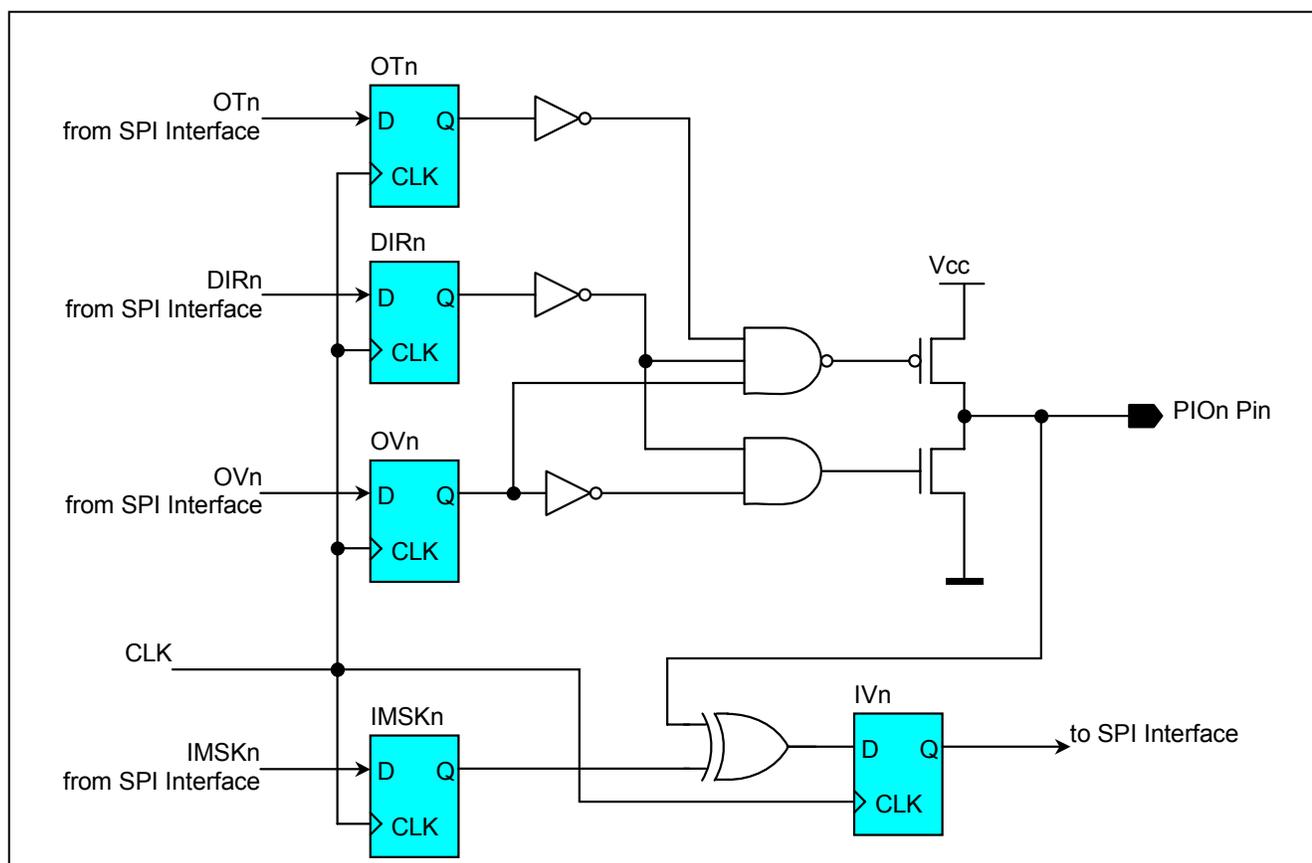
ADDR	b7	b6	b5	b4	b3	b2	b1	b0
126h	IV7	IV6	IV5	IV4	IV3	IV2	IV1	IV0
127h	0	0	0	0	IV11	IV10	IV9	IV8

这些地址只能进行读操作。地址 127h 的第 4 至 7 位的读数始终为 0。无论方向如何设定, 所有 PIO 均可进行读操作, 读数为引脚的逻辑状态, 可能与 PIO 输出寄存器的数值不同。

位说明	位	定义
IVn: PIO <sub>n</sub> 的输入值	—	PIO <sub>0</sub> 至 PIO <sub>11</sub> 引脚的逻辑状态读数。IV <sub>0</sub> 对应于 PIO <sub>0</sub> , 依此类推 示例: IV <sub>n</sub> = PIO <sub>n</sub> 异或 IMSK <sub>n</sub>

图 4 显示了 PIO 的简化原理图。通过 PIO 输出状态(OV<sub>n</sub>)和读操作(IV<sub>n</sub>)寄存器以及存储器空间 122h 至 125h (DIR<sub>n</sub>, IMSK<sub>n</sub>, OT<sub>n</sub>)访问单稳态触发器的状态。这些触发器在上电或刷新(参考 SPI 接口部分)时, 按照存储器 10Ah 至 10Fh 存储的数据进行初始化。如果 PIO 配置为输入, 其输出为三态(高阻态)。如果 PIO 配置为输出, 输入与输出和相应读反相位的异或结果相同。PIO 在低电流模式和高电流模式下的差异在本文档接近尾声的 PIO 读/写访问部分介绍。

图 4. PIO 简化原理图



## RTC 和日历寄存器

ADDR	b7	b6	b5	b4	b3	b2	b1	b0
129h	0	秒(十位)			秒(个位)			
12Ah	0	分(十位)			分(个位)			
12Bh	0	12/24	小时 (十位)	小时 (十位)	小时(个位)			
			A/P					
12Ch	0	0	0	0	0	星期		
12Dh	0	0	天(十位)		天(个位)			
12Eh	0	0	0	月(个位)				
12Fh	年(10 位)				年(个位)			

这些空间可以进行通用的读写访问，显示为 0 的位不能被写为 1。当电池电压上电时，RTC 和日历寄存器均复位至 00h，写操作迅速使能。为了防止写访问过程中不可预测的增量，应首先更新秒；这样可以形成一个 1 秒窗口，保证在更新 RTC/日历寄存器过程中不会出现秒进位。每当 DS28DG02 收到 SPI 读指令，将 RTC 和日历寄存器拷贝至缓冲器。在读操作过程中，地址指针指向 RTC/日历寄存器，数据从缓冲器传出。为了获取最精确的 RTC 数据，应从秒寄存器开始读起。

RTC/日历寄存器中的数值以 BCD 码表示。RTC 可以以 12 小时 AM/PM 制式或 24 小时制式工作。“12/24”位 (12Bh 地址的第 6 位)定义使用哪种制式。12 小时 AM/PM 制式下，该位设为 1；12Bh 地址的第 5 位表示 AM (0b)或者 PM (1b)。24 小时制式下，第 5 位和第 4 位一起表示小时的十位数。星期寄存器从 1 到 7。日历逻辑电路设计为闰年自动补偿。每当年限数值为 00 或者 4 的倍数时，器件将二月份的天数增加到 29 号。该器件能正确工作至 2100 年（但不包括这一年）。

## RTC 闹钟寄存器

ADDR	b7	b6	b5	b4	b3	b2	b1	b0
130h	AM1	秒(十位)			秒(个位)			
131h	AM2	分(十位)			分(个位)			
132h	AM3	12/24	小时 (十位)	小时 (十位)	小时(个位)			
			A/P					
133h	AM4	DY/DT	0	0	0	星期		
			日期(10 位)		日期(个位)			

这些地址可以进行通用的读写访问，显示为 0 的位不能被写为 1。当电池电压上电时，RTC 闹钟寄存器均复位至 00h。只有在闹钟寄存器和 RTC 寄存器相等时才产生闹钟。地址 130h 至 132h 的闹钟寄存器与地址 129h 至 12Bh 的 RTC 寄存器相对应；6:0 位进行比较。如果 DY/DT 为 1，133h 地址的低 6 位对应于 12Ch，如果 DY/DT 为 0，则对应于 12Dh；该寄存器的高 2 位不参与比较。控制位 AM1、AM2、AM3 和 AM4 决定开启闹钟的频率，如表 1 所示。启动闹钟后，地址 135h 的闹钟和状态寄存器的 CLKA 位为 1。器件在 RTC 运行时才能启动 RTC 闹钟(地址 134h 的 OSCE = 1)。

表 1. 闹钟开启频率控制

DY/DT	AM4	AM3	AM2	AM1	ALARM OCCURRENCE
X	X	X	X	1	Every second
X	X	X	1	0	Every minute, when the seconds match
X	X	1	0	0	Every hour, when minutes and seconds match
X	1	0	0	0	Every day, when hours, minutes, and seconds match
1	0	0	0	0	Every week, when day, hours, minutes, and seconds match
0	0	0	0	0	Every month, when date, hours, minutes, and seconds match

## 多功能控制/设置寄存器

ADDR	b7	b6	b5	b4	b3	b2	b1	b0
134h	0	BME	BTRP		WDOS	WDE	OSCE	CAE

该寄存器允许通用的读写访问。第 7 位的读数始终为 0，不能写为 1。当电池电压上电时，该寄存器均复位至 00h。有关 CAE、WDE、WDOS 和 BME 位的使用请参考图 5，ALMZ、RSTZ 和 WDOZ 信号。

位说明	位	定义
CAE: 时钟信号使能	b0	RTC/日历闹钟的使能/关闭控制。 示例: 0 → 关闭(上电默认); 1 → 使能
OSCE: RTC 振荡器使能	b1	RTC 32kHz 振荡器的运行/停止控制。 示例: 0 → 停止(上电默认); 1 → 运行
WDE: 看门狗使能	b2	看门狗和闹钟功能的使能/关闭控制。 示例: 0 → 关闭(上电默认); 1 → 使能 看门狗定时器通过 WDE 从 0 跳变到 1、V <sub>CC</sub> 电压上升(上电复位) 或 WDI 引脚的正脉冲进行复位。
WDOS: 看门狗 输出选择	b3	看门狗报警信号的引脚选择。 示例: 0 → WDOZ 引脚(上电默认); 1 → ALMZ 引脚
BTRP: 电池监测门限	b5:b4	电池电压监测门限的选择。 示例: 00b → 1.75V(上电默认); 01b → 2.00V; 10b → 2.25V; 11b → 2.50V
BME: 电池监测使能	b6	电池监测和闹钟功能的使能/关闭控制。 示例: 0 → 关闭(上电默认); 1 → 使能 电池检测产生于 a) BME 变为 1 后, b) V <sub>CC</sub> 上电之后, c) 每小时整点。 RTC 必须运行(OSCE = 1)才能进行该项电池检测功能。

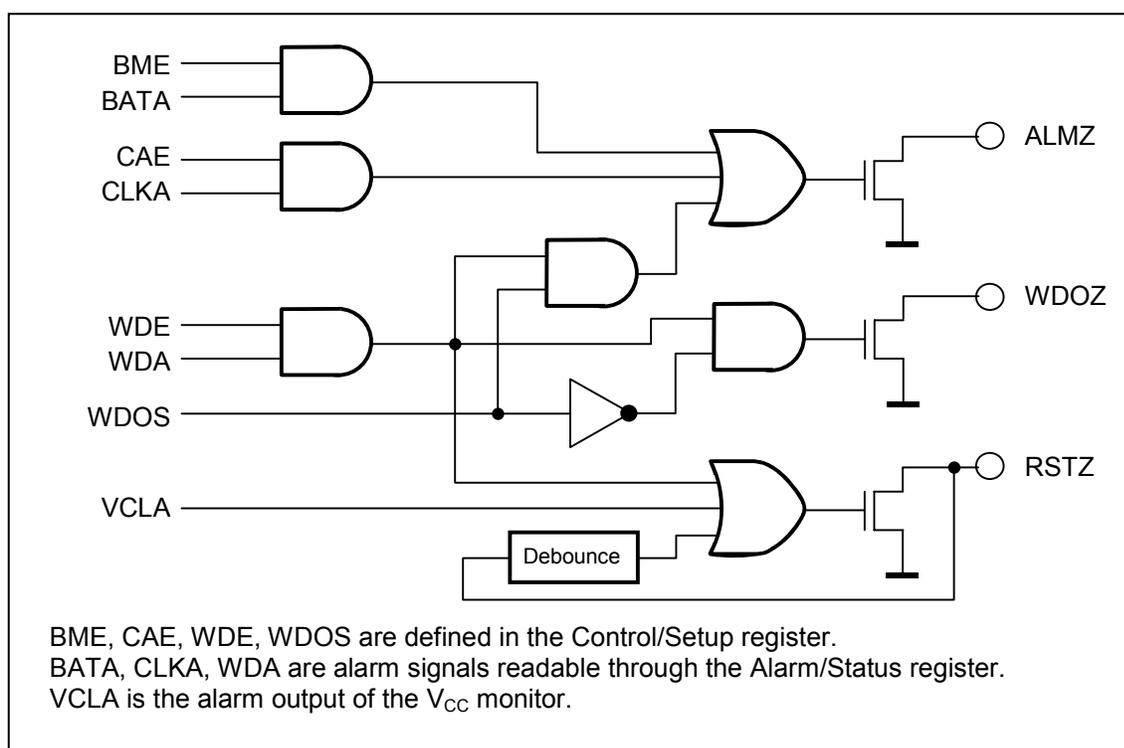
## 闹钟和状态寄存器

ADDR	b7	b6	b5	b4	b3	b2	b1	b0
135h	0	BATA	WPZV	POR	BOR	CLKA	WDA	RST

该地址寄存器可进行通用的读访问; 写操作将所有位清 0, 7 位读数始终为 0。有关 CLKA、WDA 和 BATA 位的使用请参考图 5, 产生 ALMZ、RSTZ 和 WDOZ 信号。

位说明	位	定义
RST: 复位标志	b0	RSTZ引脚激活指示; 每当RSTZ输出脉冲时置位; 通过写报警和状态寄存器清零。 V <sub>CC</sub> 上电: 1; V <sub>BAT</sub> 连接: 0
WDA: 看门狗闹钟	b1	看门狗报警指示; 在看门狗使能并且看门狗定时器超时时置位; 通过写报警和状态寄存器清零。 V <sub>CC</sub> 上电: 0; V <sub>BAT</sub> 连接: 0
CLKA: 时钟闹钟	b2	RTC/日历闹钟指示; 在定时闹钟使能的情况下, 一旦RTC与RTC闹钟寄存器的数值相等, 该位置位; 通过写闹钟和寄存器状态寄存器清零。 V <sub>CC</sub> 上电: 0; V <sub>BAT</sub> 连接: 0
BOR: 电池上电复位标志	b3	电池连接指示; 当V <sub>BAT</sub> 的电压上升到V <sub>BATmin</sub> 以上时置位; 通过写闹钟和状态寄存器清零。 V <sub>CC</sub> 上电: 无影响; V <sub>BAT</sub> 连接: 1
POR: 上电复位标志	b4	上电复位指示; 每当V <sub>CC</sub> 电压上升到V <sub>CCmin</sub> 以上时置位; 通过写闹钟和寄存器状态寄存器清零。 V <sub>CC</sub> 上电: 1; V <sub>BAT</sub> 连接: 0
WPZV: 硬件写保护	b5	WPZ引脚的状态读数; 报告WPZ引脚的逻辑状态; V <sub>CC</sub> 上电: WPZ引脚状态; V <sub>BAT</sub> 连接: 无影响。
BATA: 电池报警	b6	低电池电压指示; 在电池电压报警使能的情况下, 一旦检测到电池V <sub>BAT</sub> 电压低于设定的V <sub>BAT</sub> 门限, 该位置位; 通过写报警和状态寄存器清零。 V <sub>CC</sub> 上电: 如果BME = 1, 检测电池; V <sub>BAT</sub> 连接: 0

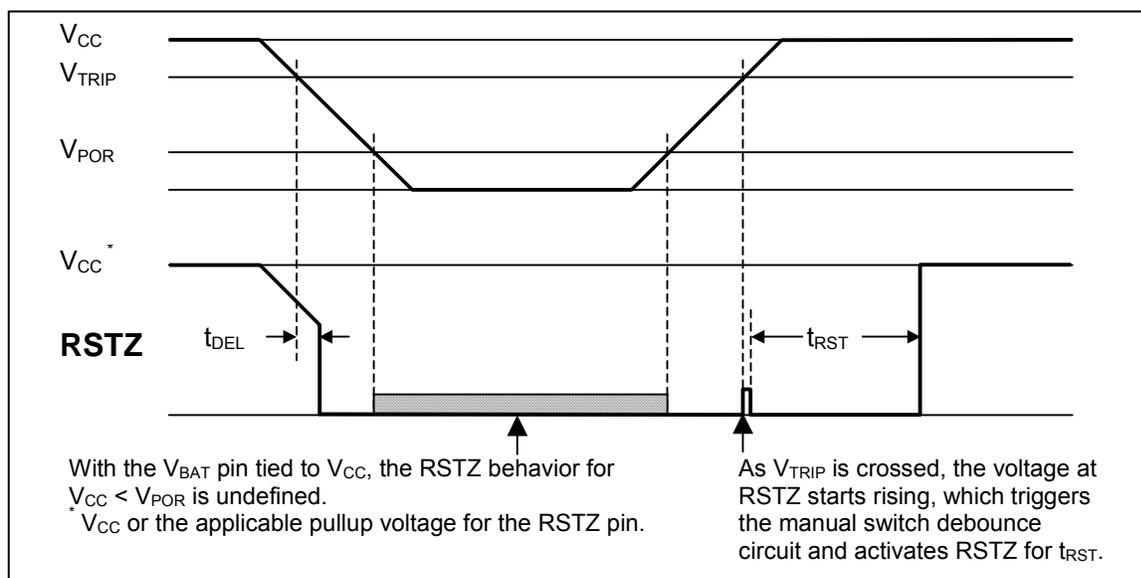
图 5. 产生 ALMZ、WDOZ 和 RSTZ



## 监测功能

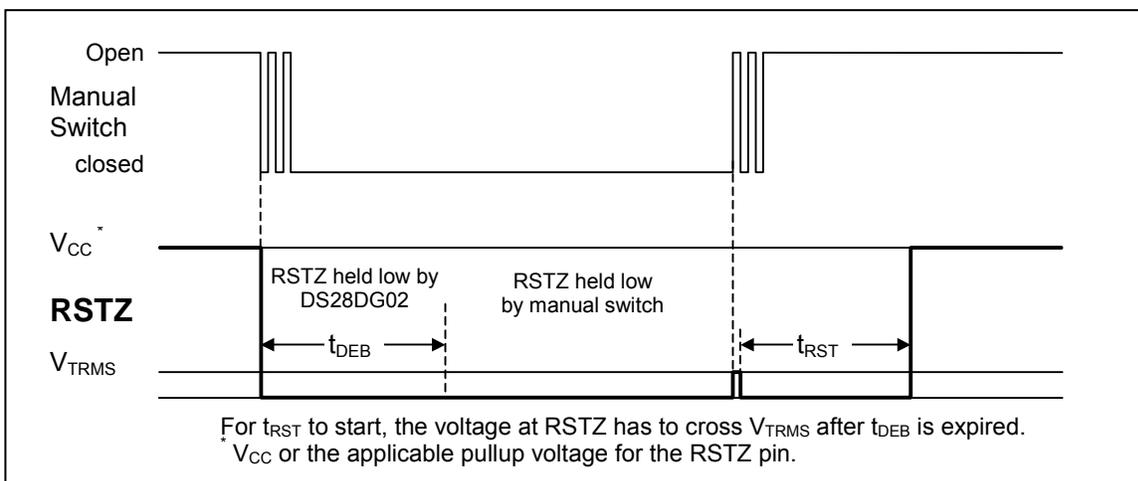
DS28DG02 有两个电压监测器: 一个监测 $V_{CC}$ 电压, 另一个监测 $V_{CC}$ 掉电时为RTC及相应寄存器供电的电池电压。如果 $V_{CC}$ 跌落到 $V_{TRIP}$ 门限以下,  $V_{CC}$ 检测开启漏极开路RSTZ输出, 如图 6 所示。从电压到达门限值到RSTZ拉低有一个延时 $t_{DEL}$ 。只要 $V_{CC}$ 高于 $V_{POR}$ 或器件有备用电池, RSTZ的逻辑电平不会超过 $V_{OLmax}$ 。没有电池时,  $V_{CC}$ 值低于 $V_{POR}$ 时, RSTZ输出未定义。 $V_{CC}$ 上电时, RSTZ在 $V_{CC}$ 电压达到 $V_{TRIP}$ 门限以前保持低电平。 $V_{CC}$ 超过 $V_{TRIP}$ 后, RSTZ电压上升至 $V_{TRMS}$ , 手动复位释放门限。这将开启去抖电路, RSTZ在 $t_{RST}$ 时间内保持低电平;  $t_{RST}$ 期限后, RSTZ电压上升至系统上拉电压。

图 6. RSTZ 电源失效复位



RSTZ引脚从内部连接到去抖电路, 能够通过按钮产生复位信号, 图 7 显示了手动复位的时序。按钮闭合, 使RSTZ引脚的电压降至 $V_{ILmax}$ 以下, 开启去抖电路。此时, 手动控制按钮和去抖电路共同将RSTZ引脚电压保持在逻辑低电平。一旦手动按钮释放或 $t_{DEB}$ 超时(不论后来发生哪个条件), RSTZ电压上升至 $V_{TRMS}$ , 重新开启去抖电路, RSTZ保持 $t_{RST}$ 时间后, 引脚电压上升到上拉电压。手动复位的最小时间为 $t_{DEB} + t_{RST}$ 。

图 7. RSTZ 手动开关去抖

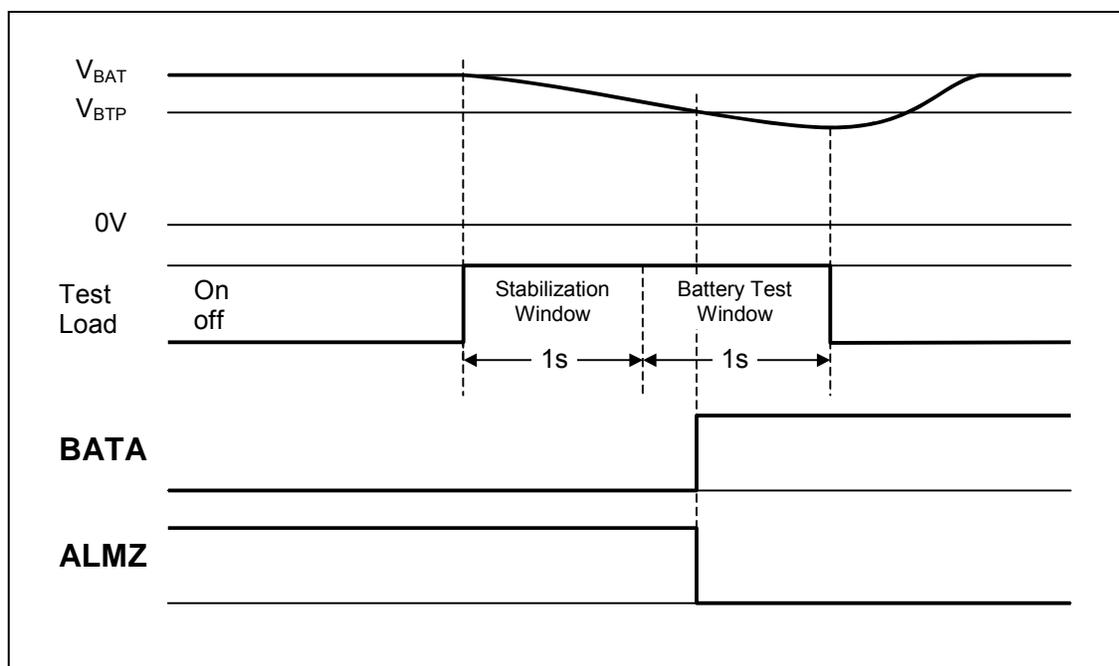


与 $V_{CC}$ 监测不同的是, 电池检测每小时只工作 2 秒钟, 并且需要在通过多功能控制/设置寄存器的BME位使能后才工作。除上述条件外, 还必须有足以支持DS28DG02 的 $V_{CC}$ 电源, RTC必须处于运行状态(OSCE = 1)。电池检测在a) 电池监测使能后马上运行; b) 如果已使能, 在每个整点时刻进行检测; c)  $V_{CC}$ 上升到 $V_{POR}$ 后立即检测, 详细说明如图 8 所示。

电池检测过程开始时, DS28DG02 内部在 $V_{BAT}$ 引脚连接测试负载, 如果电池电量接近于耗尽状态时, 额外的负载将会导致电池电压跌落到电池电压门限 $V_{BTP}$ 以下。经过稳定窗口时间后, 将实际电池电压与电池电压门限进行比较。如果开始阶段或在电池检测窗期间电池电压跌至 $V_{BTP}$ 以下, 报警和状态寄存器的电池报警标志BATA置位, 激活 ALMZ 输出。BATA标志在 a) 更换电池, 或 b) 写报警和状态寄存器时清零。BATA置位后, 在后续的电池检测中, 例如, 一小时后或DS28DG02 上/下电时, 即使电池电压高于 $V_{BTP}$ , BATA位也不会清零。所以, 须注意更换电池时复位RTC并清零多功能控制/设置寄存器。

电池检测只有按期工作才能发挥作用。设备长时间掉电会完全耗尽电池, 并且不会收到任何预警。为防止这种情况发生, 使用电池检测功能的设备应当定期上电, 例如, 每月一次, 以完成电池检测。

图 8. 电池检测操作



## SPI 接口

DS28DG02 是从器件, 通过串行 SPI 接口与主器件 (微控制器)通信。该接口利用 CSZ (片选)、SCK (位传输时钟)、SI (串行输入)和 SO (串行输出)等信号进行数据传输。SPI 器件通常还有 WPZ 输入 (写保护), 该输入能够保护 SPI 状态寄存器中的非易失位, 避免意外的变化。

## 引脚说明

### 片选 (CSZ)

CSZ 引脚的低电平选择器件; 高电平则不选择器件。在一个正确的 EEPROM 写时序后, CSZ 从低至高的跳变开启内部的编程周期。编程周期一旦开始或在进行过程中, 不论 CSZ 输入信号如何, 都将持续到完成为止。取消器件选择时, SO 变为高阻, 允许多个器件共享同一 SPI 总线。上电后, 任何时序开始之前, 必须将 CSZ 拉低。DS28DG02 接收或传输数据过程中, CSZ 引脚必须保持低电平。

### 串行时钟 (SCK)

SCK 用于同步主器件和 DS28DG02 之间的通信。通过 SI 引脚发出的指令、地址或数据在时钟的上升沿锁存, SO 引脚的数据在时钟输入的下降沿之后更新。

### 串行输入(SI)

SI 引脚用于向器件传输数据, 通过该引脚接收指令、地址和数据。数据在串行时钟的上升沿锁存。

### 串行输出 (SO)

SO 引脚用于从 DS28DG02 输出数据。读操作中, 数据在串行时钟的下降沿后移至该引脚。

### 写保护(WPZ)

如果使能 WPZ 引脚, 禁止写 SPI 状态寄存器的非易失位。出厂时, 默认 WPZ 功能关闭, 从而使用户可以在 WPZ 引脚接地时能够在系统中安装 DS28DG02, 写状态寄存器, 详细说明请参考工作原理。

## SPI 模式和位时序

SPI 协议规定传输字节时最高位在前。每次 SPI 通信均开始于至少一个字节的写从器件操作。从器件接收到的来自主器件的第一个字节被认为是指令。基于该指令, 从器件可能需要更多字节的数据, 例如, 地址和数据; 在读操作中, 接收到指令和地址后, 从器件开始发送数据给主器件。

SPI 协议有四种通信模式, 区别在于 SCK 信号的极性和相位。DS28DG02 支持 (0,0)模式和 (1,1)模式。这两种模式均在 SCK 的上升沿将数据锁存到从器件, 从器件在下降沿输出数据, 主器件在 SCK 上升沿输出数据。DS28DG02 通过检测 CSZ 使能 (高至低的变化) 时 SCK 的逻辑状态确定传输模式。所以, SCK 在 CSZ 下降沿时必须保持稳定, 图 9、图 10 详细说明这一过程。

这些图中的读时序开始于 DS28DG02 发送给主器件的第一位, 结束于主器件通过关闭 CSZ (低至高变化)结束通信。虚线表示读、写之间的转换, 最后一位命令或地址在 SCK 上升沿送入器件后, SO 在下降沿出现读数据的第一位。

图 9. SPI 时序, 模式(0,0)

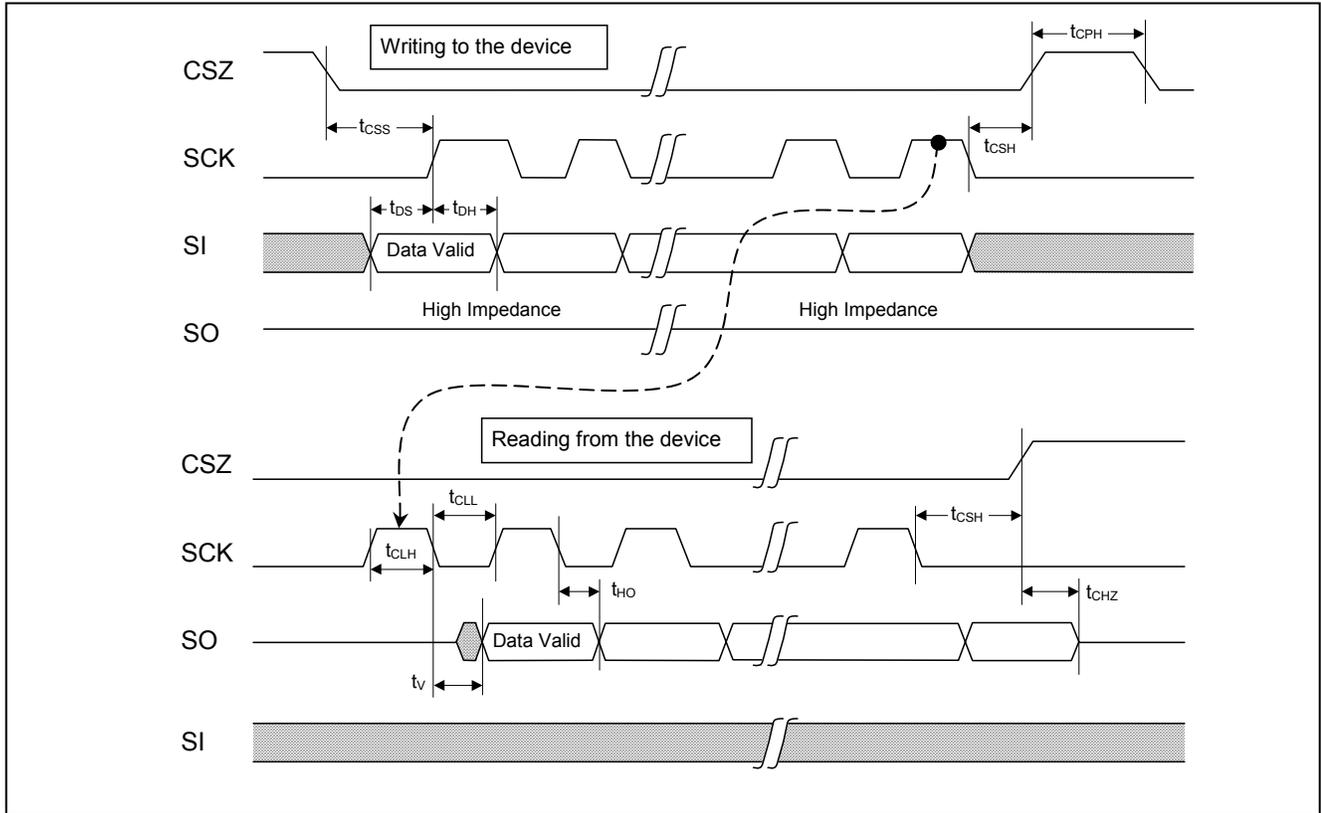
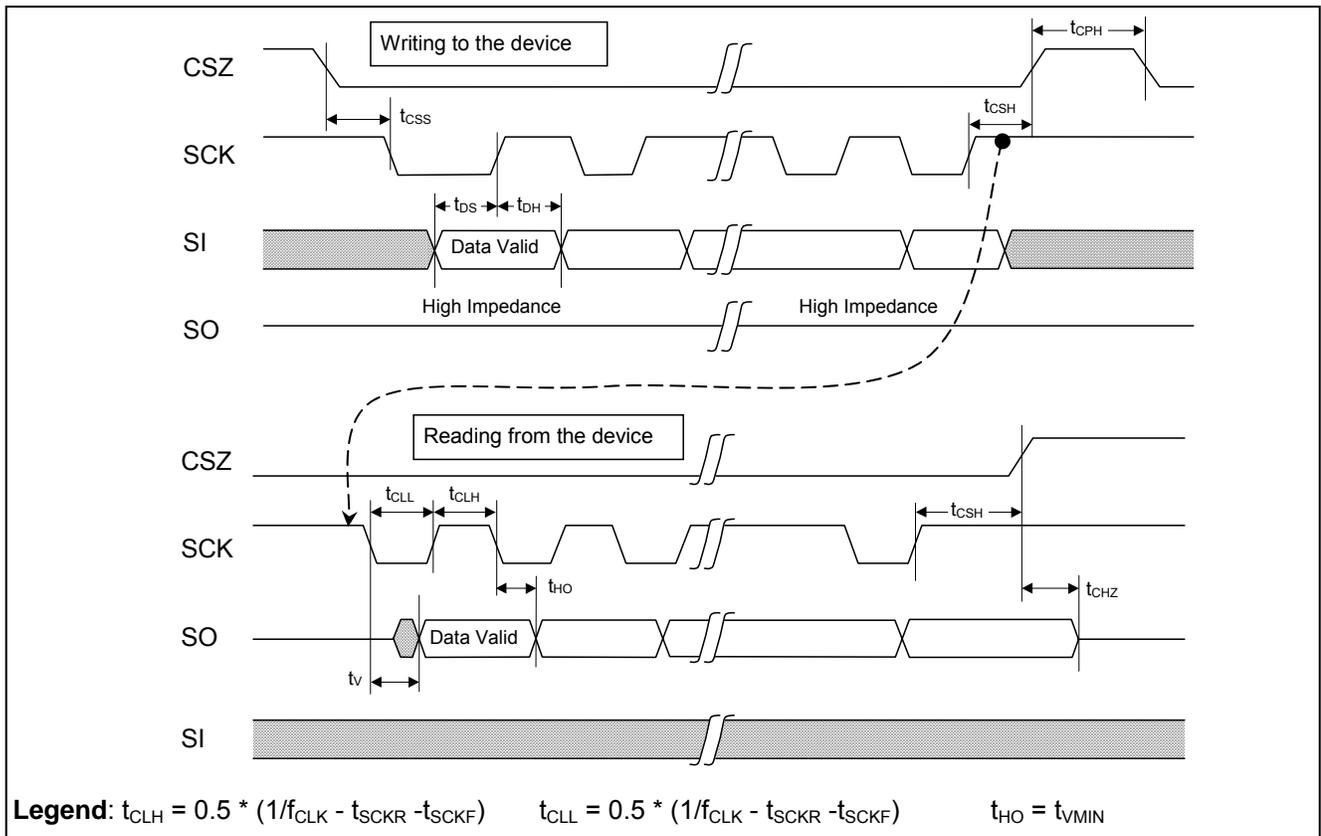


图 10. SPI 时序, 模式(1,1)



## 工作原理

CSZ 引脚的下降沿后, DS28DG02 从主器件收到的第一个字节数据被看作一个指令。DS28DG02 支持七种指令, 图 11 中归纳了这些指令。协议只才用单字节地址, 访问 100h 和更高地址时, 第 9 个地址位包含在指令码中, 以“X”表示。

图 11. SPI 指令设置

INSTRUCTION NAME	INSTRUCTION CODE	PROTOCOL	PURPOSE
WREN Write Enable	0000 0110b	Tx Instruction Code	To set the WEN bit in the SPI Status register. (Enable Writes to Memory)
WRDI Write Disable	0000 0100b	Tx Instruction Code	To clear the WEN bit in the SPI Status register. (Disable Writes to Memory)
WRSR Write Status Register	0000 0001b	Tx Instruction Code Tx SPI Status Byte	To update the SPI Status register.
RDSR Read Status Register	0000 0101b	Tx Instruction Code Rx SPI Status Byte	To read SPI Status register; to detect the end of an EEPROM write cycle.
RFSH Refresh Registers	0000 0111b	Tx Instruction Code	To update the SRAM registers at addresses 120h to 125h with their power-on default values without power-cycling.
WRITE Write to Memory	0000 X010b	Tx Instruction Code Tx Address Byte Tx Data Byte(s)	To write to the memory, register, PIOs, or the RTC, depending on the specified address.
READ Read Memory	0000 X011b	Tx Instruction Code Tx Address Byte Rx Data Byte(s)	To read from the memory, register, PIOs, or the RTC, depending on the specified address.

前四个指令与 SPI 状态寄存器有关, 该寄存器包括控制位和状态位。SPI 状态寄存器没有存储映像, 只能通过 SPI 指令更新。该寄存器用若干位控制一个配置, 防止器件中存储的数据被意外覆盖:

- 写保护位 WEN 需要在写指令之前通过写使能指令置位, 在成功执行完一个写指令后, WEN 位自动清零。
- SPI 状态寄存器的 b7:b2 (非易失位) 硬件写保护通过写保护使能位 WPEN 和 WPZ 引脚的逻辑状态控制。
- 写保护位用于存储器块以及 120h 和更高地址的寄存器。

在表 2 总结了 WEN、WPEN 和 WPZ 的组合效果, SPI 状态寄存器位的功能描述请参考图 12。

表 2. 写保护

WEN BIT	WPEN BIT	WPZ PIN	SPI STATUS REGISTER	MEMORY
0	x	x	Write-protected (because WEN = 0).	Write-protected (because WEN = 0).
1	0	x	Writeable (because WPEN = 0).	Conditional write access: BP1:BP0 control protection of addresses 00h to FFh. RPROT controls protection of addresses 120h and higher.
1	1	0	Write-protected (because WPEN = 1 AND the WPZ pin is at logic 0).	
1	1	1	Writable (because WPEN = 1 AND the WPZ pin is at logic 1).	

图 12. SPI 状态寄存器

ADDR	b7	b6	b5	b4	b3	b2	b1	b0
N/A	WPEN	RPROT	WD1	WD0	BP1	BP0	WEN	RDYZ

位说明	位	定义
RDYZ: 就绪(只读位)	b0	表示是否正在进行 EEPROM 写周期。 示例: 0 → 就绪(正常状态); 1 → 写周期进行中
WEN: 写使能(只读位)	b1	表示器件是否可以接收写指令; 通过 WREN 指令置位; 通过 WRDI 指令或完成一次有效的写操作或 WRSR 指令后清除。 示例: 0 → 写禁止 (上电默认); 1 → 写使能
BP1:BP0: 存储器块写保护	b3:b2	这些位指定对四个用户存储器块中的哪一块进行写保护 (与 WPEN 和 WPZ 无关)。 示例: 00b → 不保护 (工厂默认) 01b → 保护第 3 块存储区 (0C0h 至 0FFh) 10b → 保护块第 2、3 块存储区 (080h 至 0FFh) 11b → 保护第 0 至 3 块存储区 (000h 至 0FFh)
WD1:WD0: 看门狗超时	b5:b4	这些位设定看门狗使能(地址 134h 的 WDE = 1)时的超时周期。 示例: 00b → 1.64s (工厂默认); 01b → 820ms 10b → 410ms; 11b → 200ms 这些为正常值; 容差请参考 Electrical Characteristics。
RPROT: 寄存器保护	b5	指定 120h 以及更高地址是否进行写保护 (与 WPEN 和 WPZ 无关)。 示例: 0 → 未保护 (工厂默认); 1 → 保护
WPEN: 硬件写保护使能	b7	指定 SPI 状态寄存器的 b7:b2 (非易失位)是否可写, 或 WPZ 引脚状态是否控制写保护。 示例: 0 → 可写 (工厂默认) 1 → 写保护由 WPZ 引脚状态控制 如果 WPEN = 1 并且 WPZ 引脚状态为 0, SPI 状态寄存器被写保护, WRSR 指令无效。

## 详细说明 — SPI 指令设置

### WREN 写使能

进行器件写操作之前, 必须将 SPI 状态寄存器中的 WEN 置位。将该位置位的唯一方法是写使能指令。WEN 位在器件上电、完成一次写操作指令 (WRSR 或 WRITE)时清零或通过 WRDI 清零。图 13 显示了两种 SPI 通信模式下该指令的时序图。

### WRDI 写禁止

WRDI 指令可以清零 SPI 状态寄存器的 WEN 位, 比如, 用于一次不成功的写访问指令后。图 14 显示了两种 SPI 通信模式下该指令的时序图。

图 13. 写使能

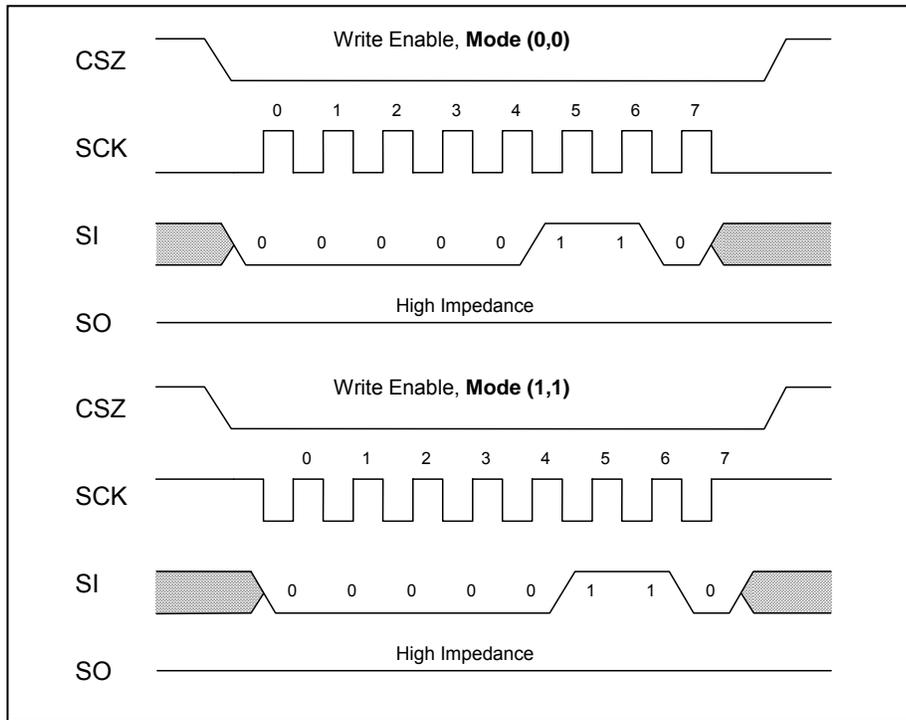
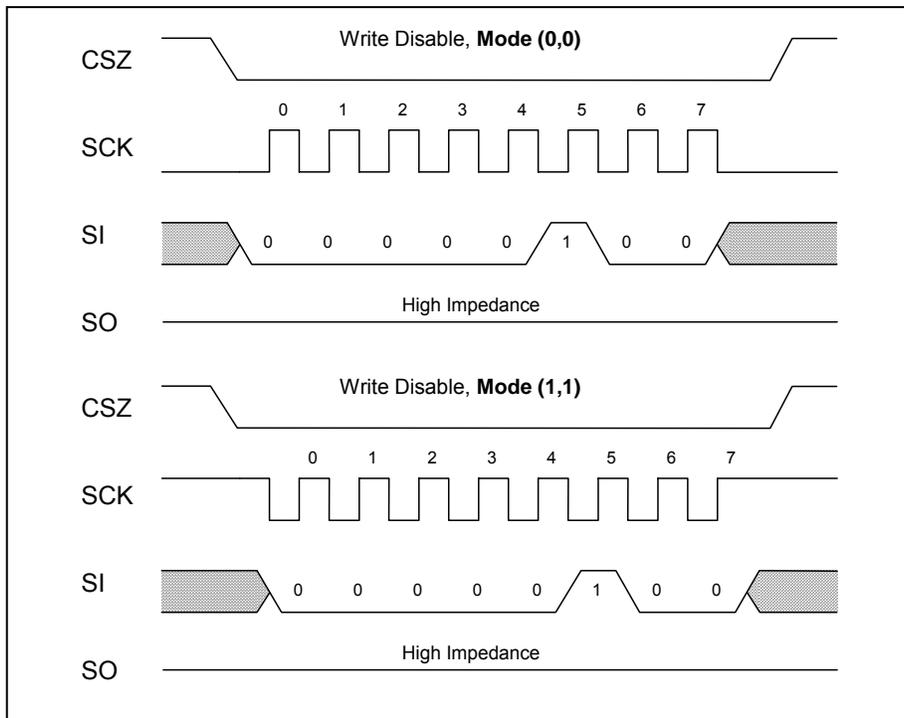


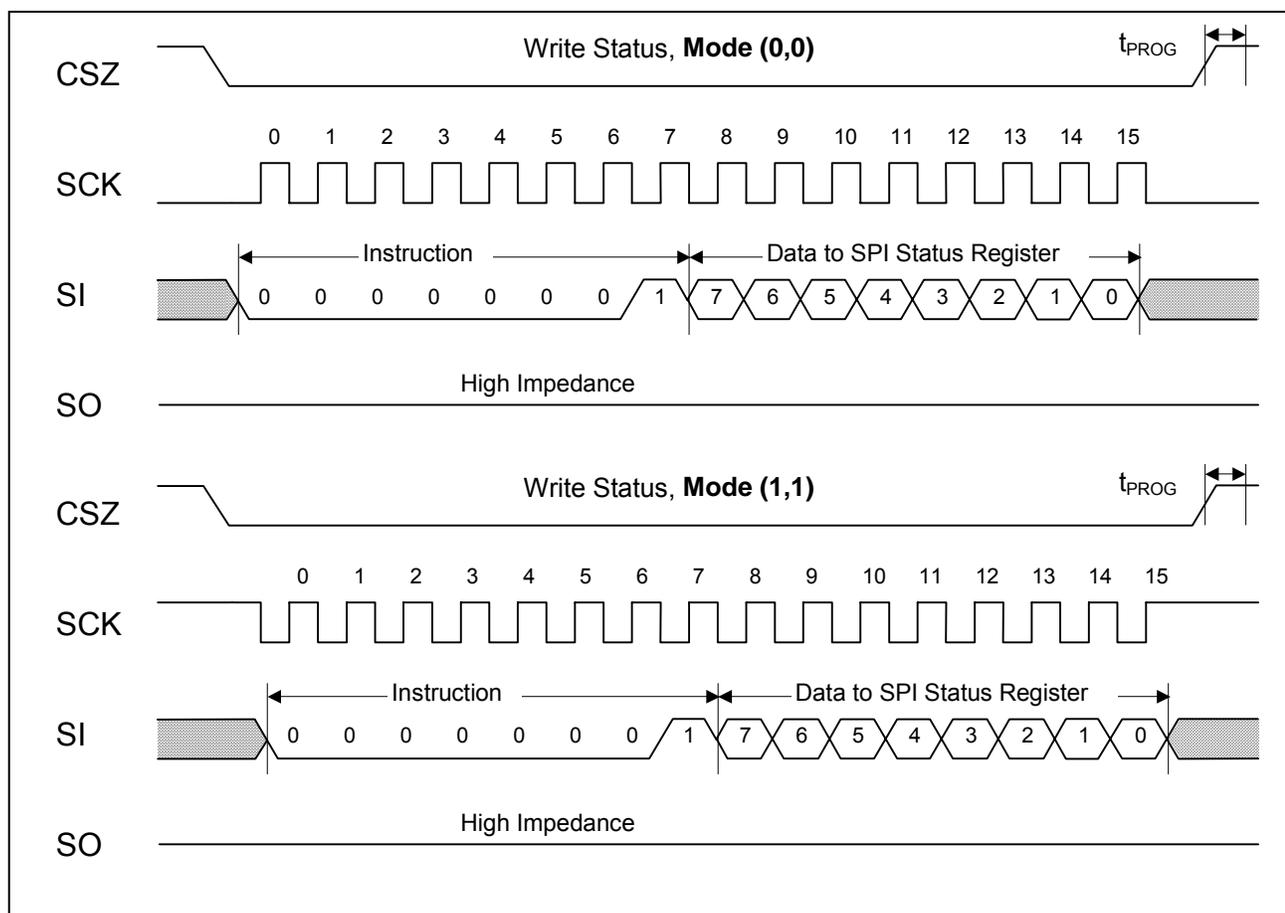
图 14. 写禁止



## WRSR 写 SPI 状态寄存器

WRSR 指令是更新SPI状态寄存器中非易失位(b7: b2)的唯一途径。图 12 详细描述了非易失位及其功能。如表 2 列出的写保护所示, 为成功进行状态寄存器的写操作, 需要以下预处理: WEN位必须为 1 并且WPEN 位为 0 或WPEN 以及WPZ引脚的逻辑状态均为 1。图 15 显示了两种SPI模式下的WRSR时序, 该图假设指令后只跟随一个字节的的数据。如果指令后跟随多个字节的数据, 这些数据的最后一个字节用于更新SPI状态寄存器。如果SPI状态寄存器没有进行写保护, 并且WEN 位为 1, 写操作 (传输至 EEPROM)开始于CSZ引脚的上升沿。写周期持续时间为 $t_{PROG}$ , 在此期间, SPI状态寄存器的RDYZ位读数为 1。写周期完成后, WEN位清零。发送WRSR 指令前, 如果SPI状态寄存器写保护, 或者WEN未被置 1, CSZ端的上升沿不会启动写周期, WEN位也不会清零。不论指令中的地址位如何, WRSR以后的第一次读存储器操作总是发送 100h和更高地址的数据。

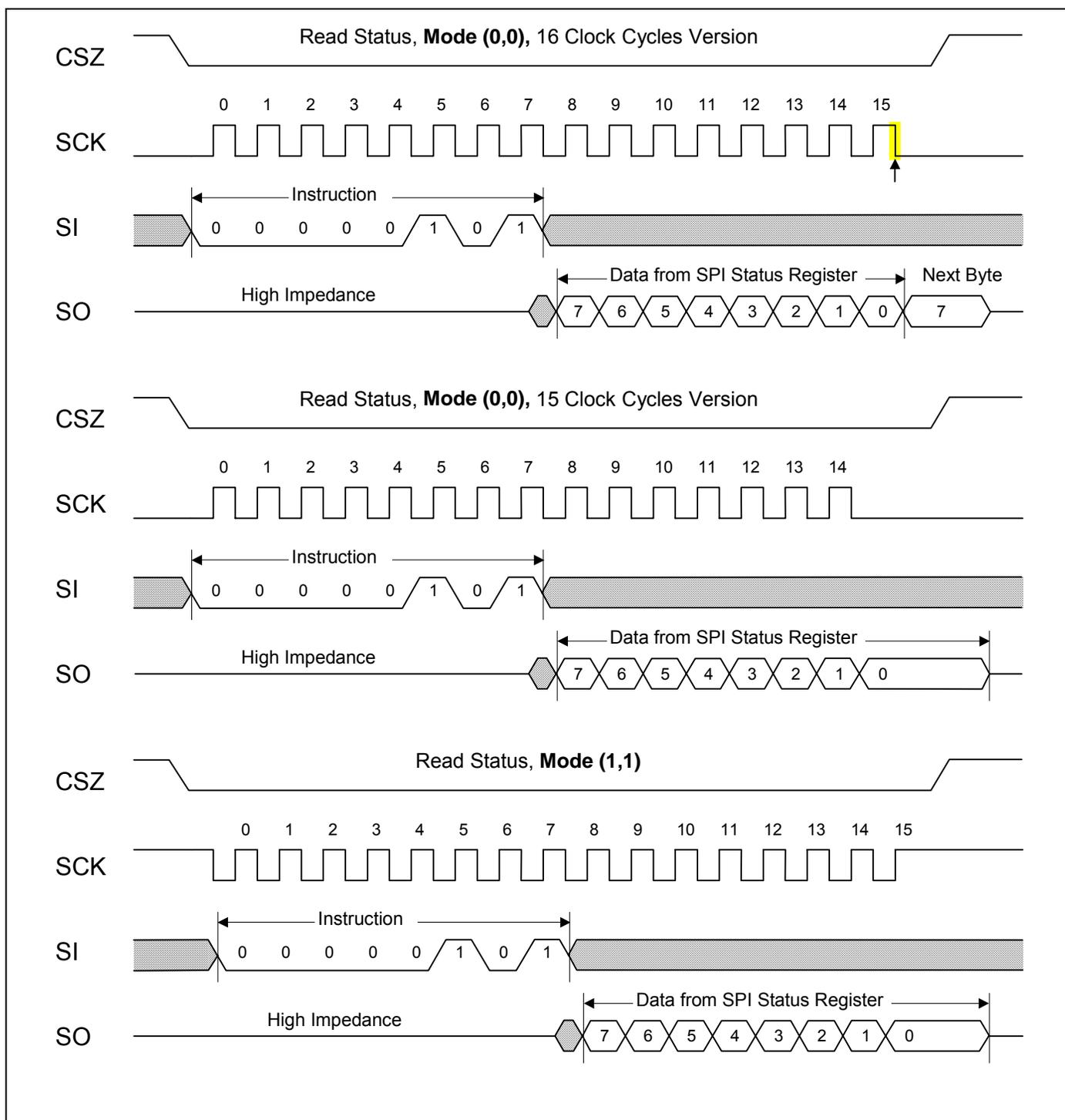
图 15. 写 SPI 状态寄存器时序



## RDSR 读 SPI 状态寄存器

RDSR 是 DS28DG02 唯一在任何时候都能接收并执行的指令, 即使在 EEPROM 写周期正在进行时也能接收并执行该指令, 图 12 详细说明了 SPI 状态寄存器。除了保证 SPI 状态寄存器的正常读操作外, 该指令主要用于主器件对 RDYZ 位的测试, 该位表示 EEPROM 写周期是否结束。图 16 显示了两种 SPI 通信模式下的 RDSR 时序图。通过 RDSR 指令报告的 RDYZ 状态在传输状态字节的最低有效位的 SCK 下降沿更新 (在图 16 模式(0,0)的 16 时钟周期中加了特别标记)。允许主器件通过产生额外的 SCK 脉冲重复读取 SPI 状态寄存器, 无需重新发送指令。RDSR 指令在 CSZ 端的上升沿结束。

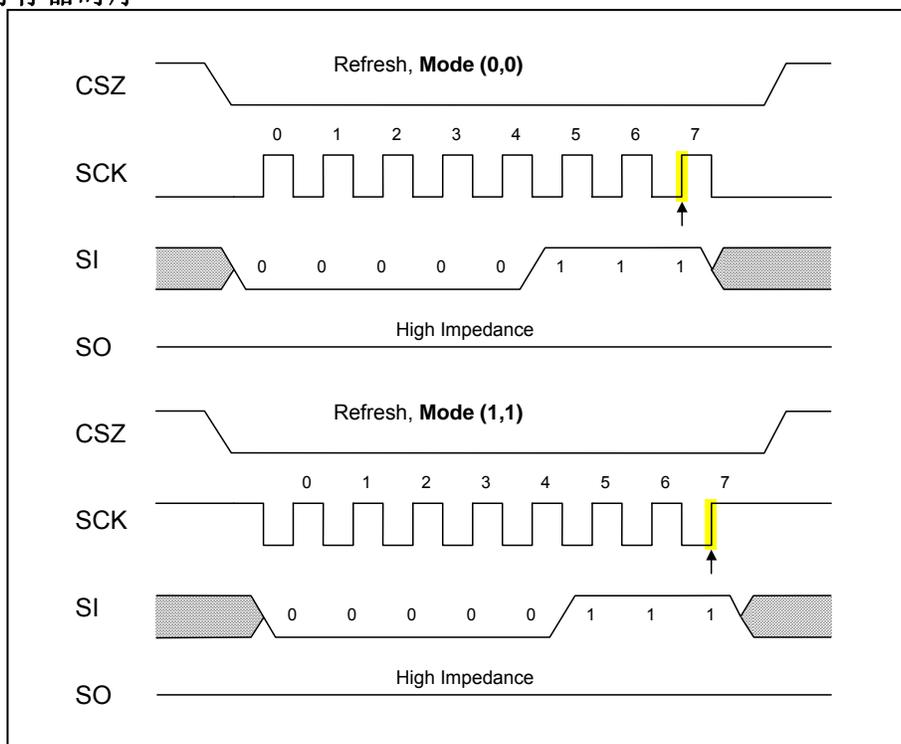
图 16. 读 SPI 状态寄存器时序



## RFSH 刷新 PIO 寄存器

器件上电时, 地址 120h至 125h与PIO相关的易失寄存器表现为存储在EEPROM的上电默认值。对主器件来说, 无需DS28DG02 重新上电即可快速恢复上电状态的方法是利用RFSH指令, 图 17 给出了两种SPI通信模式下的RFSH时序图。在指令码最后一位送入器件后开始恢复PIO 寄存器 (特别标注的SCK沿), 经过上电等待时间 ( $t_{POIP}$ )后结束。

图 17. 刷新 PIO 寄存器时序



## WRITE 写存储器和 PIO

从主器件端看, DS28DG02 相当于一个存储器件, 由 EEPROM、SRAM 和 ROM 等存储器组成。根据不同的存储类型, 器件接收写指令后的表现也不同, 表 3 列出了需要区别的情况。

表 3. 写操作情况

STARTING ADDRESS	DESCRIPTION
000h to 0FFh	User memory (can be write-protected through BP1:BP0).
100h to 10Fh	EEPROM registers (reserved and power-on default values, no write-protection).
110h to 11Fh	Read-only memory.
120h to 135h	SRAM, PIO, and NV SRAM (may be write-protected through RPROT).
136h to 1FFh	Nonexisting memory.

4 块用户存储器均由 16 段组成, 每段 16 字节。第 1 段始于地址 000h, 结束于地址 00Fh; 第 2 段的范围为 010h至 01Fh, 依此类推。接收到目标为用户存储器的写指令后, 地址之后的所有数据均写入一个 16 字节的缓存器, 起始偏移取决于目标地址的最低 4 位。该缓存器以寻址地址的 16 字节 EEPROM 数据进行初始化 (预装载), 接收数据后取代预装载数据。收到每个字节后, 缓存器的写指针递增。允许用户更新段内从任何地址开始的 1 至 16 个字节。写指针指向最大值 1111b 时, 如果收到额外数据, 指针将返回原点 (翻转), 新数据从 EEPROM 写缓存器的始端写入。如果目标存储器未加写保护, 并且 SPI 状态寄存器的 WEN 位为 1, 主机发出的位数为 8 的倍数 (只能为完整字节), 写操作 (从缓存器到 EEPROM) 在 CSZ 的上升沿开始。写周期的持续时间为  $t_{PROG}$ , 在此期间, SPI 状态寄存器的 RDYZ 位读数为 1。写周期完成后, WEN 位清零。如果目标存储器写保护, 或者发出写指令之前 WEN 未被置 1, 或地址字节后的数据位数不是 8 的倍数, CSZ 的上升沿不会启动写周期, WEN 位不清零。

6 个 EEPROM 寄存器与保留地址一起组成另外一个存储段, 对该段的写操作与用户存储器的操作基本相同, 区别在于: 主机发送给该段的前 10 字节的数据被丢弃。只有在 SPI 状态寄存器的 WEN 位为 1, 同时从主机发送的位数是 8 的倍数 (只能为完整的字节), 并且至少有一个 EEPROM 字节被更新时才执行写操作。如果收到写指令前 WEN 没有置 1, 或地址字节后的数据位不是 8 的倍数, 或主机发送的所有目标地址不可写, CSZ 的下降沿不会触发写周期, WEN 位不清零。

对 SRAM、PIO 和 NV SRAM 的写操作不经过写缓存器, 如果 WEN 位为 1 并且 RPROT = 0, 同时目标地址可写, 则目标地址后的数据字节在传输完毕后立即生效。地址指针在每个数据字节后递增, 将后续字节指向下一个地址。如果目标地址为只读, 该地址的数据被抛弃。135h 地址更新后, 地址指针跳回 120h, 主器件可以继续发送数据。写操作终止于 CSZ 的上升沿。如果最后一个字节没有完成, 将被忽略。只有在至少有一个字节写入可写地址时, WEN 位才清零。如果 RPROT = 1, 存储器不更新, WEN 保持置位。RTC 应该从秒寄存器开始更新, 如果指令码后起始目标地址指向 PIO 输出状态寄存器 (地址 120h 或 121h), 并 PIO 输出模式下 OTM 为 0 (小电流), 数据字节传输完毕后, 地址指针在 120h 和 121h 之间反复切换。使用户可以进行快速的 PIO 更新, 例如, 产生数据模板。OTM = 1 (大电流)时, 地址指针增加至下一个高地址。PIO 更新时序图和小电流模式、大电流模式下的区别请参考 PIO 读/写操作部分。

当写指令的地址指向只读存储器或不存在的存储器时, 所有数据将被丢弃, 不产生写操作或数据更新。写访问不成功时, SPI 状态寄存器的 WEN 位不清零。

为成功进行写操作, 需如下预处理: SPI 状态寄存器的 WEN 位必须为 1。必须在 WRITE 指令之前, 通过 WREN 指令置位 WEN。两种 SPI 通信模式下的写时序如图 18 (单字节写)和图 19 (多字节写)所示。编程时间  $t_{\text{PROG}}$  只适用于 EEPROM 写操作。在 SPI (0,0) 模式下, 写 SRAM、PIO 和 NV SRAM 时, 数据字节在最后 1 位 SCK 的下降沿送入目标存储器。SPI 模式 (1,1) 下, 除了最后一个字节外, 数据字节也是在最后 1 位 SCK 的下降沿送入目标存储器, 最后一个字节在 CSZ 上升沿传输。

图 18. 存储器和 PIO 的单字节写操作时序

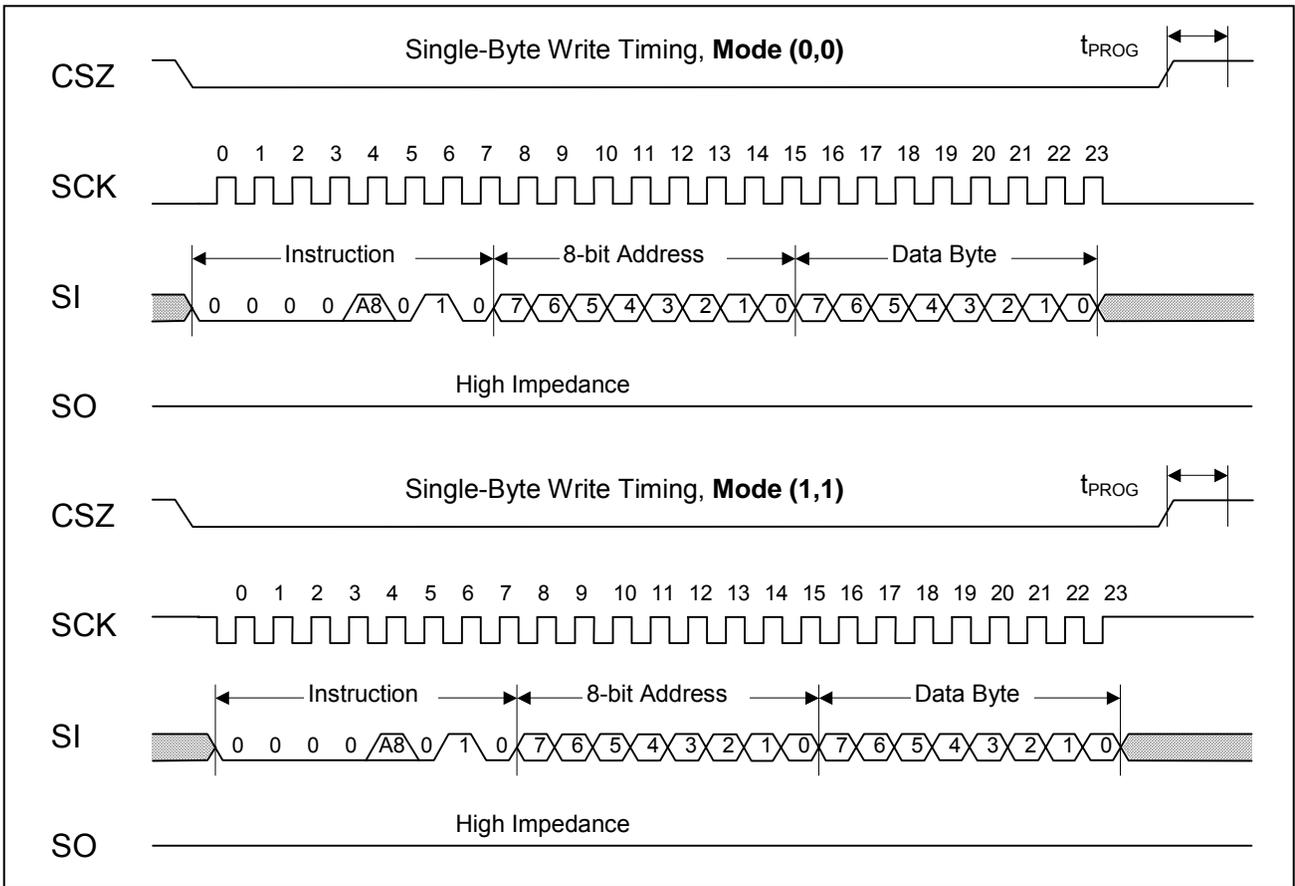


图 19. 存储器和 PIO 的多字节写操作时序

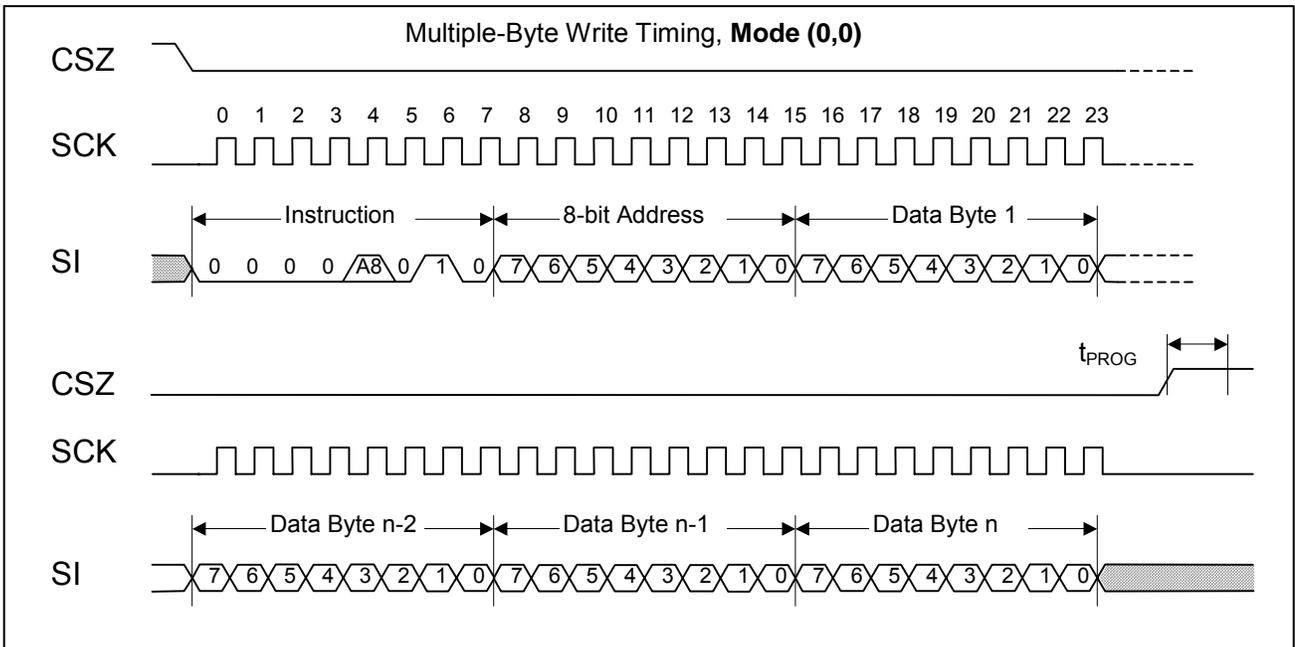
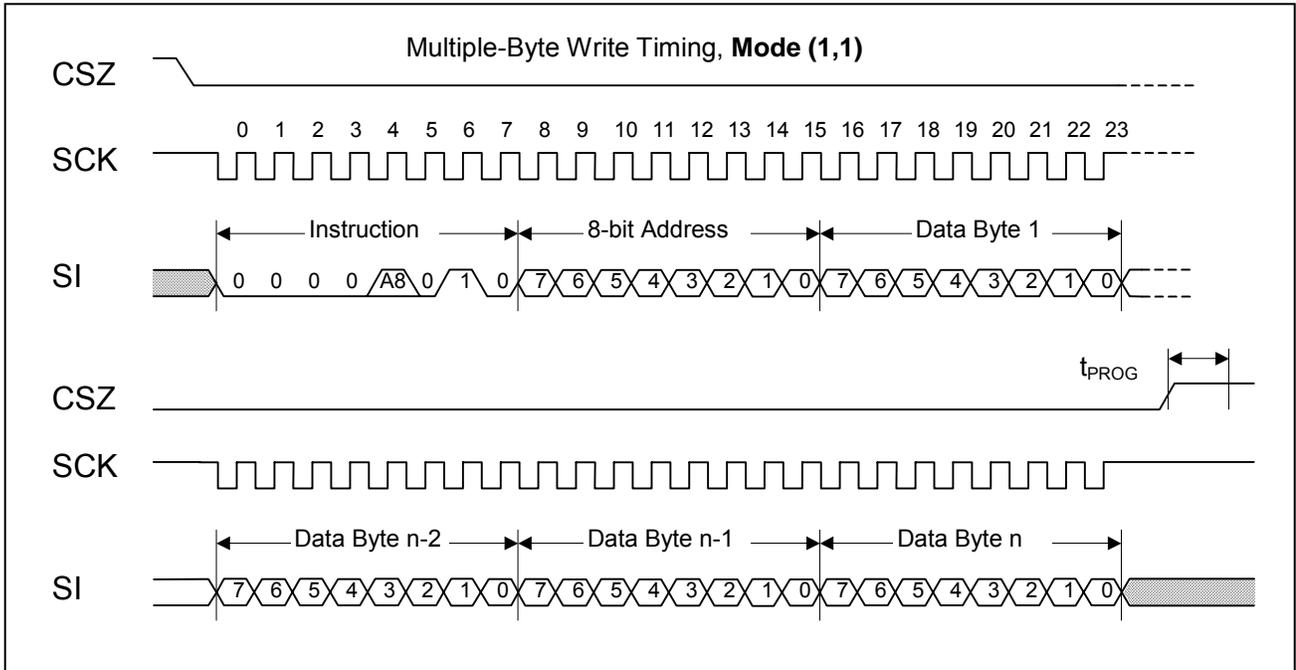


图 19. 存储器和 PIO 的多字节写操作时序 (续)



### 读存储器和 PIO

两种 SPI 模式下的读时序图如图 20 所示，读时序与寻址存储器的类型无关。在收到 000h 至 135h 地址范围的读指令后，DS28DG02 都会发送数据，首先发送 SPI 状态寄存器，然后发送指定目标地址的数据。标为“保留”的地址数据读数为 00h。每发送一个字节的的数据至主机后，地址指针加 1。读取 135h 地址的数据后，地址指针返回到 000h，主机可以继续读数据。读操作结束于 CSZ 上升沿，如果在读存储器和 PIO 之前执行了 WRSR 指令，嵌入指令码中的地址位将被忽略，数据从 100h 和更高的地址开始传输。应用固件应在 WRSR 指令后使用 WRDI 等指令，以保证正确读取指定地址。

图 20. 读存储器和 PIO 时序

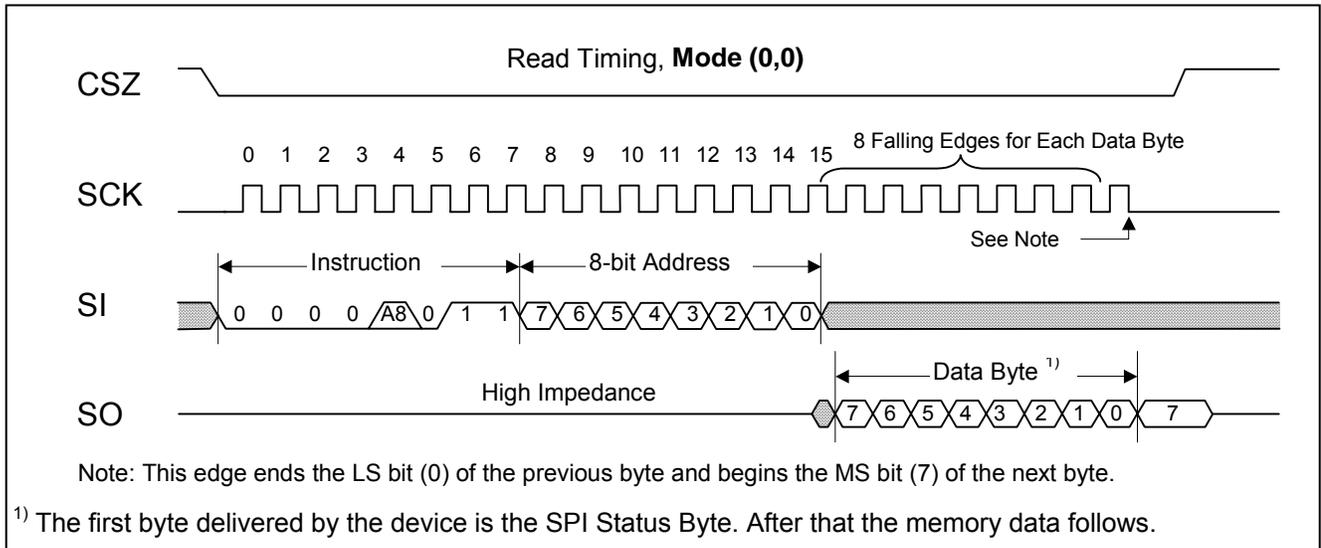
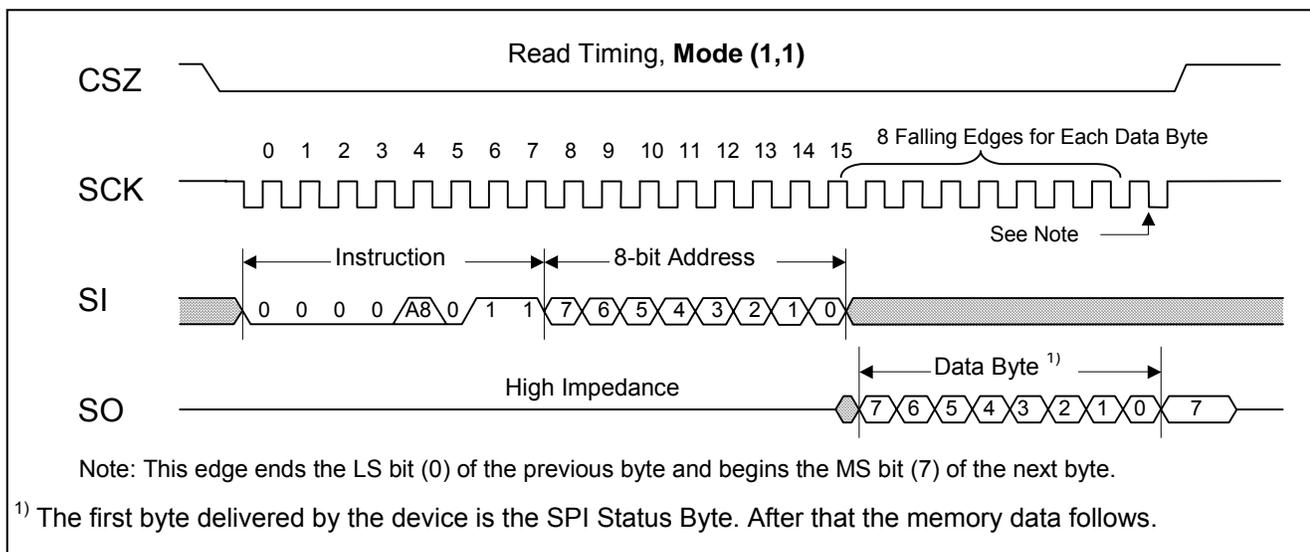


图 20. 读存储器和 PIO 时序 (续)



读 RTC 和日历寄存器时, 发送至主机的数据从缓存器输出。在读指令期间, 缓存器在最低有效位传输后加载。在字节之间或地址指针返回时, 缓存器不会更新。如果指令码后的起始目标地址指向 PIO 读访问寄存器(地址 126h 或 127h), 数据传输完毕后, 地址指针在 126h 和 127h 之间重复切换。这种方式可以快速读取 PIO, 监控多个信号。PIO 读时序图请参考 *PIO 读/写操作* 部分。

如果读指令要求从不存在的存储器读取数据, DS28DG02 将发送字节 00h 直到地址指针变至 000h。然后, 器件传送正确的数据, 并正常地递增读指针, 地址指针递增到 135h 后返回 000h。

## PIO 读/写操作

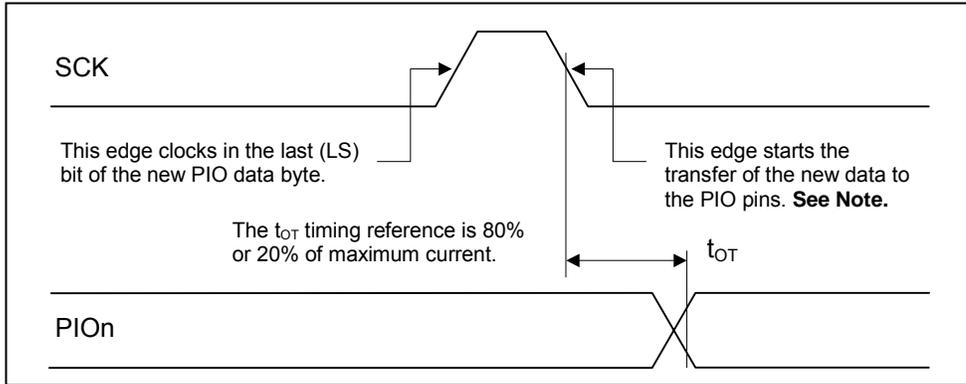
### 综述

DS28DG02 上电时, PIO 的方向、输出状态、输出类型、输出模式和读数据反相均自动由 EEPROM 的上电默认值设置。初始化时间为  $t_{POIP}$ , 在此期间, 每个 PIO 暂时设为输入, 输出驱动为高阻态, 以防止与连接在 PIO 引脚的其它电路冲突。设置为输入的 PIO 的输出驱动置为三态 (高阻态)。DS28DG02 的 PIO 输出驱动在驱动 LED 及类似信号时设置为大电流模式。同时转换多个工作在大电流模式的 PIO 时可能会错误地触发复位监控电路。为防止出现这种情况, 有必要将 125h 地址的 OTM 置位, 该位控制 PIO 通道顺序转换到大电流模式。在大电流模式下, 方向或输出模式的改变不会立即生效, 它们会延时到检测相关位转换的下次 PIO 写操作。由于写 PIO 属于写操作, 在发送写指令前必须先置位 WEN。

### 小电流模式下的写操作

如图 21 所示, 在小电流模式下写 PIO, 新的 PIO 状态数据的最后一位移入 DS28DG02 后的 SCK 下降沿触发状态更新。所有寻址的 PIO (地址 120h 中的 8 个或地址 121h 的 4 个) 几乎在同一时刻改变状态。经过输出转换时间  $t_{OT}$  后, 状态改变完成。如果 WRITE 指令伴随的地址为 120h, DS28DG02 进入一个循环过程: 输入数据轮流置入 PIO0:1 和 PIO8:11 两组 PIO。这种方式下, 改变 PIO 状态的最高速率为  $f_{CLK} / 16$ 。

图 21. PIO 写访问时序, 小电流模式

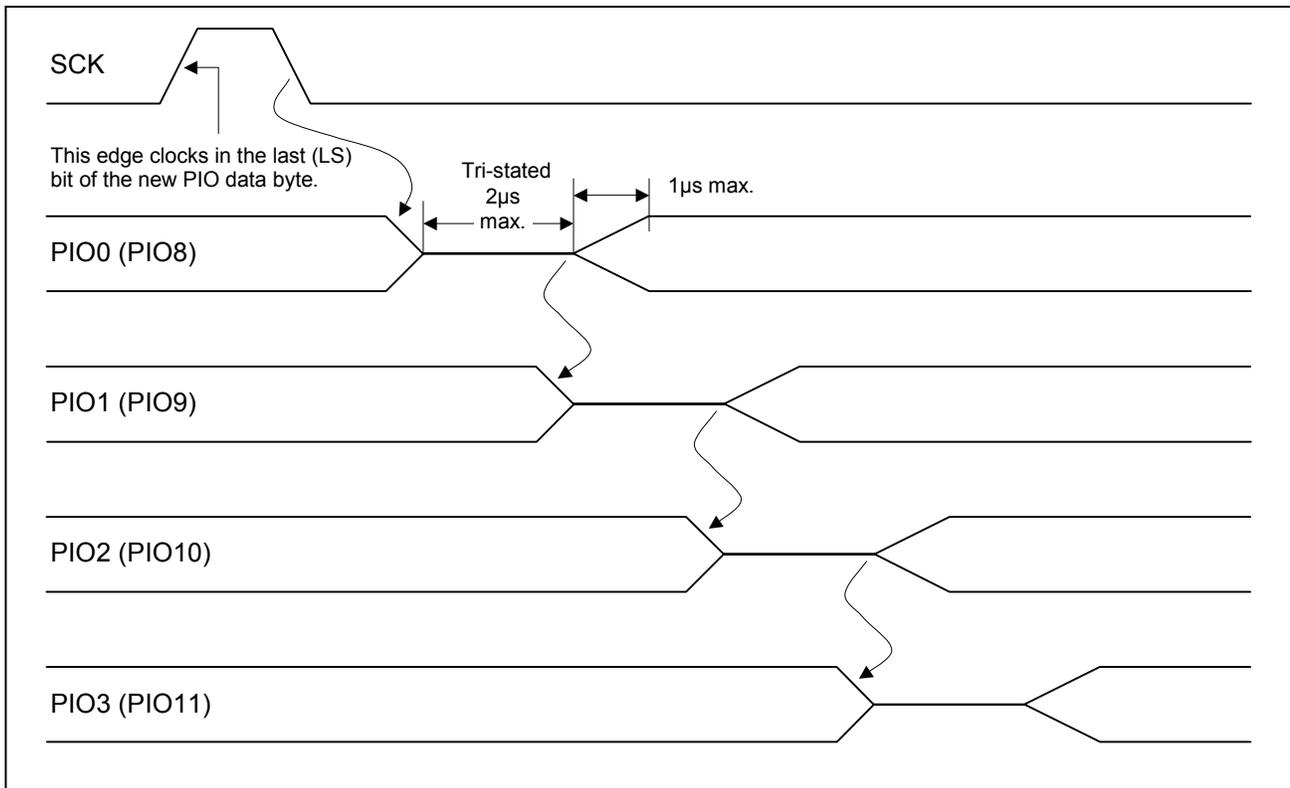


注: SPI 模式 (1,1)下, 最后一个字节的最后一位发送到器件时没有 SCK 下降沿; 这种情况下, 与 PIO 之间的数据传输在 CSZ 的上升沿开始。大电流模式同样存在这种情况。

### 大电流模式下的写操作

在大电流模式下写PIO时, 当新的PIO状态数据的最后 1 位移入DS28DG02 的SCK下降沿触发状态更新。PIO顺序改变状态, 如图 22 所示, 按照地址分别从PIO0 或PIO8 开始更改。需要改变状态的PIO首先置于三态最多  $2\mu\text{s}$  的时间。 $2\mu\text{s}$ 延时同样也作用于配置为输入的PIO和配置为输出但不需要改变状态的PIO。在大电流模式下, PIO的状态改变具有摆率限制, 可避免立即启动满幅电流驱动或释放。每个引脚的限摆率电路设计为需要  $1\mu\text{s}$ 的时间上升至满幅电流或释放完毕。大电流模式的 $t_{OT}$ 值适用于一次更新所有 12 个PIO的写操作。这种情况下, 从PIO7 到PIO8 的转换过程中有额外  $1\mu\text{s}$ 的最大延迟。在大电流模式下, 不能进行PIO组间自动转换; 需要另外的WREN和写操作重新更新PIO状态。

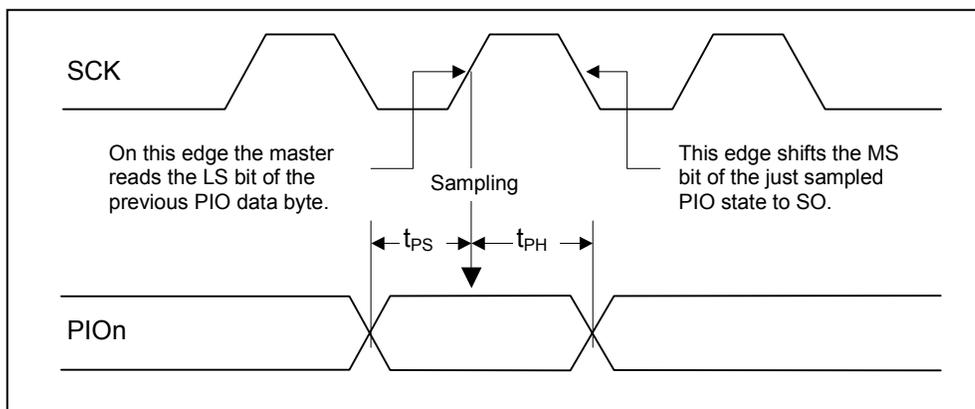
图 22. PIO 写操作时序, 大电流模式



## 读 PIO

如图 23 所示, 读 PIO 状态时, 在主机移入(读)字节最后 1 位 (LS) 的时钟沿触发采样, 取样值可能是 PIO 或 SRAM 的内容。为了正确进行读写操作, PIO 状态必须在  $t_{PS}$  和  $t_{PH}$  期间保持不变。SO 状态在 SCL 下降沿有效。当从 126h 地址开始读操作时, 首先出现在 SO 的是 PIO7 的状态。在每个 SCK 的下降沿, SO 端出现下一个 PIO 的状态。PIO0 状态输出至 SO 后的 SCK 上升沿, 采样 127h 地址的 PIO 值。读 127h 地址时首先出现 4 个 0, 随后为 PIO11 至 PIO8 的状态。如果伴随 READ 指令的是 126h 地址, DS28DG02 将进入一个循环: 轮流读取 PIO0:7 和 PIO8:11 两组 PIO 的状态, 这种方式下 PIO 的采样速率最高, 为  $f_{CLK} / 16$ 。

图 23. PIO 读操作时序



## SPI 通信 — 图例

符号	说明
SEL	CSZ 下降沿
DSEL	CSZ 上升沿
WREN	写使能指令
WRDI	写禁止指令
WRSR	写状态寄存器指令
RFSH	刷新指令

符号	说明
WRITEL	写指令, A8 = 0
WRITEH	写指令, A8 = 1
READL	读指令, A8 = 0
READH	读指令, A8 = 1
<byte>	传输 1 个字节

## 通信指令 — 代码标记为彩色

Master-to-Slave	Slave-to-Master	Programming
-----------------	-----------------	-------------

## 通信举例

将 SPI 状态寄存器的 WEN 置位 (写使能)

SEL	WREN	DSEL
-----	------	------

将 SPI 状态寄存器的 WEN 清零 (写禁止)

SEL	WRDI	DSEL
-----	------	------

## SPI 状态寄存器写操作过程

SEL	WREN	DSEL	SEL	WRSR	<byte>	DSEL	Programming
-----	------	------	-----	------	--------	------	-------------

注: 建议在 WRSR 指令后执行 WRDI 命令, 以保证对用户存储器的读访问。

读状态寄存器 (例如, 检测写周期是否结束)

SEL	RDSR	<byte>	<byte>	<byte>	DSEL
-----	------	--------	--------	--------	------

继续进行读操作, 直到 RDYZ 位为 0

将 PIO 更新到上电默认状态

SEL	RFSH	DSEL
-----	------	------

向用户存储器写入 3 个字节数据的过程, 起始地址 = 067h

SEL	WREN	DSEL	SEL	WRITEL	<67h>	<byte>	<byte>	<byte>	DSEL	Programming
-----	------	------	-----	--------	-------	--------	--------	--------	------	-------------

参考读状态寄存器实例检测写周期是否结束。

设置 RTC 和日历, 起始地址 = 129h

SEL	WREN	DSEL	SEL	WRITEH	<29h>	<7 bytes RTC data>	DSEL
-----	------	------	-----	--------	-------	--------------------	------

SRAM, 没有编程时间。

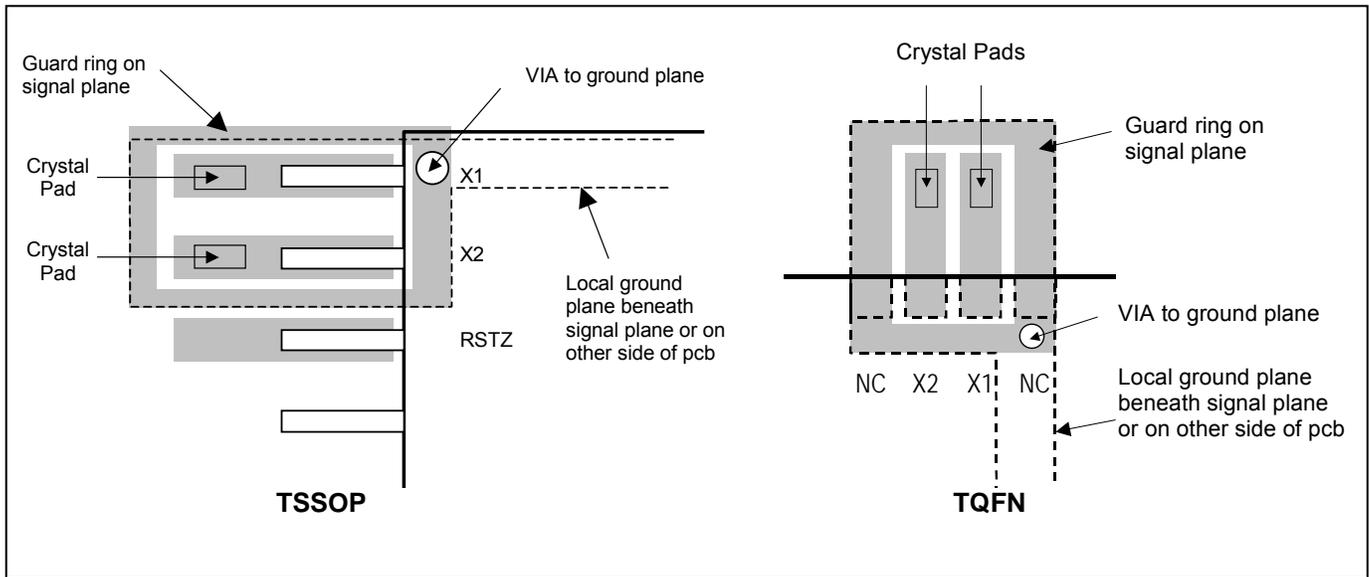
读第 1 块用户存储器, 起始地址 = 040h, 64 字节

SEL	READL	<40h>	<64 bytes memory data>	DSEL
-----	-------	-------	------------------------	------

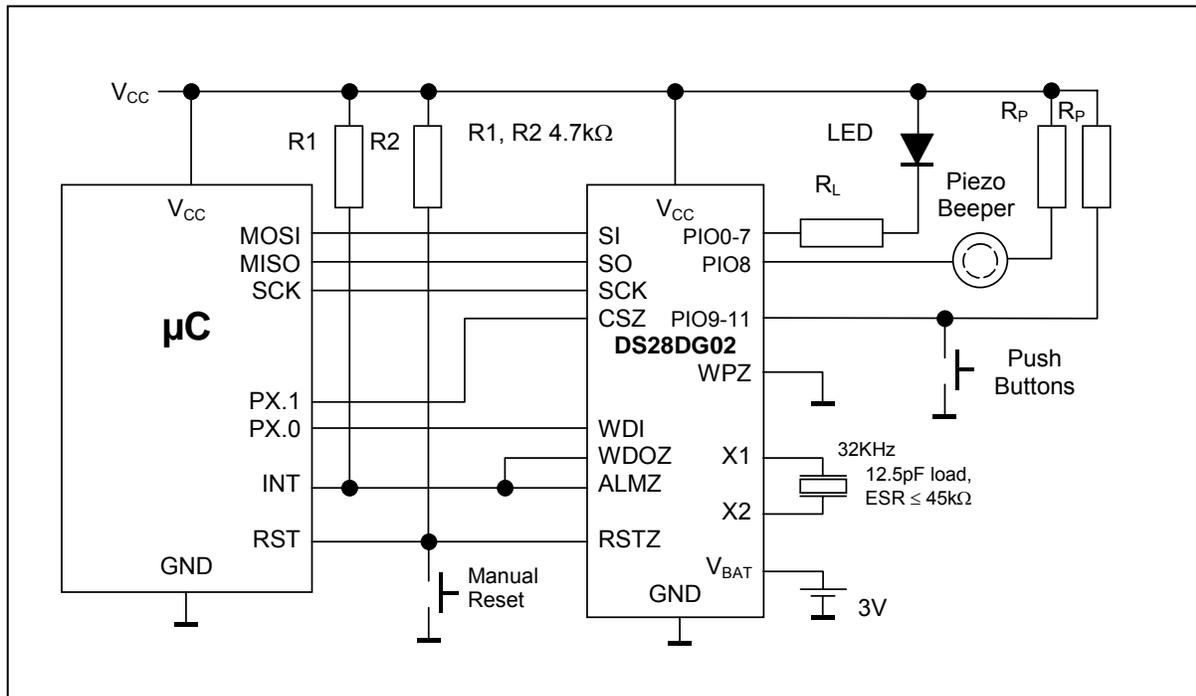
分 3 次读取所有 PIO, 起始地址 = 126, 6 字节

SEL	READH	<26h>	<6 bytes PIO data>	DSEL
-----	-------	-------	--------------------	------

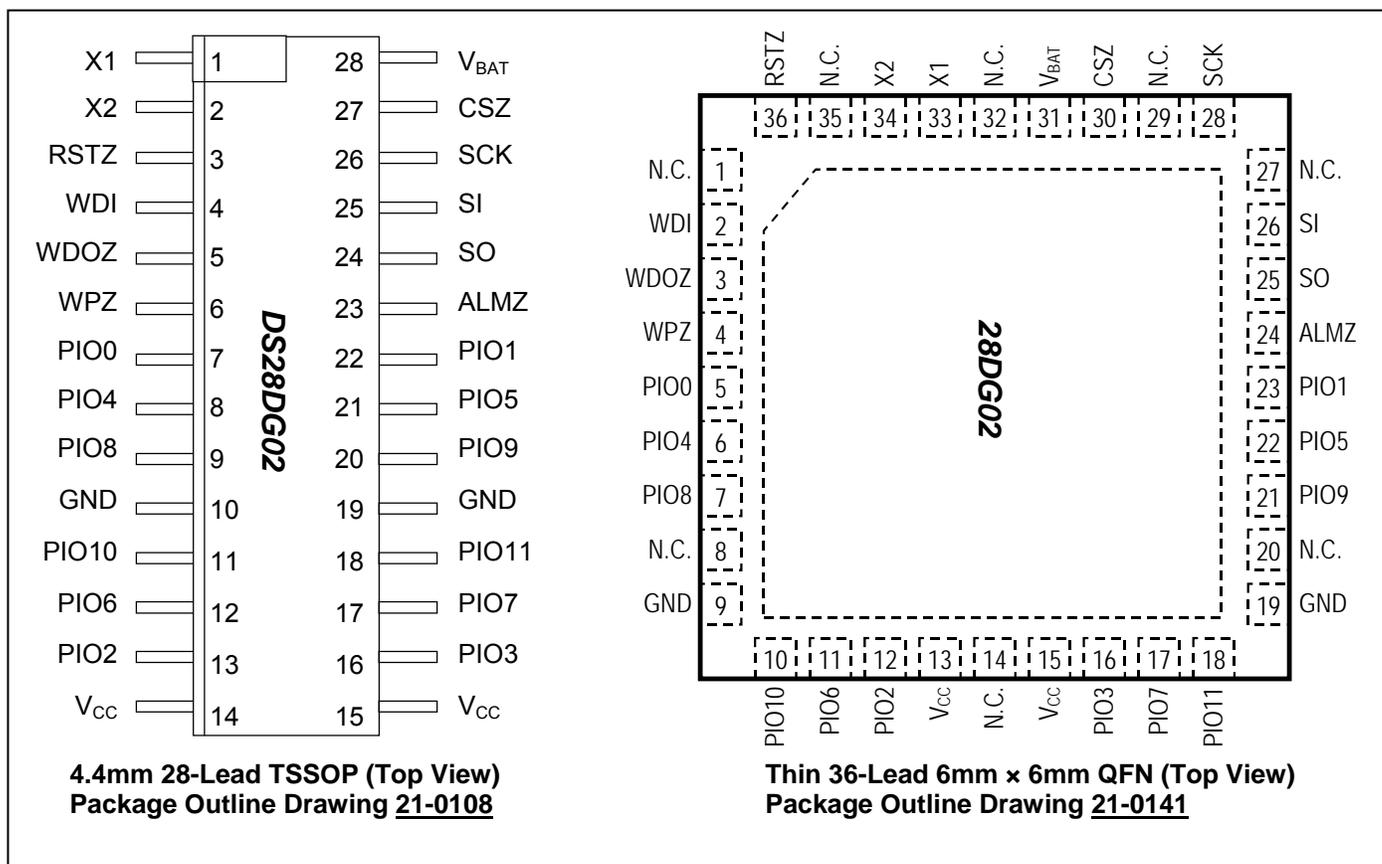
图 24. PCB 中晶体的放置



典型工作电路



## 引脚配置



## 封装信息

(本数据资料提供的封装可能不是最近的规格, 如需最近的封装外形信息, 请查询: [www.maxim-ic.com.cn/DallasPackInfo](http://www.maxim-ic.com.cn/DallasPackInfo)).