

多服务路由器时钟电路的设计挑战

Don Tuite

模拟/电源编辑

《Electronic Design》

什么是多服务路由器/交换机？

多服务路由器与交换机是支持多个交换与路由协议的网络设备，通常用于为基本的因特网协议(IP)路由服务增加多协议标签交换(MPLS)以及异步传输模式(ATM)交换(如图所示)。

从IT服务(信息技术)的角度来看，这意味着能在提供基本数据服务的同时，具备透明的提供模拟语音、传真，以及IP电话(VoIP)能力。从硬件角度来看，这意味着各种高速版本的SONET以太网、光纤通道、T1/E1以及传统模式等自动检测服务。另外，它还意味着从所有输入中提取时钟与数据信号的巨大挑战。

这确实是一项挑战。各种标准的基频都是非谐波相关的。Gb以太网与10Gb以太网(10GE)的基频分别是625.000MHz以及644.53125MHz，另外，SONET/SDH的基频是

622.08MHz，光纤通道的基频则是657.421875MHz。每个频率都要增加一个前向误差校正(FEC)因数，因而变得更加复杂。虽然FEC比值可以根据标准来确定，但存在多种可能性，如255/238、255/237、15/14，以及239/237。

如何实现多服务路由器中的时钟？

由于标准不同，原始设备制造商(OEM)最初认为必须根据不同输入配置的独立模型来构建系列时钟。最近，在市场压力的推动下，出现了一种通用的平台方案。

以往，时钟方案会为每个时钟提供一个单独的压控晶体振荡器(VCXO)，但所需的VCXO相当昂贵，而且是系统中最不可靠的器件之一。由于在任意时候，这些器件中只有一个不处于空闲状态，因此，这很自然成为优化系统设计时需要关注的地方。

毫无疑问，这提出了一项挑战：传输具有多种标准的数据，并在某一点将数据转换为单一格式。以光纤通道为

例，它的任意其它频率方案的最小公约数为一个非常小的数值，因此，现有的整数N分频锁相环(PLL)方法无法实现高精度的转换。

最近，出现了一种可用于简化时钟设计的芯片，它支持两个参考频率信号输入，并生成与这些输入信号非谐波相关的输出信号，这有利于实现任意两个标准网络速率之间的转换。

这实际上意味着什么呢？

当参考频率信号改变时，它能实现基本的切换功能；当参考频率信号下降时，能实现基本的保持功能。

切换对处理多个服务至关重要。当参考频率信号变化时，时钟器件必须能够进行无缝切换。切换功能的设计也非常关键，即使当不同参考频率输入信号的相位之间不存在预先确定关系时，参考频率信号的变化也不会导致短脉冲或超长脉冲，而且下游锁相环也不会失锁。

此外，在切换期间还需要实现平滑的相变。当时钟系统支持“平滑相变”时，由于器件可以根据当前参考频率信号的相位进行调整，因此输出信号的相位会逐渐变化。系统设计工程师应该能够选择这种相变的速度，以防止相位变化超过系统的处理能力，同时又能足够迅速地建立新的相位。

当然，并不是每位系统设计工程师都认同这种做法。有些设计工程师更喜欢“无相变”的方法，即使在两个相



思科公司的7604是一款紧凑型因特网协议/多协议标签交换(IP/MPLS)网络边缘路由器，它使以太网电信服务供应商能够支持广泛的IP视频与三重播放(语音、视频与数据)应用。7604路由器可以处理从OC-3到OC-192、从快速以太网到10Gb以太网的接口。

产品问答

ADI公司的时钟发生器简化系统设计并减少时钟器件数量

位没有对准的参考频率信号之间进行切换时，输出相位也不会发生变化。在这种情况下，从输出信号端来看，不会显示出由参考频率信号输入异常所导致的任何迹象。如果这个信息很重要，时钟器件应该提供报警(有时是通过引脚实现，有时是寄存器映射的一个位)，告知系统切换已经发生。

保持功能使设计工程师可以构建具有更长正常运行时间的系统。而且，这使系统可以使用不连续或不可靠的参考频率信号，而无需担心这种不可靠性会破坏系统。

这些新款芯片通过在数控晶体振荡器(DCXO)内设置输入锁相环的方法来实现保持功能，DCXO使用外部晶振作为频率源。这样，在没有参考频率信号输入时，芯片仍能继续工作，此时DCXO保持切换前的工作频率，直到参考频率信号再次出现。

具有高稳定性保持功能的器件的输出频率或频率只会因为由环境变化(主要是温度变化和/或电源电压变化)引起的本地参考频率漂移而漂移。对于必须根据某些标准而预先确定的保持需求的系统来说，提供满足适当标准中定义的保持稳定性的本地参考频率信号源将会变得简单。

因此，如果设计需要SONET级的保持稳定性，那么利用支持SONET级稳定性的振荡器就可以满足需求。如果时钟信号在保持过程中发生漂移，最终可能出现导致空白帧或遗漏帧的某种FIFO错误(溢出或过空)。

在系统中的控制器/处理器单元的引导下，可对保持进行初始化。在很多情况下，具有保持功能的器件还可提供监控功能，当参考频率输入信号消失时，可自动切换到保持模式。

ADI公司的AD9549双输入网络时钟发生器为网络和数据通信系统设计人员提供了新的性能标准，能够延长网络正常工作时间，并提高系统的稳定性和可靠性。AD9549采用基于ADI公司专有的直接数字频率合成(DDS)技术的新架构，能够实现更稳定的保持功能，发生故障时，设计人员能有更多的时间来恢复参考时钟。如果输入参考时钟失效，时钟发生器IC可以继续保持输出频率，直到故障解决，时钟得以恢复。采用AD9549后，保持时间没有限制——输出将维持到系统断电或提供新的参考频率为止。与其它同类产品相比，这款产品的保持功能将稳定性提高了两个数量级(~0.37ppm vs.~30ppm)，大幅延长了系统的正常工作时间。AD9549双输入网络时钟发生器将抖动减少到600fs(飞秒)，比同类器件小25%。AD9549具有可编程数字环路滤波器，能够将带宽降至1Hz，甚至更低。

AD9520及AD9522多输出时钟发生器内置512字节的嵌入式EEPROM存储器模块，为系统工程师提供了可用作时钟源和系统时钟的双重可编程时钟解决方案。通过利用片上存储器对具体的输出条件集合进行编程，设计工程师可轻



松地将AD9520/2配置为时钟源，以确保系统上电或复位时初始处理功能的同步。而其它同类时钟IC则需要独立的时钟源，在为对系统时钟芯片进行编程时，这些时钟源必须与系统处理器或微控制器进行单独匹配，这会增加时钟设计的器件数量、成本及复杂性。除了片上EEPROM及PLL，AD9520/2还集成了分频器、扇出缓冲器，以及振荡范围为1.4~2.95GHz的压控振荡器(VCO)。PLL/VCO时钟发生电路具有业界领先的相位噪声，同时时钟分配输出通道具有225fs的超低宽带抖动性能。AD9520提供12路差分低压正发射极耦合逻辑(LVPECL)输出，AD9522提供12路差分低压差分信号(LVDS)输出，它们的输出都可分为4组，每组输出都包括1~32分频器与相位延迟。两款器件均可提供24种频率高达250MHz的单端CMOS输出配置。

产品型号	描述	宽带随机抖动 (均方根, fs)	输出与逻辑系列	封装
AD9520/AD9522	可编程时钟发生器	225(分配与扇出)	12LVPEVL, 24CMOS	64引脚LFCSP
AD9549	双输入时钟发生器/同步器	总计600	1HSTL, 1CMOS	64引脚LFCSP

欲了解ADI公司新款多服务网络时钟解决方案的更多信息，
请访问：www.analog.com/zh/MultiserviceClock