



基于 UTP 视频传输的自动补偿系统 使用手册

编写人 CAC

版本号 Rev.1

本报告为 Analog Devices Inc. (ADI) 亚洲技术支持中心专用，ADI 可以随时修改本报告而不用通知任何使用本报告的人员。

如有任何问题请与 china.support@analog.com 联系。

Revise History

| Date | Revision | Author |
|------------|----------|--------|
| 2012-11-14 | Rev.1 | CAC |
| | | |
| | | |
| | | |
| | | |

此参考设计仅供参考使用，用于协助 ADI 客户进行设计与研发。ADI 有权在不事先通知的情况下，随时对所提供的参考设计进行更改。客户应对其参考或使用该参考设计自行负责。请在参考或使用此参考设计前仔细阅读 ADI 提供的所有相关资料。ADI 不对任何参考或使用该参考设计所产生的风险的承担责任。

目 录

| | | |
|-------|--------------------------|----|
| 1 | 简介..... | 1 |
| 2 | 硬件设计..... | 2 |
| 2.1 | 发送端（Driver Board）..... | 3 |
| 2.1.1 | 功能..... | 3 |
| 2.1.2 | 主要器件..... | 4 |
| 2.1.3 | 详细说明..... | 4 |
| 2.2 | 接收端（Receiver Board）..... | 7 |
| 2.2.1 | 功能..... | 7 |
| 2.2.2 | 主要器件..... | 7 |
| 2.2.3 | 详细说明..... | 7 |
| 3 | 单片机固件设计..... | 11 |
| 3.1 | 发送端..... | 11 |
| 3.1.1 | 简介..... | 11 |
| 3.1.2 | 代码介绍..... | 11 |
| 3.2 | 接收端..... | 12 |
| 3.2.1 | 简介..... | 12 |
| 3.2.2 | 代码介绍..... | 13 |
| 4 | 自动补偿系统快速使用..... | 14 |
| 4.1 | 固件下载..... | 14 |
| 4.2 | 硬件连接..... | 14 |
| 5 | 参考资料..... | 16 |

1 简介

无屏蔽双绞线(UTP)，比如超五类线 (Cat-5e)，最初主要设计用于局域网(LAN)传输，因为其具有良好的性能和较低的成本，现已成为其他许多信号传输应用的经济型解决方案。标准的 Cat-5e 线缆中有 4 对双绞线，在宽带视频信号的传输系统中，可以采用 4 对双绞线中的 3 对来传输 RGB(红、绿、蓝)的电脑视频信号或 YPbPr(亮度和两个色差)的高清分量视频信号。所需的水平和垂直同步脉冲可以在视频信号消隐间隔中嵌入，也可以在 3 对双绞线中作为差分信号的共模来传输。

目前，模拟宽频带视频信号主要有 RGB 信号和高清分量视频信号(YPbPr)两大类。这些信号在使用标准的四对差分对的 UTP 传输线来进行长距离传输时会产生信号质量下降的问题。一方面是由于传输的“表皮效应”而产生的非线性的带宽限制，从而导致信号弥散和信号的高频成分丢失。这会使图像的锐度降低，并产生拖尾现象。另外，由于电缆阻抗损耗引起的低频信号衰减会降低图像的对比度。还有，由于双绞线扭曲率的不一致会导致三路差分对的传输线长度的不同，从而使三路接收信号的延时不一致，造成图像出现颜色误差。

为了解决以上几个问题，ADI 公司提出了基于 UTP 视频传输的自动补偿系统的参考设计，可以针对这些问题来自动进行 EQ 补偿和 Skew 补偿。

本文档简要介绍了自动补偿系统的硬件、软件设计，如果需要任何更加详细的相关信息，请联系 ADI 亚洲技术支持中心，热线电话 400-6100-006，或发送电子邮件至 china.support@analog.com。

2 硬件设计

本参考设计整体系统分为两个部分：发送端（Driver Board）和接收端（Receiver Board）。视频信号通过 VGA 接口进入发送端，将单端的 RGB 信号调理为差分信号，并将行/场同步信号调制为信号的共模，然后通过 UTP（Unshielded Twisted Pair）线来进行长距离传输（通常使用非交叉式网线 Cat-5e 即可）。接收端需要将差分信号转化为单端信号，同时提取行/场同步信号。由于长距离的传输会产生信号衰减和 RGB 信号不同步的问题，所以在接收端还需要进行 EQ 补偿和 Skew 补偿。

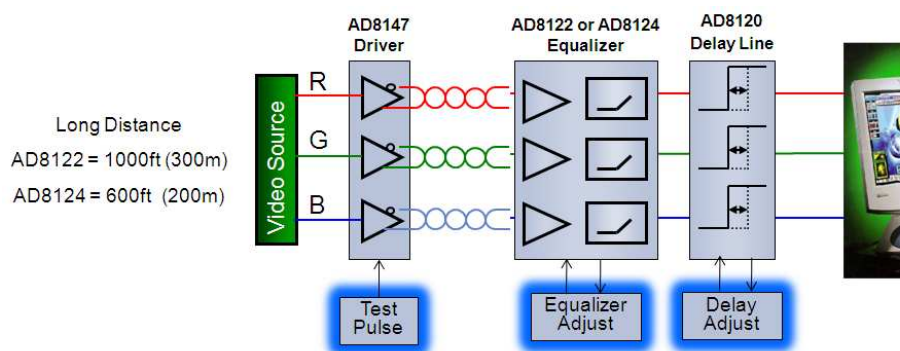


图 1. 系统框图

如图 1 所示的系统框图，系统使用 AD8146/7/8(本参考设计中使用 AD8147)，AD8122/3/4(本参考设计中使用 AD8122) 和 AD8120 等主要器件，其功能及性能指标如下：

- AD8147 三路驱动器提供视频源信号所需的单端至差分转换。
 - 带宽： 600MHz@2Vp-p
 - 压摆率： 3000V/us
 - 增益： G=2
 - 片内共模同步编码
- AD8122 三路接收器/均衡器用以恢复视频信号的高频成分，同时提供平坦的增益。
 - 可用于 Cat-5e 或 VGA 传输线的均衡补偿
 1. 60 MHz 均衡带宽（300 米 UTP 电缆）
 2. 120 MHz 均衡带宽（150 米 UTP 电缆）
 - 三个频率响应调整引脚
 1. 高频尖峰调整 (V_{PEAK})
 2. 输出低通滤波器截止频率调整(V_{FILTER})
 3. 宽带平坦增益调整(V_{GAIN})
 - 压摆率： 1000 V/ μ s
 - 差分或单端的输入
 - 高 CMRR 和 PSRR
 - 直流输出失调调整(V_{OFFSET})
 - 两个具有迟滞特性的片内比较器，可用于共模同步信号的提取

- AD8120 三路偏斜补偿模拟延迟线，可以在先到达的信号中加入适当的延迟，使得三路接收信号在时间上具有一致的传播延迟。
- 校正非屏蔽双绞线(UTP)电缆的延迟偏斜
- 每个通道可以延迟最多 50 ns
- 高速
 1. 带宽: 200 MHz ($V_{OUT} = 1.4 V_{p-p}$, 0 ns 延迟)
 2. 带宽: 150 MHz ($V_{OUT} = 1.4 V_{p-p}$, 50 ns 延迟)
- 出色的通道间匹配性
- 独立的红、绿、蓝延迟控制
- 数字和模拟延迟控制:
 1. 6 位 SPI 总线
 2. I²C 总线
 3. 模拟电压控制
- 低输出失调
 1. ± 30 mV (折合到输入端)
 2. 无需外部失调校正电路

2.1 发送端 (Driver Board)

发送端的实物图如图 2 所示。

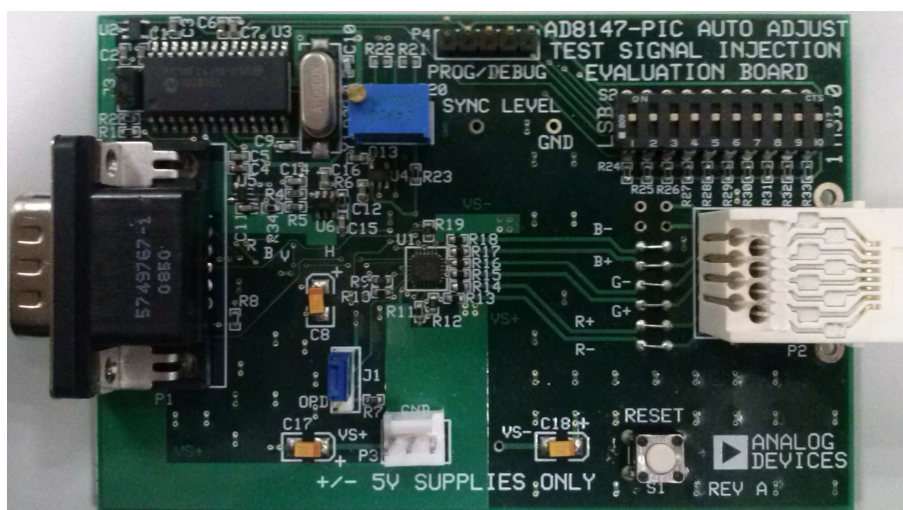


图 2. 发送端实物图

2.1.1 功能

- a) 接收 VGA 信号并在 RGB 信号(R, G, B, Vsync/Hsync)中添加 TP(Test Pulse)脉冲 (TP 信号用于接收板的 EQ 和 skew 补偿)。
- b) 将单端的视频 RGB 信号转化为差分信号。

- c) 为减少传输线数量，将 Hsync 和 Vsync 信号以共模信号的形式添加(encode)到 R, G, B 信号中。

2.1.2 主要器件

发送端的主要器件包括：AD8147，ADG779，ADA4860-1，PIC18F24J10(MCU)。

2.1.3 详细说明

- a) 发送端采用+/-5V 供电。
b) 通过 MCU 的 RB0 (IO pin) 接口检测 Vsync 信号，当检测到 Vsync 信号后，经过 25us 后，由 RB1 (IO pin) 输出一个宽度 3us, 幅度 3.3v 的 TP 脉冲。由于 Vsync 和 TP 信号是不同的时钟源的，所以 Vsync 和 TP 信号是异步的关系。

注：图 3 为 VGA 信号的时序图，其中所添加的 Test Pulse 在橙色线所示的行场消隐期位置，故不会对视频信号有任何影响。

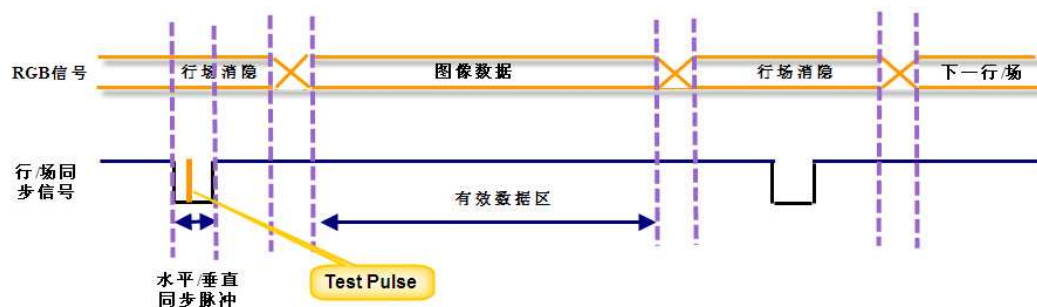


图 3. VGA 信号时序示意图

- c) 如图 4 所示, 拨码开关 S2 用于调整 TP 脉冲与 Vsync 的相位关系, 一共可设置 1024 个位置, 间隔步长为 2us, 如图 5 所示。

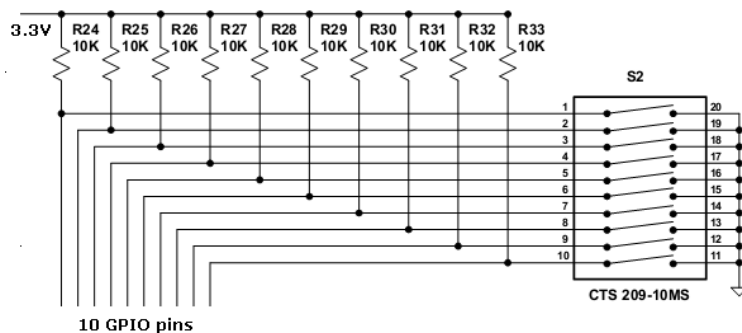


图 4. 设置 TP 脉冲的位置

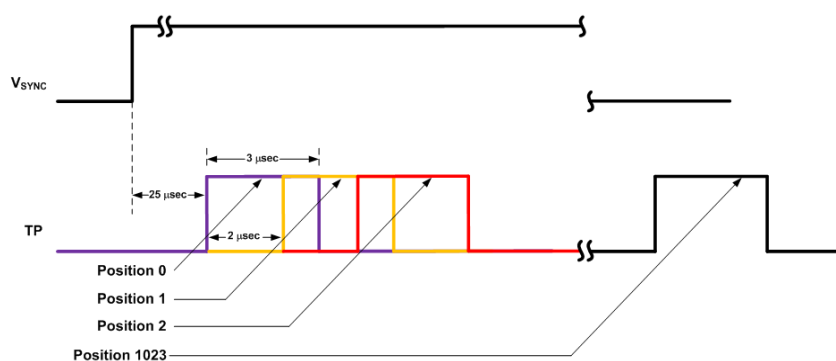


图 5. TP 脉冲与 Vsync 的相位关系

- d) 如图 6 所示，ADG779 和 ADA4860 用于将脉宽 3us，幅度 3.3V 的 TP 脉冲转化为脉宽 3us，幅度-0.8V 的脉冲，然后分三路输入到 AD8147 内部差分放大器的反向端。

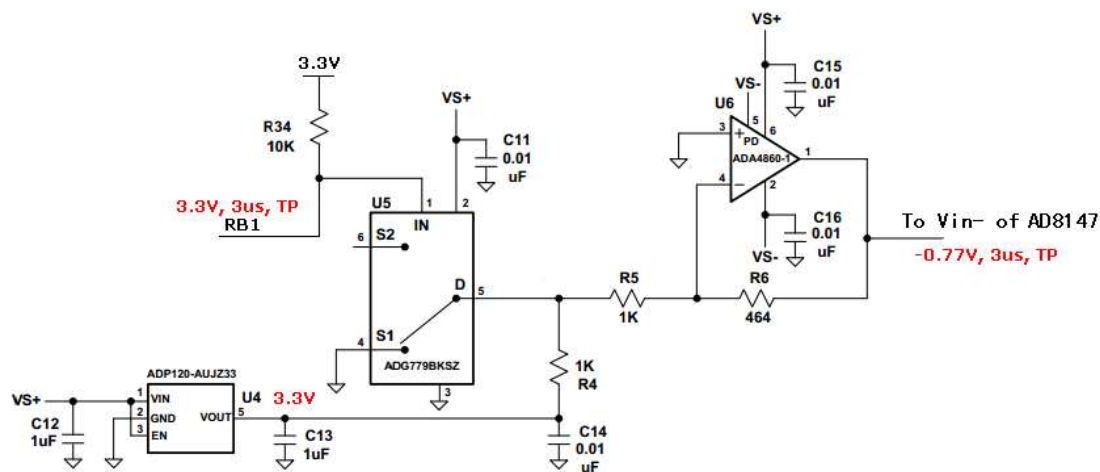


图 6. TP 脉冲的调理

- e) AD8147 内部具有硬件的共模同步编码功能，如图 7 所示，可以将 Hsync 和 Vsync 信号根据公式一以共模信号的形式添加到 R，G，B 信号中。

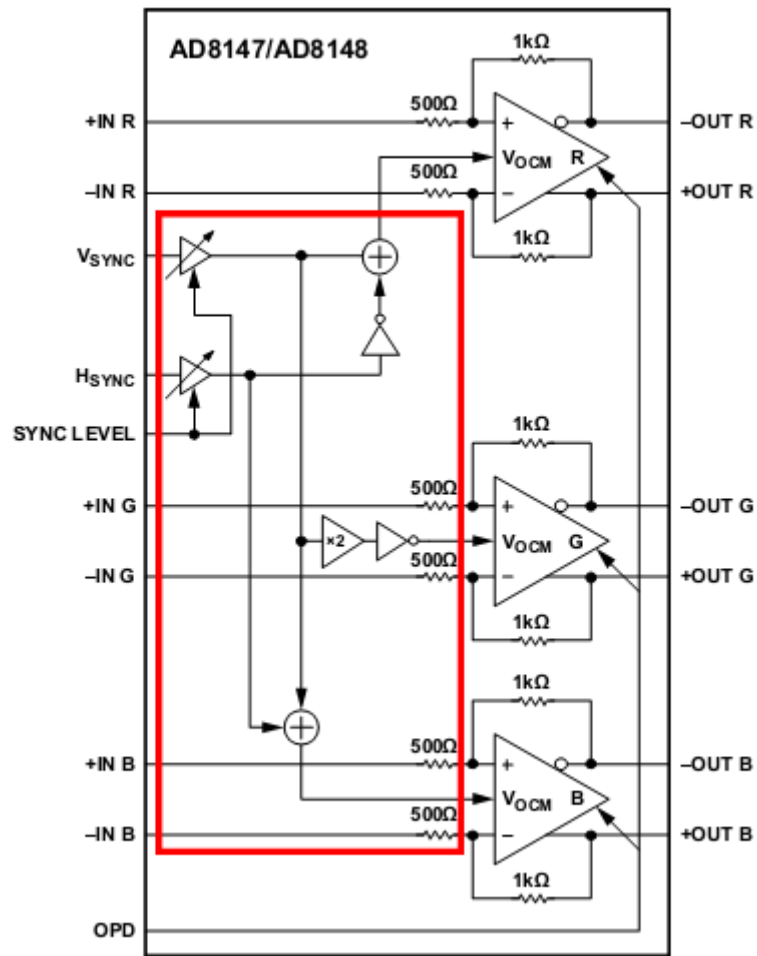


图 7. Hsync/Vsync 的共模同步编码

公式一：

$$\text{Red } V_{\text{ocm}} = K/2(V_{\text{SYNC}} - H_{\text{SYNC}}) + V_{\text{MIDSUPPLY}}$$

$$\text{Green } V_{\text{ocm}} = K/2(-2V_{\text{SYNC}}) + V_{\text{MIDSUPPLY}}$$

$$\text{Blue } V_{\text{ocm}} = K/2(V_{\text{SYNC}} + H_{\text{SYNC}}) + V_{\text{MIDSUPPLY}}$$

其中 V_{SYNC} 和 H_{SYNC} 的取值为 ± 1 (+1 表示高电平, -1 表示低电平); 常数 K 为被编码的 Sync 信号的峰值。

2.2 接收端（Receiver Board）

接收端的实物图如图 8 所示。

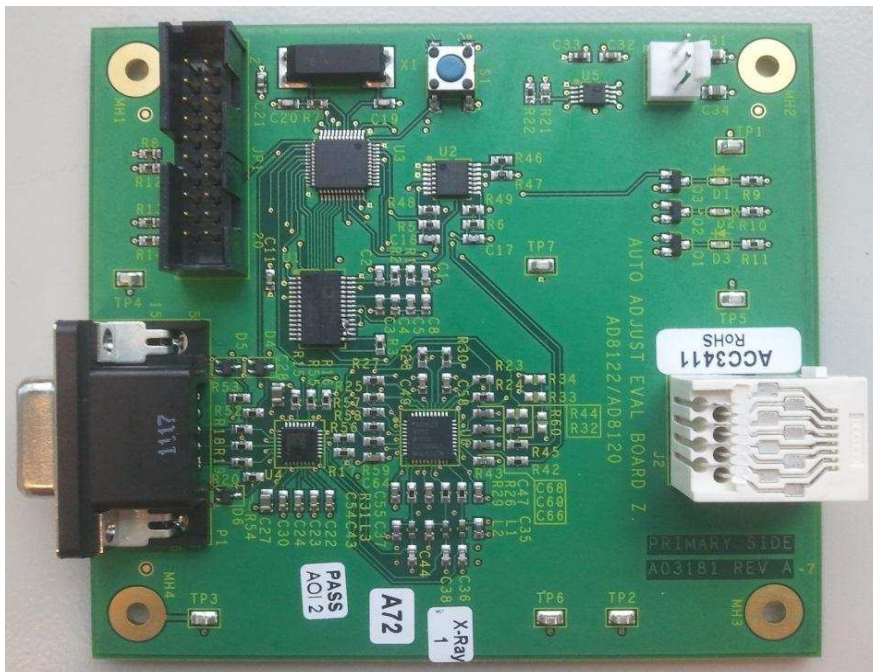


图 8 接收端实物图

2.2.1 功能

- 将接收的差分的 RGB 信号转化为单端信号，并提取行/场同步信号。
- 使用高速 ADC 采集 G 信号中的 TP（Test Pulse）脉冲，并进行 EQ 均衡补偿。
- 通过计算 R、G、B 信号中的 TP 脉冲的相位关系来进行 skew 延时补偿。

2.2.2 主要器件

接收端主要器件包括：AD8122, AD8120, AD9280, STM32F103C4T(MCU)。其中 AD9280 是一款 8 位、32 MSPS 采样率的模数转换器（ADC），采用单电源供电，内置一个片内采样保持放大器和基准电压源。

2.2.3 详细说明

- 接收端采用 $\pm 5V$ 供电。
- AD8122 将 RGB 差分信号转化为单端信号，同时从差分信号中提取 R、G、B 各信号的共模电压，并根据公式二提取出 Vsync 和 Hsync 信号。

公式二：

$$\text{Red } V_{\text{ocm}} = K/2(V_{\text{SYNC}} - H_{\text{SYNC}})$$

$$\text{Green } V_{\text{ocm}} = K/2(-2V_{\text{SYNC}})$$

$$\text{Blue } V_{\text{ocm}} = K/2(V_{\text{SYNC}} + H_{\text{SYNC}})$$

其中 V_{SYNC} 和 H_{SYNC} 的取值为 ± 1 ($+1$ 表示高电平, -1 表示低电平); 常数 K 为被编码的 Sync 信号的峰值。

由于 AD8122 片上集成有 2 个迟滞比较器, 所以此过程可以由如图 9 所示的硬件来完成。

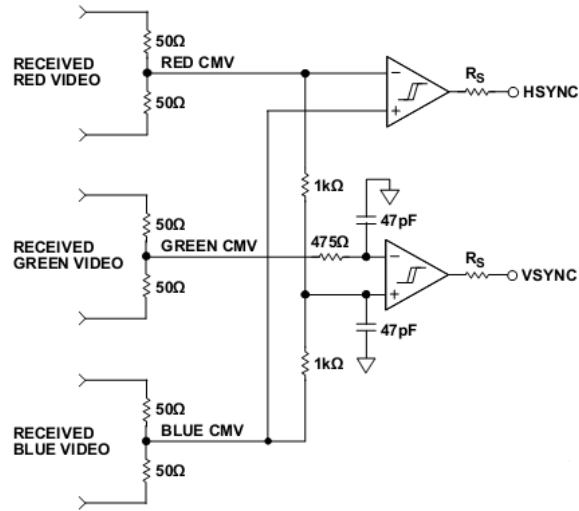


图 9 Hsync/Vsync 同步信号的提取

- c) AD8122 用于 EQ 均衡补偿。由于在长距离传输过程中, 信号的衰减情况可以通过传输线的阶跃响应来考量, 如图 10 所示。所以, 在接收端检测接收到的 TP 信号即可代表整体视频信号的衰减情况。本设计中使用 AD9280 高速 ADC 对 Green 信号中的 TP 脉冲进行采样, 硬件设计如图 11 所示。

注: 由于 STM32 包含有片上 ADC, 其采样率最大为 1MHZ, 此处同时将 Green 信号连接至 MCU 的 ADC 输入做为备用。

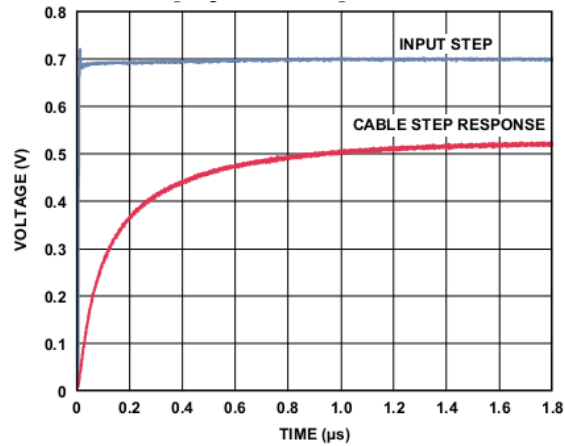


图 10 300 米长 Cat-5e 传输线的典型阶跃响应

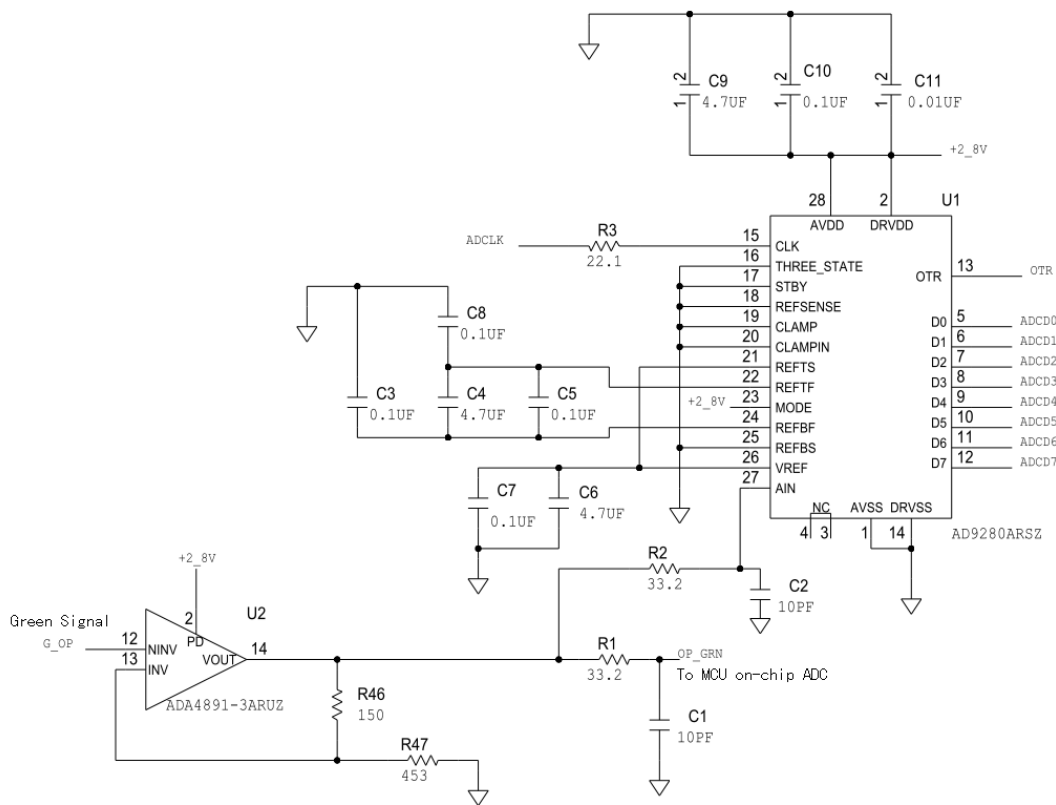


图 11 用于 EQ 均衡补偿的高速采样电路

AD8122 提供 VPEAK, VFILTER, VOFFSET 和 VGAIN 的控制电平，其中 VPEAK 用于高频尖峰的调整；VFILTER 用于调整低通滤波器的截止频率；VGAIN 用于整个宽频带的增益调整；VOFFSET 用于调整输出信号的直流失调（在本设计中将其设置为 0V）。由 MCU 的 timer3 的产生三路 PWM 信号输出，并通过低通滤波转换为电压，来控制 VPEAK, VFILTER 和 VGAIN 三个信号（在本设计中 VPEAK 和 VFILTER 使用同一个控制信号）。

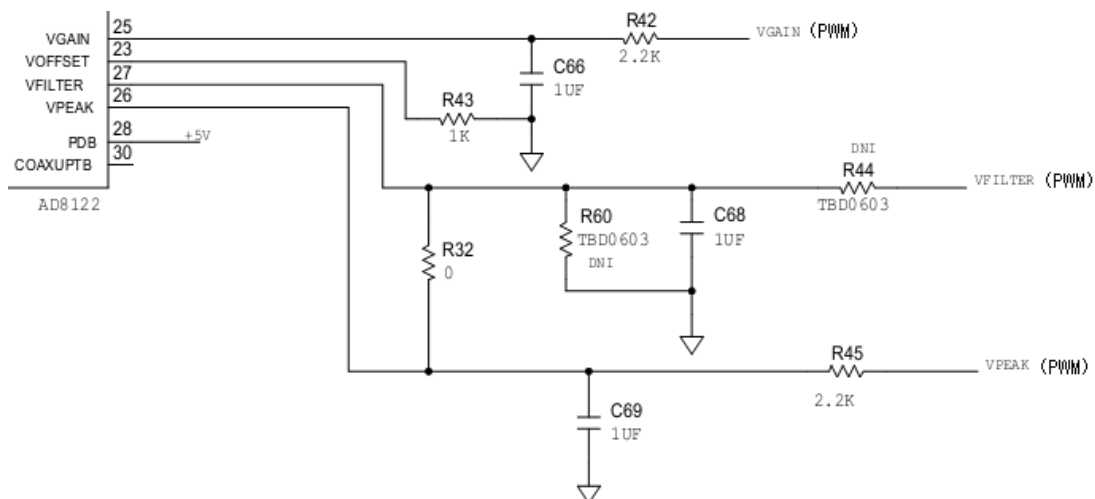


图 12 EQ 补偿信号

- d) AD8122 的输出做为 AD8120 的输入用于 RGB 信号延时的补偿。当已知各信号的延时关系后，以图 13 为例，可通过 I2C 进行控制，对延时进行补偿。

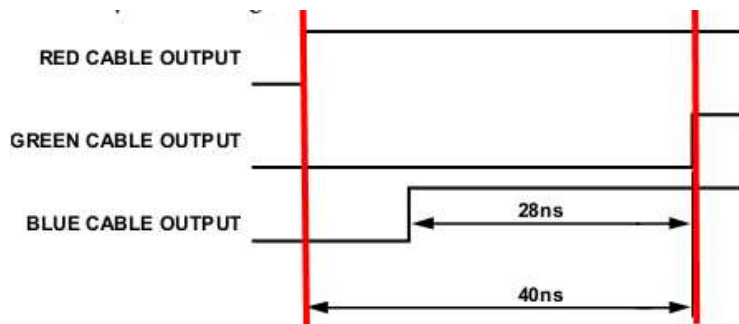


图 13 延时补偿时序举例

本设计中，由于在发送端 RGB 信号之间保持同步并将 TP 同时加入到 R、G、B 信号中，经过长距离传输后，R、G、B 各信号之间的延时即等于其中 TP 之间的相位差。三路 RGB 连接至 MCU 的 IO 中断接口，分别在 TP 的上升沿产生中断，从而计算出各 TP 的相位关系。AD8120 外围电路连接如图 14 所示。

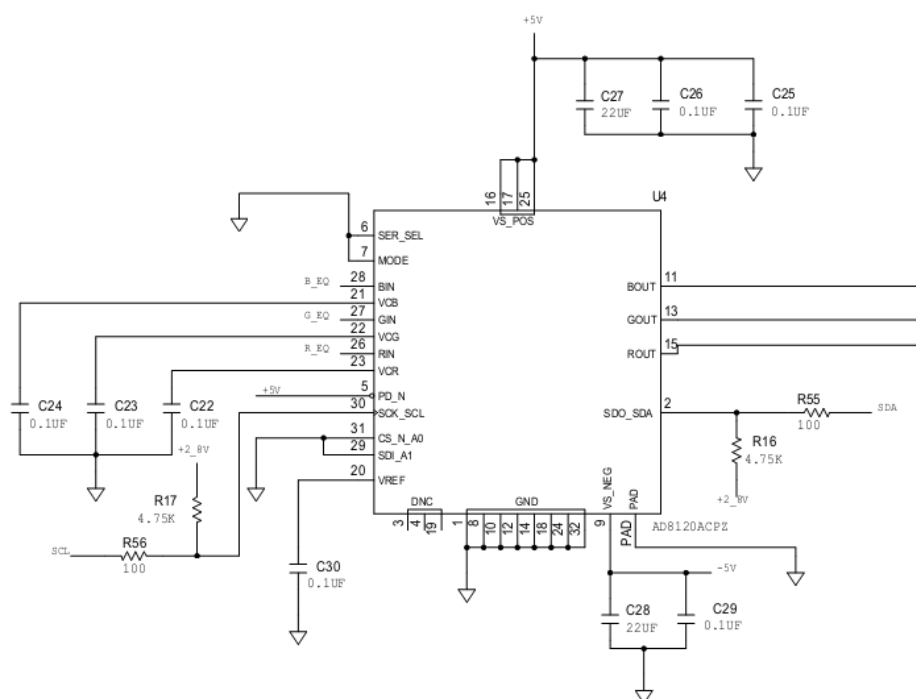


图 14 AD8120 外围电路

3 单片机固件设计

软件部分与硬件设计相一致，分为发送部分和接收部分。其中发送部分主要用于检测 Vsync 信号并加入 TP（Test Pulse）脉冲。接收端用于实现 EQ 和 skew 的补偿。补偿原理如图 15 所示。

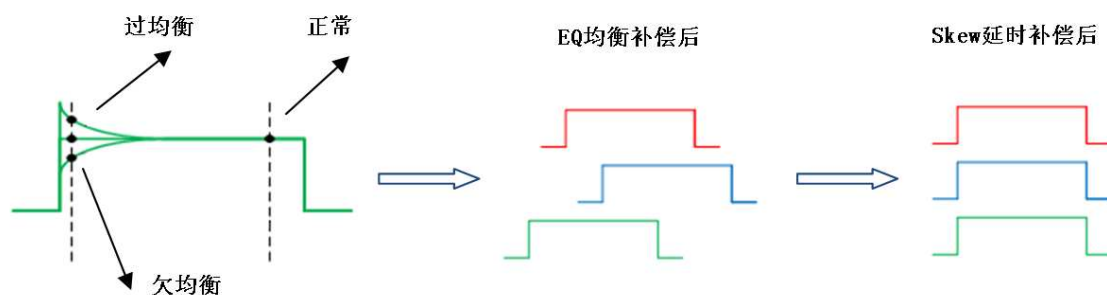


图 15 EQ 和 skew 补偿原理

3.1 发送端

3.1.1 简介

发送端的具体功能请见“硬件设计”的“发送端”说明部分。发送端采用 Microchip 公司 28-pin 的 PIC18F45J10 处理器，其主频最高为 40MHz，2.0~3.6V 供电，数字接口可以承受 5.5V 电压，集成有片上 16/32Kbytes 的 Flash。

开发环境使用 MPLAB，其最新版本可以从下面连接下载：

<http://www.microchip.com/pagehandler/zh-cn/family/mplabx/#downloads>

3.1.2 代码介绍

- 发送端固件流程图：

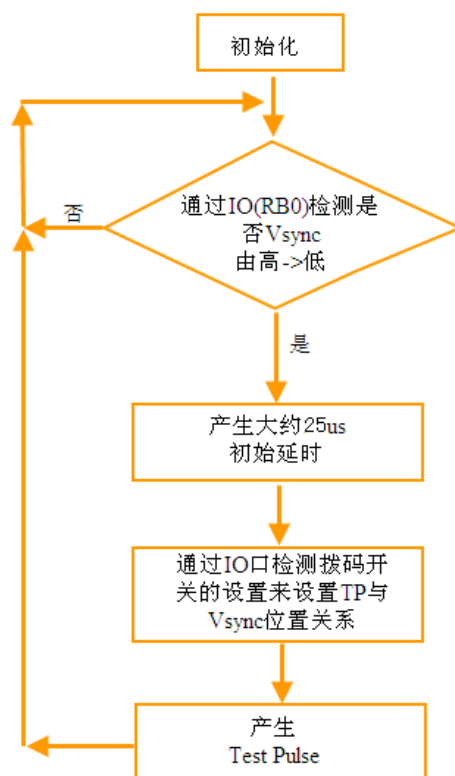


图 16 发送端系统流程图

- 发送端使用 GPIO 的 RB0 来检测 Vsync 信号，检测到其由高电平变为低电平的过程则认为是 Vsync 信号。
- 当检测到 Vsync 信号后，产生~25us 的延时，由于 Vsync 与处理器时钟不同源，所以此处延时会有一定的误差。
- 根据 S2 拨码开关的设置来设置 TP 脉冲的位置，共有 1024 个位置可选择设置，步进为 2us。
- 由处理器的 GPIO RB1 来产生 TestPulse 脉冲，脉冲宽度为 3.3us。

3.2 接收端

3.2.1 简介

接收端的具体功能请参考“硬件设计”的“接收端”说明部分。

接收端处理器采用 ST 公司基于 ARM 32-bit Cortex-M3 的 STM32F103X，其最高主频为 72MHz，片上集成 16/32Kbyte 的 Flash 和 6K/10K 的 SRAM，包含 2 个 16 位定时器，每个定时器有 4 个可用于输入捕获/ 输出比较/PWM 或脉冲计数的通道和增量编码器输入。

开发环境采用 IAR Embedded Workbench IDE，图 17 为接收端固件工程代码树。

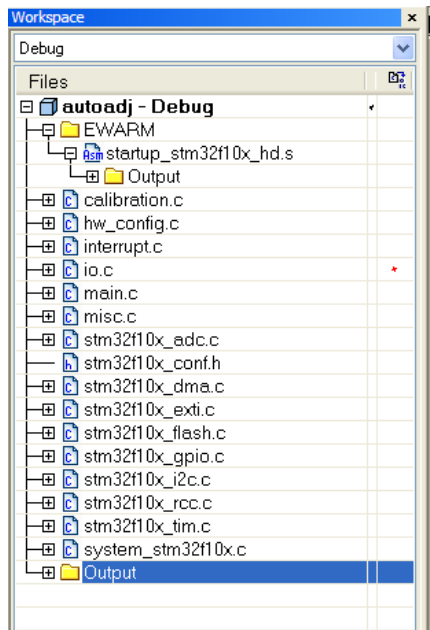


图 17 接收端固件工程代码树

3.2.2 代码介绍

- 接收端固件流程图:

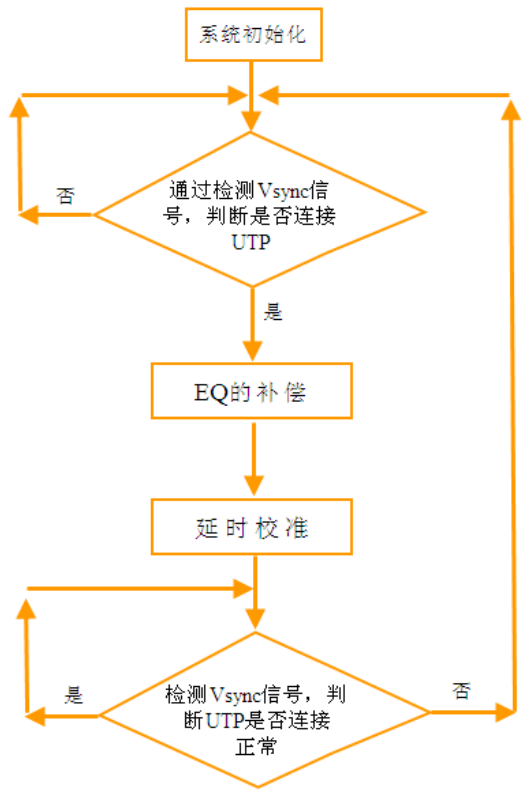


图 18 接收端固件流程图

● Cortex-M3 接口函数

在图 19 所示中 stm32f10x_*.c 为标准 Cortex-M3 接口函数源程序。此处不做详细介绍。

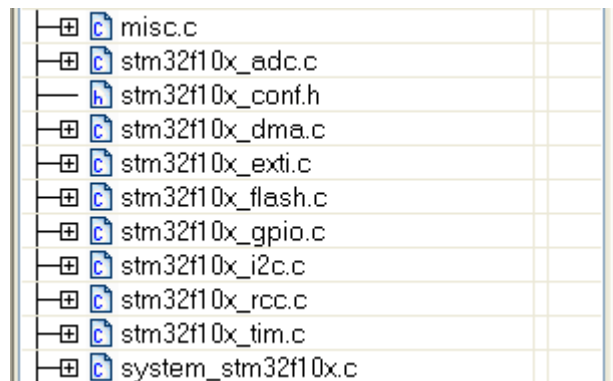


图 19 Cortex-M3 标准接口

*如需获得单片机固件源代码，请联系 ADI 亚洲技术支持中心，热线电话 400-6100-006 或，发送电子邮件至 china.support@analog.com。

4 自动补偿系统快速使用

下面介绍“自动补偿系统”的使用方法。同时，也可以登录 www.analog.com 观看本参考设计的相关视频来了解具体操作。

4.1 固件下载

- 发送端的固件下载：
请参考 Microchip 公司 PIC 处理器的固件下载信息，请登录 www.microchip.com 来了解。
- 接收端的固件下载：
接收端使用 IAR 开发环境进行开发，并且 ST32 处理器支持 JTAG 仿真，故可以选择 J-link 进行仿真和程序下载；
关于 J-link 在 IAR 开发环境中的使用请登录 www.iar.com 来了解。

4.2 硬件连接

自动补偿系统的硬件连接如图 20 所示。

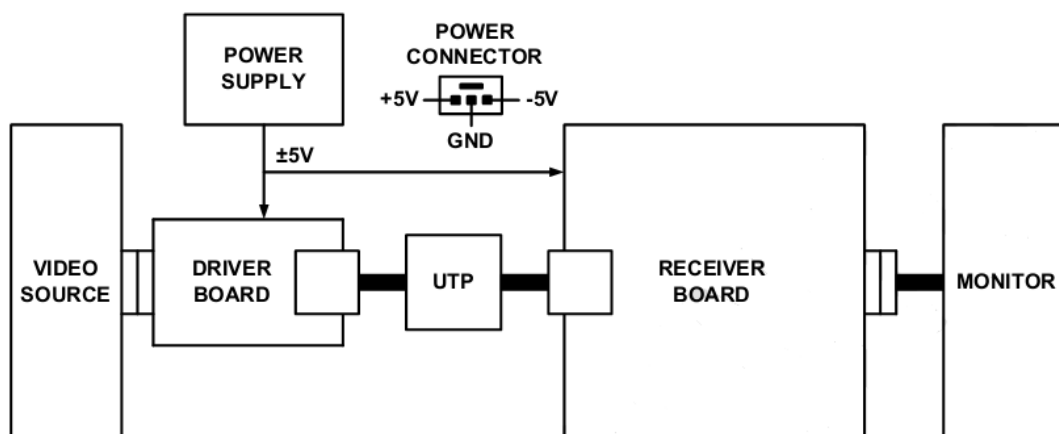


图 20 自动补偿系统的硬件连接

- 发送端与接收端均采用 $\pm 5V$ 供电。
- 发送端的 VGA 接口与视频信号源相连接（例如 PC 机的 VGA 接口）。
- 设置发送端板上拨码开关，选择 TP 脉冲位置，默认为 0（即距离 Vsync 信号 25us）。
- 接收端 VGA 接口与显示器相连接。
- 选择适当长度的 UTP 传输线，连接至发送端和接收端的 RJ-45 接口。
- 上电后，即可从显示器观察到校准后的视频图像。图 21 和图 22 分别为经过 300m 长 Cat-5e 电缆传输是，未进行补偿和进行补偿后的图像。



图 21 通过 300 米 Cat-5e 电缆传输，未进行补偿的图像



图 22 通过 300 米 Cat-5e 电缆传输，补偿后的图像

以下为接收端电路板上指示灯状态说明：

Red/Green: 初始状态

Green: 正在进行 EQ 补偿

Blue: 进行 Vgain 补偿；

Blue/Green: EQ 补偿完成，正在进行延时校准

Blue/Red/Green: 所有校准都已完成

Red: 调整结束后未检测到 Vsync 信号（例如校准完成后将 UTP 从接口断开）

5 参考资料

- [AD8122](#): Triple Differential Receiver with 300 Meter Adjustable Line Equalization, datasheet.
- [AD8120](#): Triple Skew- Compensating Video Delay Line with Analog and Digital Control, datasheet.
- [AD8147](#): Triple Differential Driver for Wideband Video, datasheet.
- [AD9280](#): Complete 8-Bit, 32 MSPS, 95 mW CMOS A/D Converter, datasheet.
- [CN0275](#): Complete Broadband Video-over-UTP Driver and Receiver Solution for RGB, YPbPr, and More, “Circuits from the Lab” reference circuits.
- [STM32F103x4](#): Low-density performance line, AR M-based 32-bit MCU with 16 or 32 KB Flash, USB, CAN, 6 timers, 2 ADCs, 6 communication interfaces, datasheet.
- [PIC18F45J10](#): 28/40/44-Pin High-Performance, RISC Microcontrollers, datasheet.
- [“IAR J-Link and IAR J-Trace” User Guide](#)